دانشگاه صنعتی امیرکبیر

دانشکده مهندسی برق

# طراحی مدار های VLSI

## فصل اول: مقدمه

ارائه دهنده: دکتر مجید شالچیان

shalchian@aut.ac.ir

# محتوی درس

- هدف این درس آشنایی با مبانی طراحی مدار های مجتمع دیجیتال می باشد. تمرکز بر طراحی در فن آوری CMOS خواهد بود.
- فن آوری ساخت CMOS و ساختار ، مدلسازی و جانمایی ترانزیستور های MOS، طرح خواهد شد.
- تجزیه و تحلیل وارونگر به عنوان ساختار کلیدی مدار های مجتمع CMOS و ساختار های پیچیده تر نظیر گیت های ترکیبی ساده و گیت های ترتیبی نظیر رجیستر ها مورد بررسی قرار می گیرند و مبانی طراحی آنها با توجه به محدودیت های طراحی (مساحت، سرعت، توان مصرفی و حاشیه نویز) مطالعه می شود.
- نحوه مدل سازی اتصالات میانی روی تراشه و اثرات آنها بررسی می شود.
- بلوک های کلیدی مدار های پردازنده نظیر جمع کننده ها بررسی می شوند.
- ضمنا در این درس دانشجویان با فرایند طراحی مدار های مجتمع با رویکرد Full Custom با استفاده از نرم افزار Cadence آشنا می شوند.

# Table of Contents


| Chapter | Subject |
|---|---|
| 1 | Introduction to VLSI systems |
| 2 | VLSI Fabrication Process and Design Rules |
| 3 | MOS Transistor Theory |
| 4 | CMOS Inverter |
| 5 | CMOS Combinational Logic Gates |
| 6 | Interconnects |
| 7 | CMOS Sequential Logic Gates |
| 8 | Advanced Topics, Datapath Component Design (Adder, Shift ,Memory ), Clock Network Register, |

# اطلاعات کلی

- ارایه دهنده: دکتر مجید شالچیان

**shalchian@aut.ac.ir**

- ساعت برگزاری کلاس:
- محل کلاس:
- منابع


- J. M. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuits a design perspective, New Jersy, Prentice Hall, 2003, 2nd Edition
- N.H.E. Weste, David Harris, CMOS VLSI Design, A Circuit and System Perspective, 4th Edition, Boston, Adison-Wesley, 2011
- Modern VLSI Design", Wayne Wolf, 4th edition, Prentice Hall, 2008
  - ترجمه مرجع اول با عنوان "مدار های مجتمع دیجیتال" داریوش شیری، ولی الله نجفی تهران؛ انتشارات نص، بهار ۸۷
  - مرتضی صاحب الزمانی، فرشاد صفایی، محمود فتحی، "طراحی **VLSI** دیجیتال " اصفهان، انتشارات شیخ بهایی، چاپ سوم ۱۳۸۹

# نحوه ارزیابی

- امتحان میان ترم ٪۲۰
- امتحان پایان ترم ٪۳۰
- کوئیز و تمرین ٪۱۵
- پروژه درس ٪۳۵

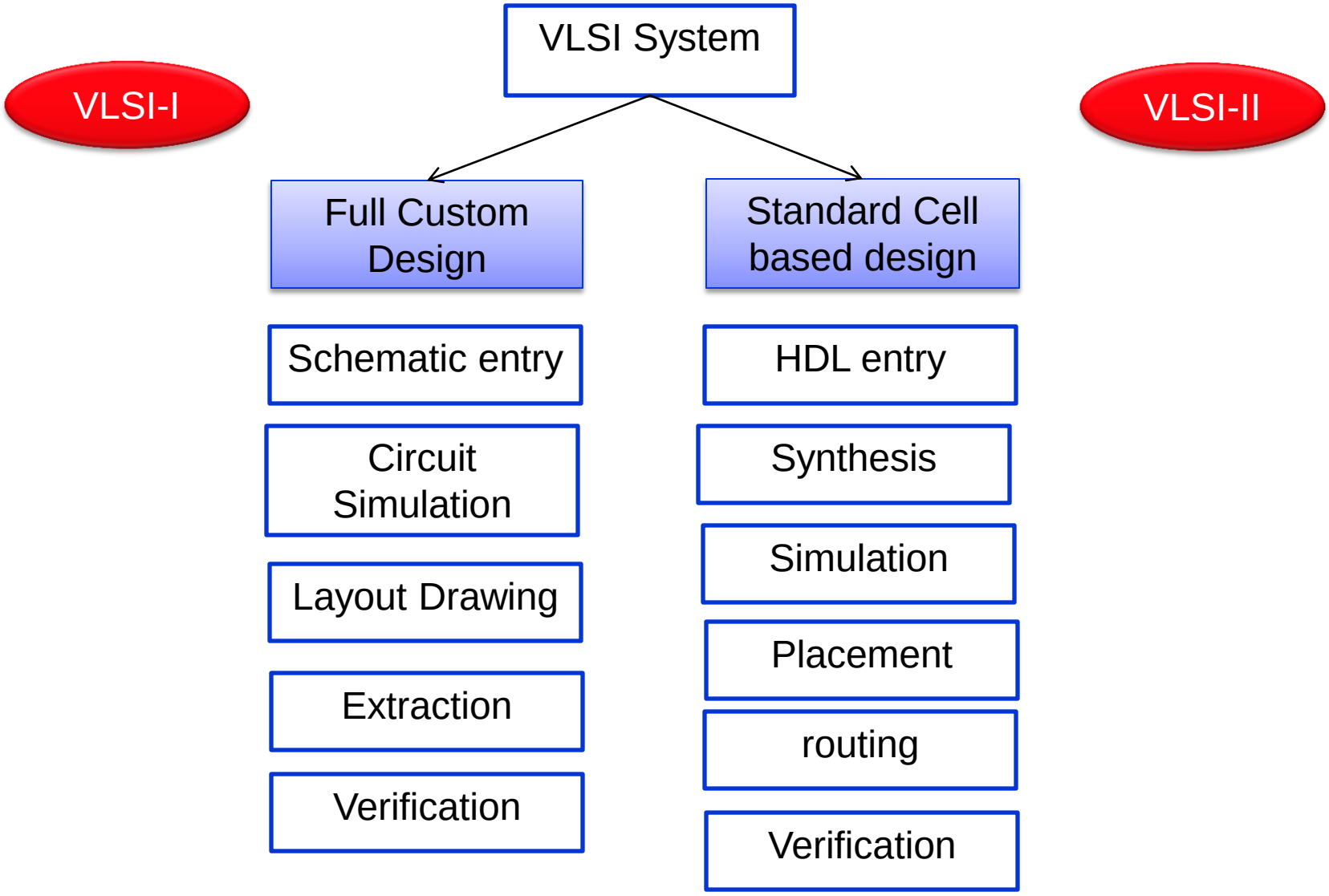
# پروژه درس

- طراحی مدار های VLSI را فقط با انجام عملی آن می توان واقعا یاد گرفت

یکی از الزامات این درس انجام پروژه و طراحی یک بلوک با استفاده از ابزار طراحی به کمک کامپیوتر (CAD TOOLS) می باشد. در صورت امکان از نرم افزار Cadence استفاده می شود.

- Design Capture
- Simulation
- Full Custom Layout Design
- Parasitic Extraction
- Post Layout Simulation

# Design Flow

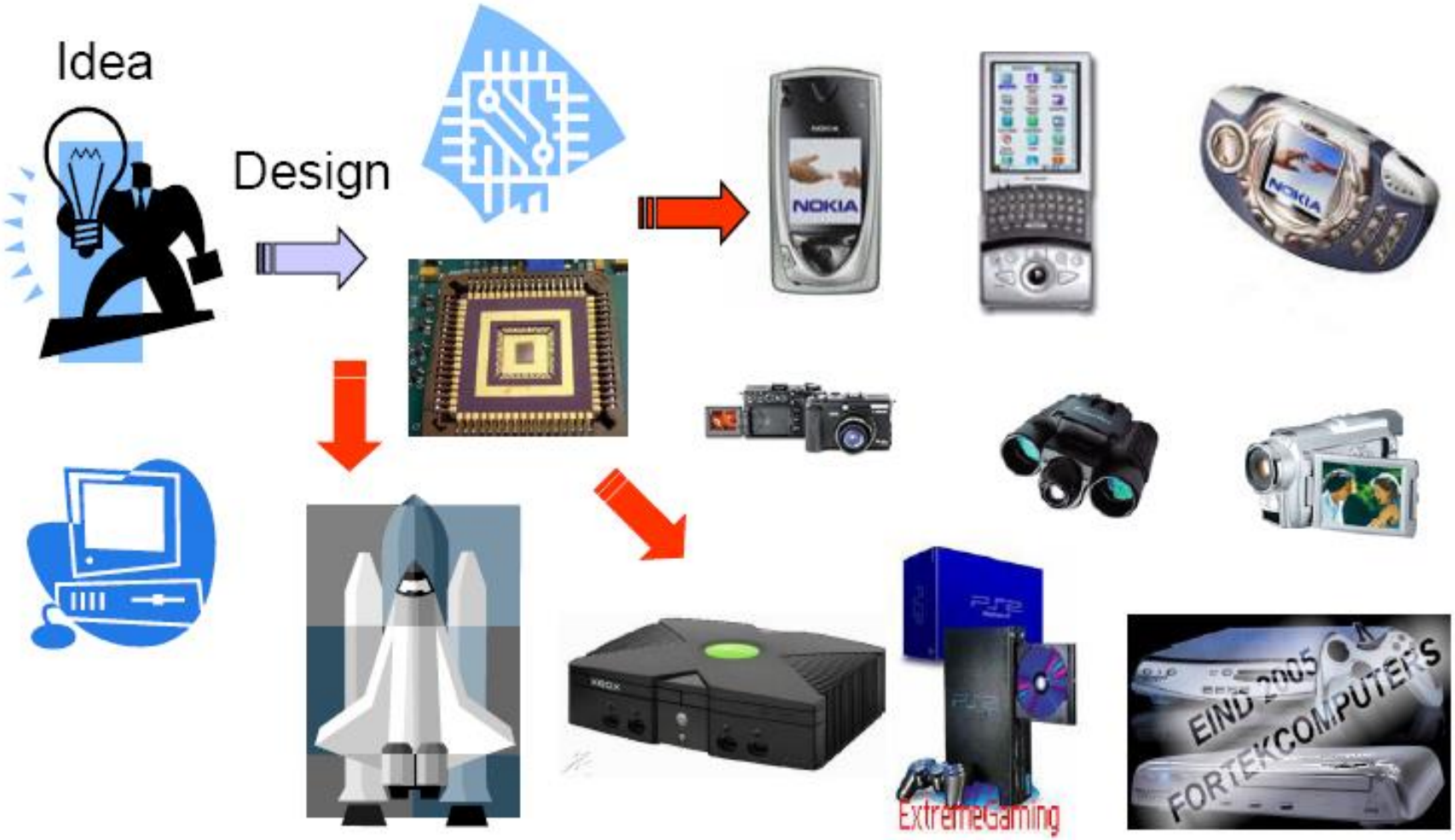

VLSI System
VLSI-I
VLSI-II
Full Custom Design
Standard Cell based design
Schematic entry
Circuit Simulation
Layout Drawing
Extraction
Verification
HDL entry
Synthesis
Simulation
Placement
routing
Verification

# فصل اول

## ❑ مقدمه

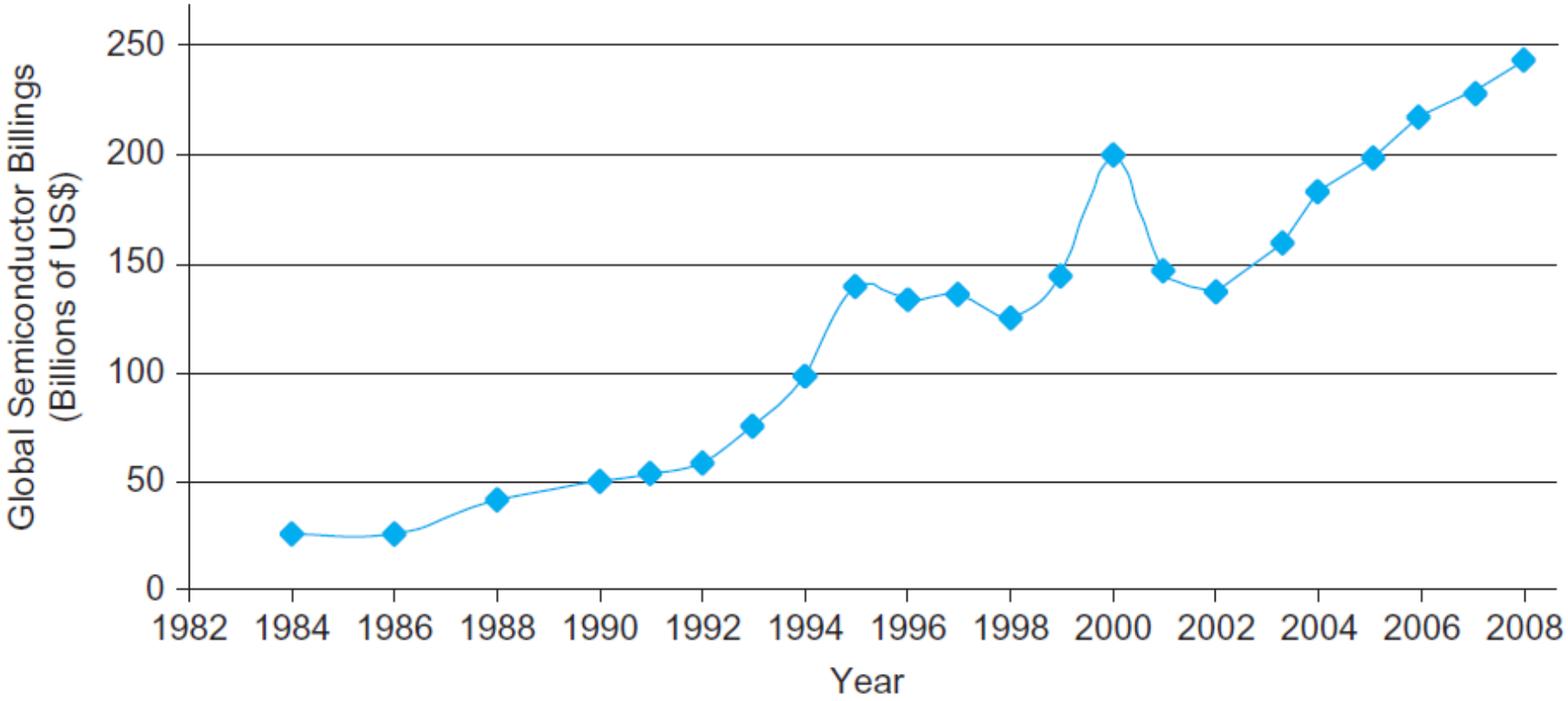
- **شناخت قانون مور و تاثیر آن روی صنعت نیمه هادی**
- **روش های طراحی مدار های مجتمع** (Design Methodologies)
- **فرایند طراحی** (Design Flow)
- **معیار های طراحی** (Design Metrics)

# کاربرد های مدار های مجتمع دیجیتال



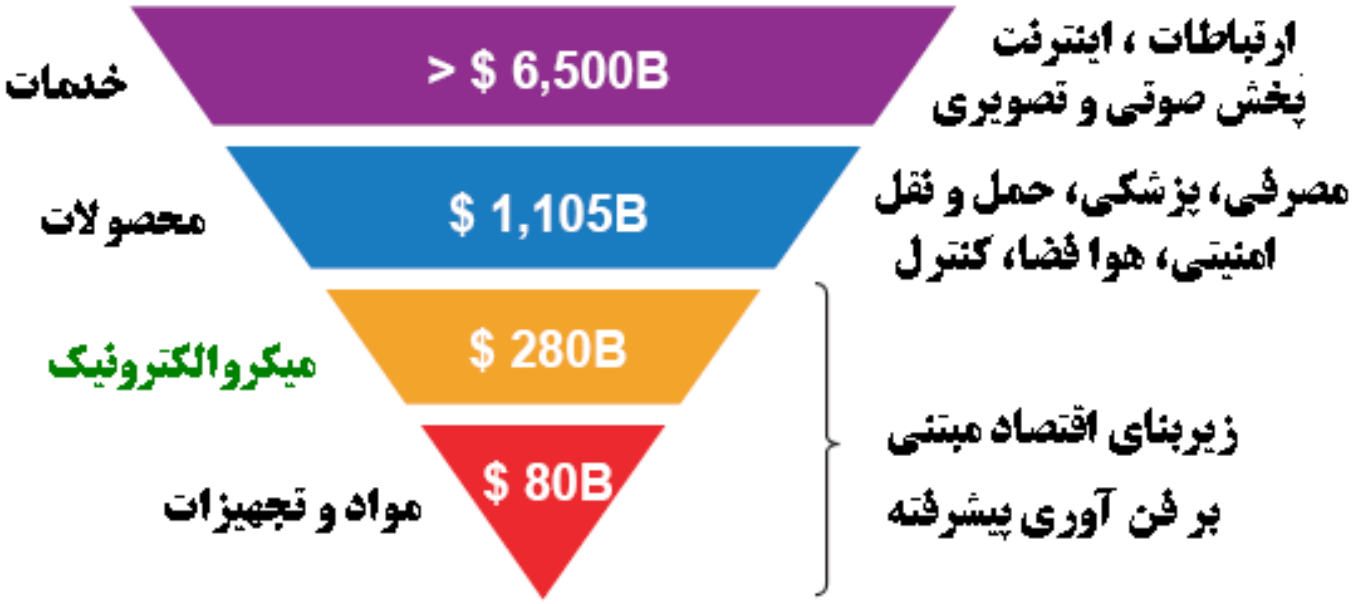
# اقتصاد صنعت نیمه هادی

- صنعت نیمه هادی یک صنعت ۳۰۰ میلیارد دلاری است که بیش از ۹۰٪ آن مربوط به مدار های مجتمع دیجیتال یا mixed-mode است.



# جایگاه صنعت میکروالکترونیک

## سهم صنایع الکترونیک در اقتصاد جهانی سال ۲۰۰۷




- تولید ناخالص جهانی GWP در سال ۲۰۰۷ معادل $ 48,900 Billion
- سهم محصولات و خدمات مبتنی بر الکترونیک $ 7,900 Billion
- ۱۶٪ اقتصاد جهانی مبتنی بر خدمات و محصولات الکترونیک است.
- میکرو الکترونیک (خصوصا فن آوری مدار های مجتمع دیجیتال) پیشرفته ترین بخش و قلب صنعت الکترونیک است.

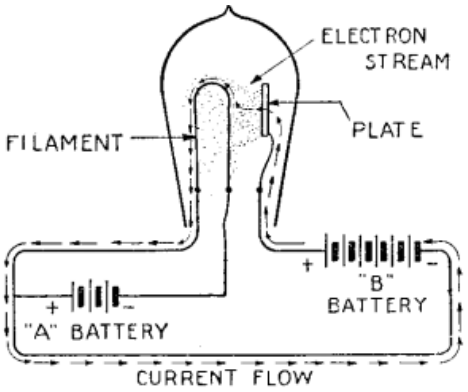
# نقاط عطف صنعت الکترونیک

- **Vacuum tube**
  - An electronic component, predecessor of the transistor, that consists of a hollow glass tube about 5 to 10 cm long from which as much air has been removed as possible and which uses an electron beam to transfer data
- **Transistor**
  - An ON/OFF switch controlled by an electric signal
- **Very large scale integrated (VLSI) circuit**
  - A device containing hundreds of thousands to millions of transistors

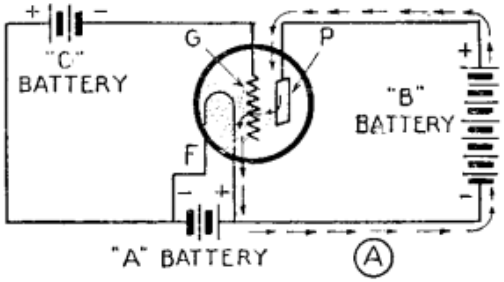
# تاریخچه پردازنده ها

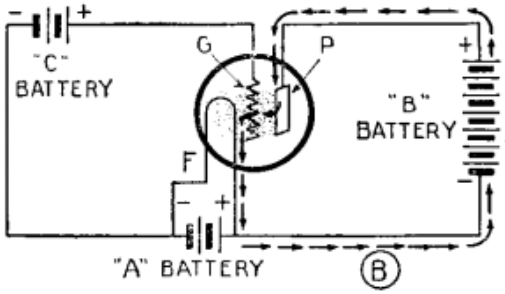
-Vacuum Tube: 1906

-Based in Thermionic Emission



- Third electrode (Grid) make it like a transistor



# تاریخچه پردازنده ها

## اولین کامپیوتر الکترونیکی (۱۹۴۶)

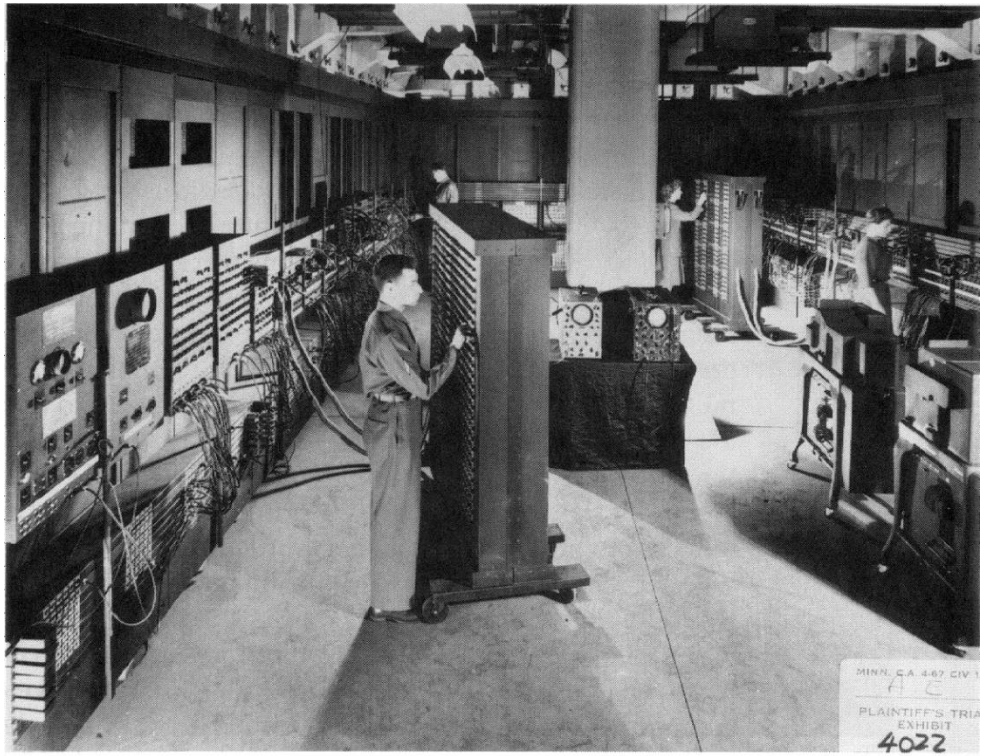
ENIAC

- محاسبه جداول آتش توپخانه
- دانشگاه پنسیلوانیا
- هزینه 500,000 $

(معادل ۶ میلیون دلار در زمان حاضر)

- وزن ۲۷ تن
- سطح اشغالی: ۱۶۷ متر مربع
- توان مصرفی: ۱۵۰ کیلو وات
- کلاک ۵ کیلو هرتز
- قدرت محاسباتی: یک هزارم

PC های امروزی

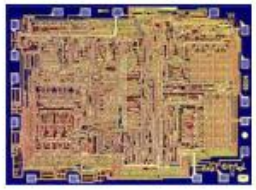


# تاریخچه مدار های مجتمع

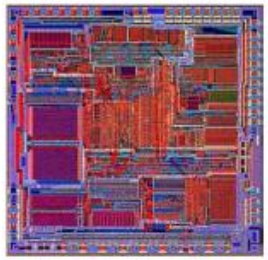
**Invention of the transistor (BJT)** — 1947
Shockley, Bardeen, Brattain – Bell Labs

**Single-transistor integrated circuit** — 1958
Jack Kilby – Texas Instruments

**Invention of CMOS logic gates** — 1963
Wanlass & Sah – Fairchild Semiconductor



**First microprocessor (Intel 4004)** — 1970
2,300 MOS transistors, 740 kHz clock frequency



**Very Large Scale Integration** — 1978
Chips with more than ~20,000 devices

# VLSI : Very Large Scale Integration

| ERA (number of logic blocks per chip) | DATE | COMPLEXITY | |
|---|---|---|---|
| Single transistor | 1959 | less than 1 | |
| Unit logic (one gate) | 1960 | 1 | |
| Multi-function | 1962 | 2 - 4 | |
| Complex function | 1964 | 5 - 20 | |
| Medium Scale Integration | 1967 | 20 - 200 | (MSI) |
| Large Scale Integration | 1972 | 200 - 2000 | (LSI) |
| Very Large Scale Integration | 1978 | 2000 - 20000 | (VLSI) |
| Ultra Large Scale Integration | 1989 | 20000 - ? | (ULSI) |

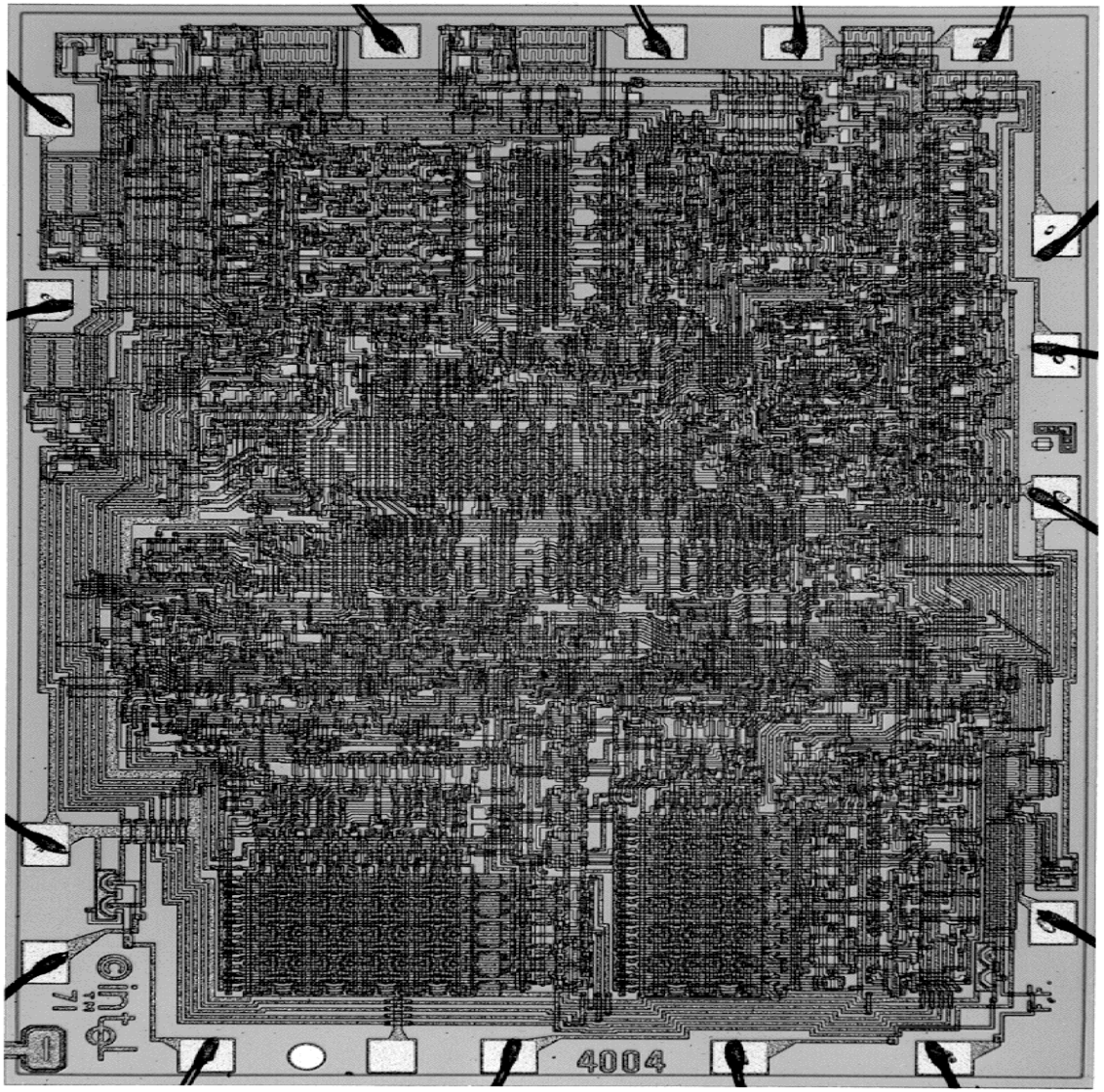
**مزیت کلیدی این فن آوری قابلیت مجتمع سازی ترانزیستور ها در کنار یکدیگر روی نیمه هادی می باشد.**

# قانون Moore

- پیش بینی Gordon Moore در سال ۱۹۶۵ :
  - تعداد ترانزیستور های قابل مجتمع سازی روی یک تراشه هر ۱۸ تا ۲۴ ماه دو برابر می شود. یعنی پیچیدگی مدار ها بصورت نمایی با زمان زیاد می شود.
- آینده نگاری بسیار دقیقی داشته است و درست بوده است. تعداد ترانزیستور ها در سال ۱۹۸۰ از ۱ میلیون روی تراشه فراتر رفته است.

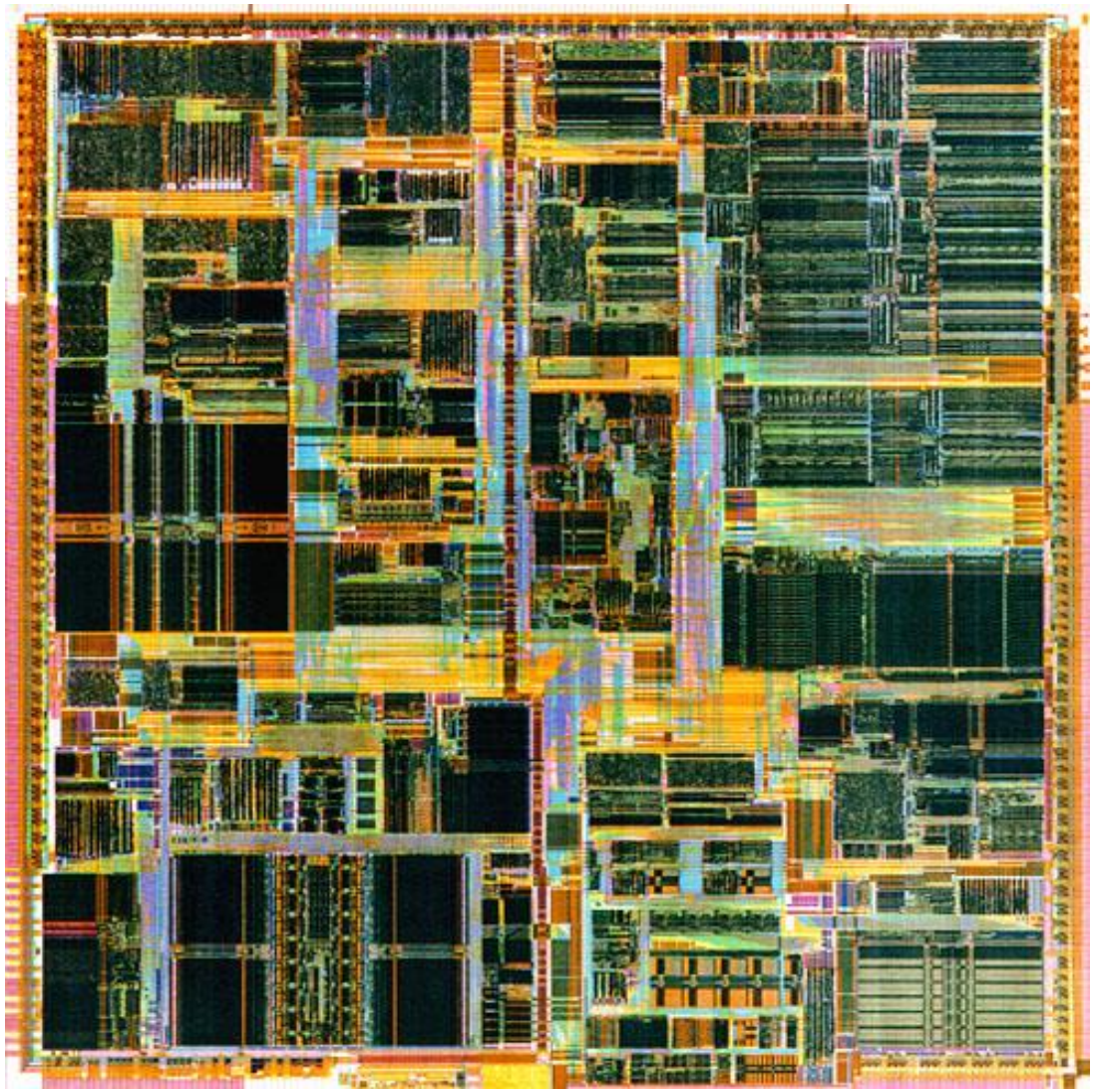
- 2300 transistors, 740 KHz clock (Intel 4004) - 1971
- 16 Million transistors (Ultra Sparc III)
- 42 Million, 2 GHz clock (Intel P4) - 2001
- 140 Million transistor (HP PA-8500)

# ریز پردازنده Intel 4004




**1971**
**2300 transistors**
**740 KHz operation**

# ریز پردازنده Intel Pentium Pro



P6 : Year 1996
150 to 200 MHz clock rate
196 $mm^2$
5.5M transistors
0.35 micron Technology
3.3volt VDD
>20W typical

# ریز پردازنده Intel Pentium 4

Intel Pentium 4

0.13μ process

55 million transistors

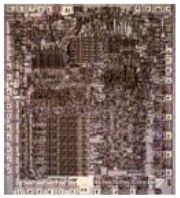
2.4GHz clock

145mm$^2$

Year 2000

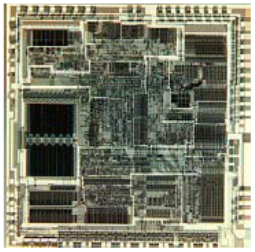
# قانون مور

Shown with approximate relative sizes

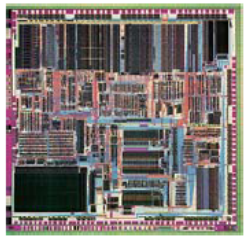


Intel 8080A, 1974
3Mhz, 6K transistors, 6u

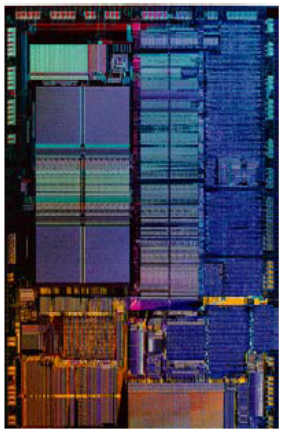
Intel 8086, 1978, 33mm$^2$
10Mhz, 29K transistors, 3u



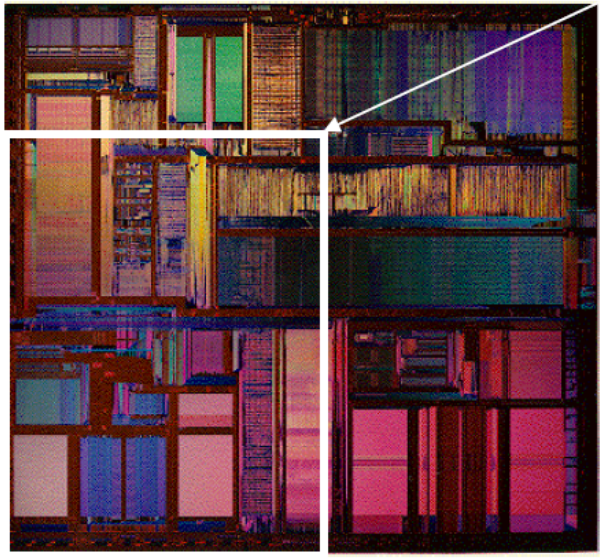
Intel 80286, 1982, 47mm$^2$
12.5Mhz, 134K transistors, 1.5u



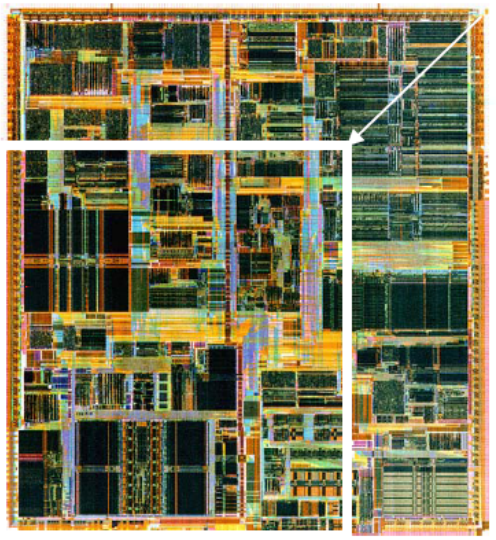
Intel 386DX, 1985, 43mm$^2$
33Mhz, 275K transistors, 1u



Intel 486, 1989, 81mm$^2$
50Mhz, 1.2M transistors, .8u



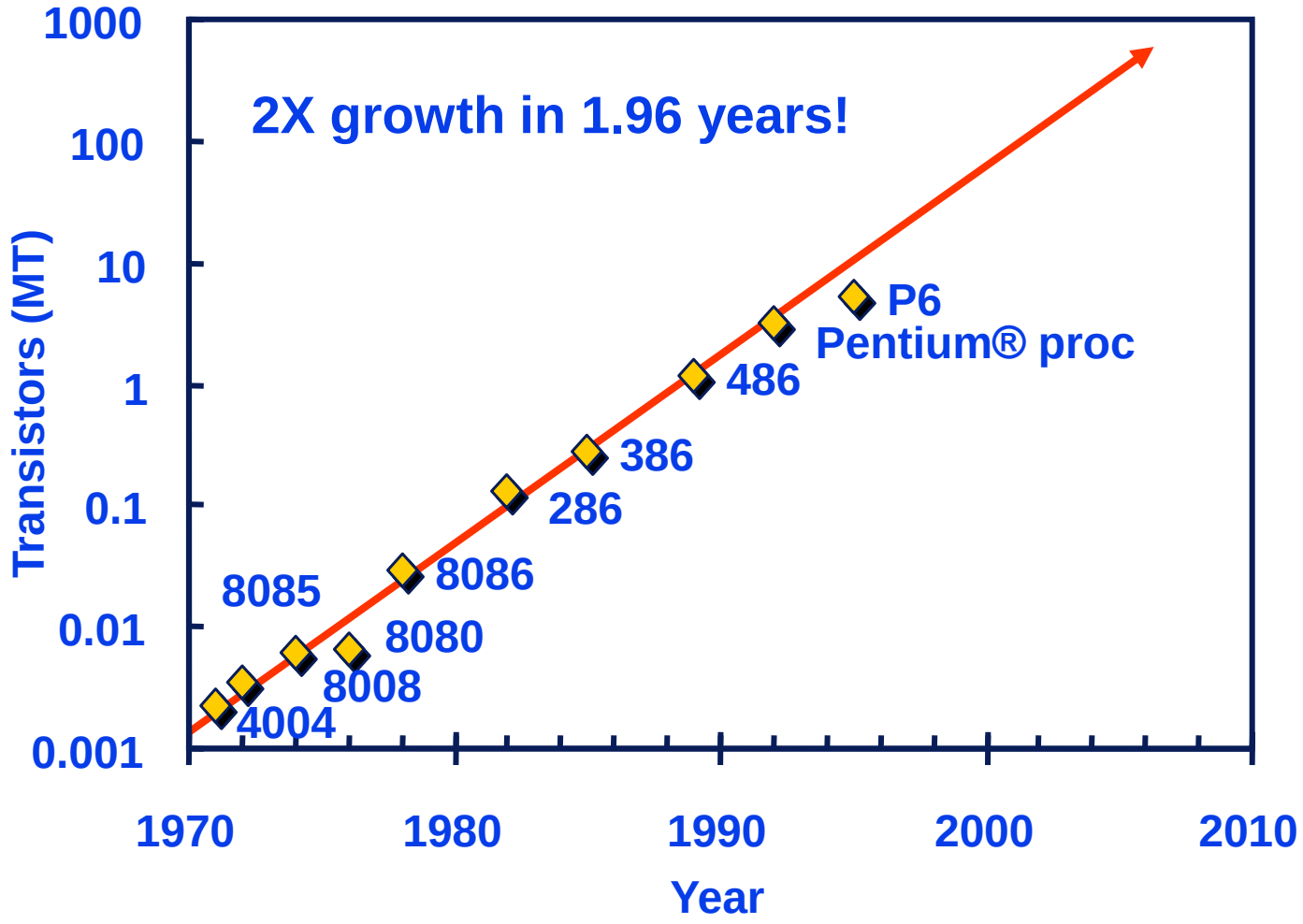
Intel Pentium, 1993/1994/1996, 295/147/90mm$^2$
66Mhz, 3.1M transistors, .8u/.6u/.35u



Intel Pentium II, 1997, 203mm$^2$/104mm$^2$
300/333Mhz, 7.5M transistors, .35u/.25u

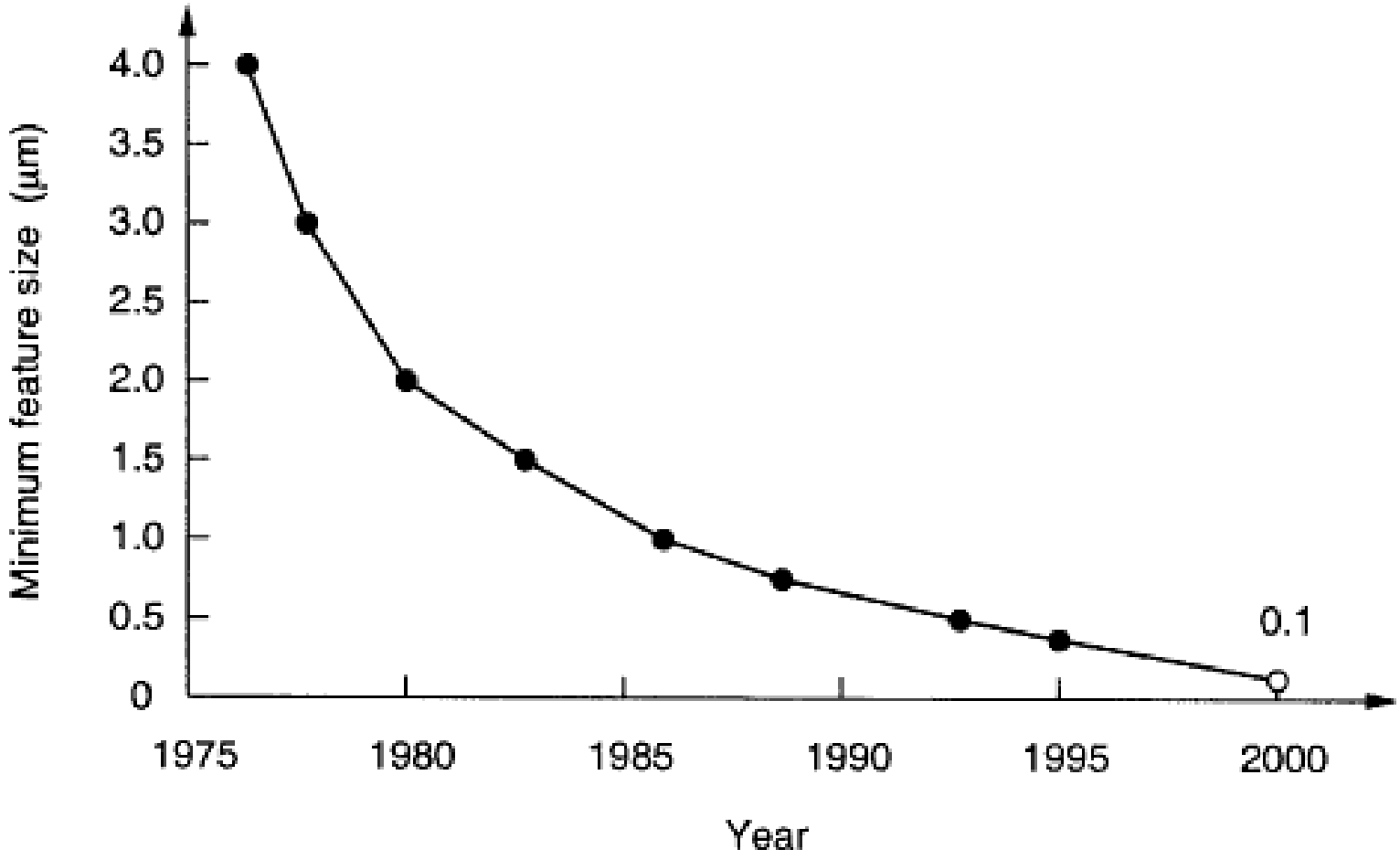
# قانون مور در ریز پردازنده ها

**Transistors on lead microprocessors double every 2 years**

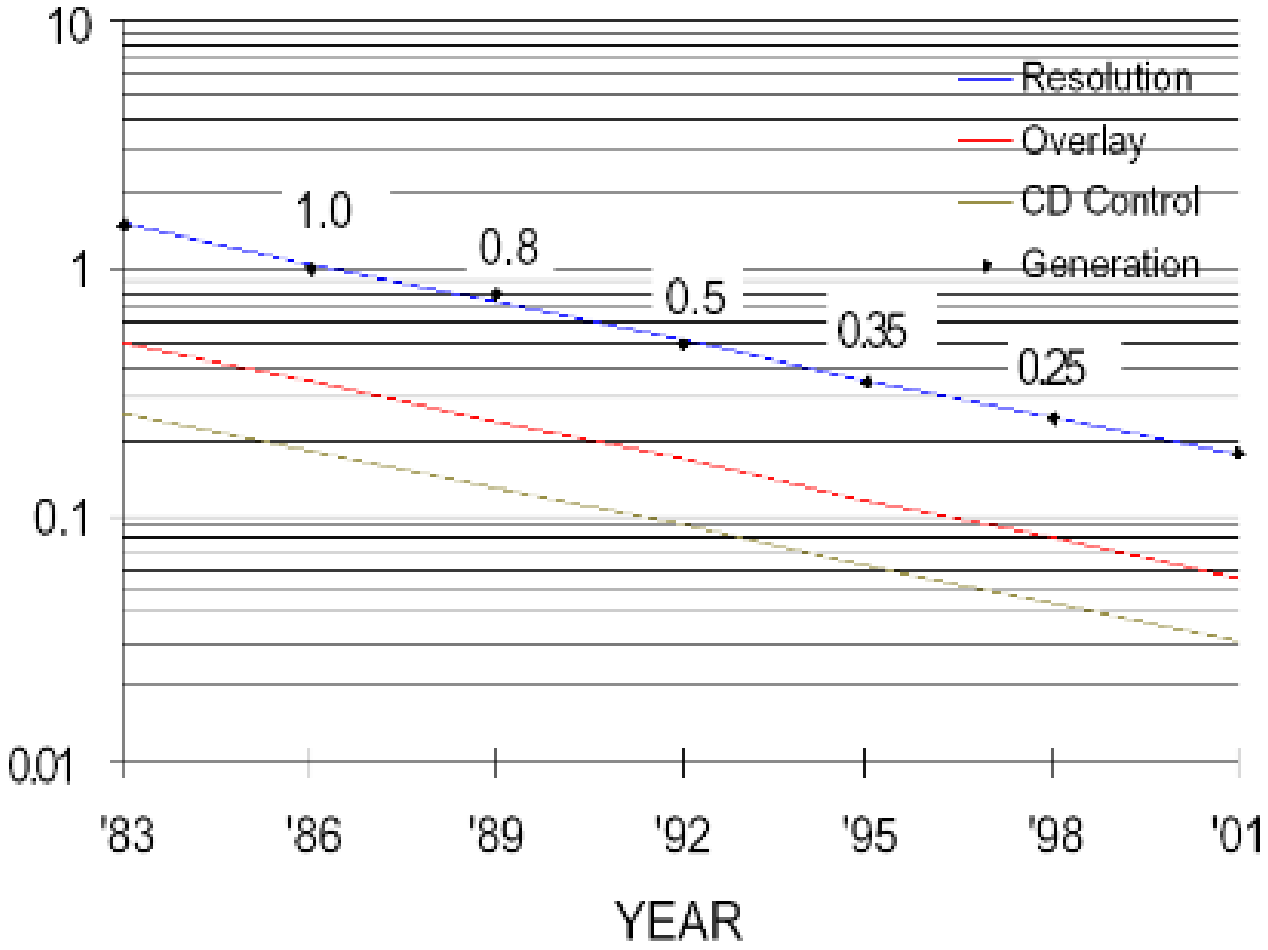



Courtesy, Intel

# تحول حداقل ابعادتراشه ها



# همان منحنی در مقیاس لگاریتمی




2002: 130 nm

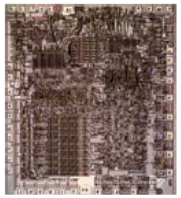
2003: 90 nm

...

2010: 35 nm (?)

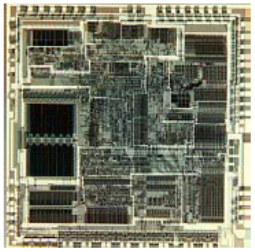
# نسل های تراشه های اینتل

Shown with approximate relative sizes

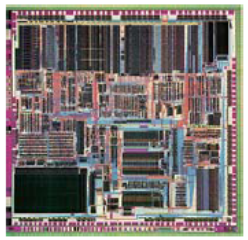


Intel 8080A, 1974
3Mhz, 6K transistors, 6u

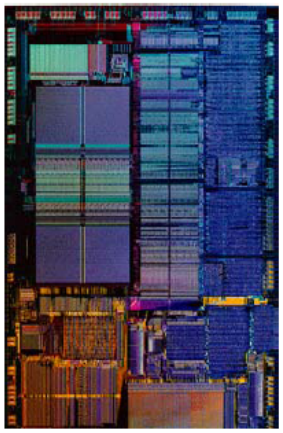
Intel 8086, 1978, 33mm$^2$
10Mhz, 29K transistors, 3u



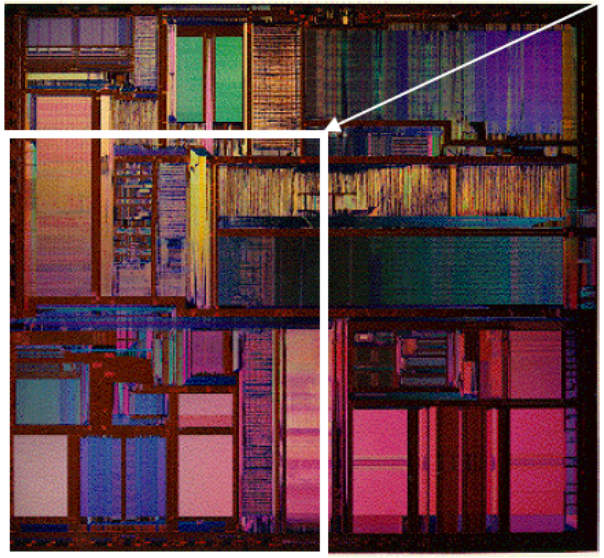
Intel 80286, 1982, 47mm$^2$
12.5Mhz, 134K transistors, 1.5u



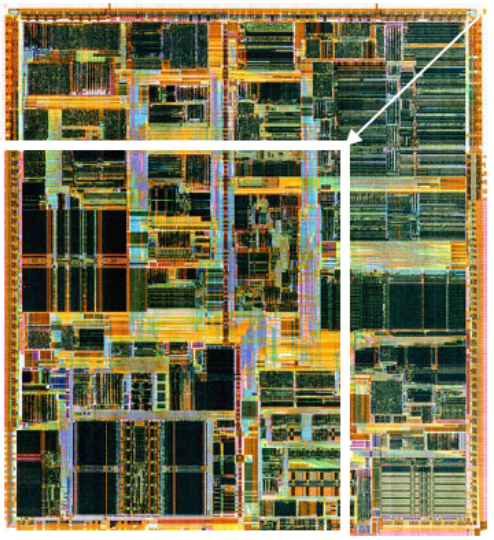
Intel 386DX, 1985, 43mm$^2$
33Mhz, 275K transistors, 1u



Intel 486, 1989, 81mm$^2$
50Mhz, 1.2M transistors, .8u

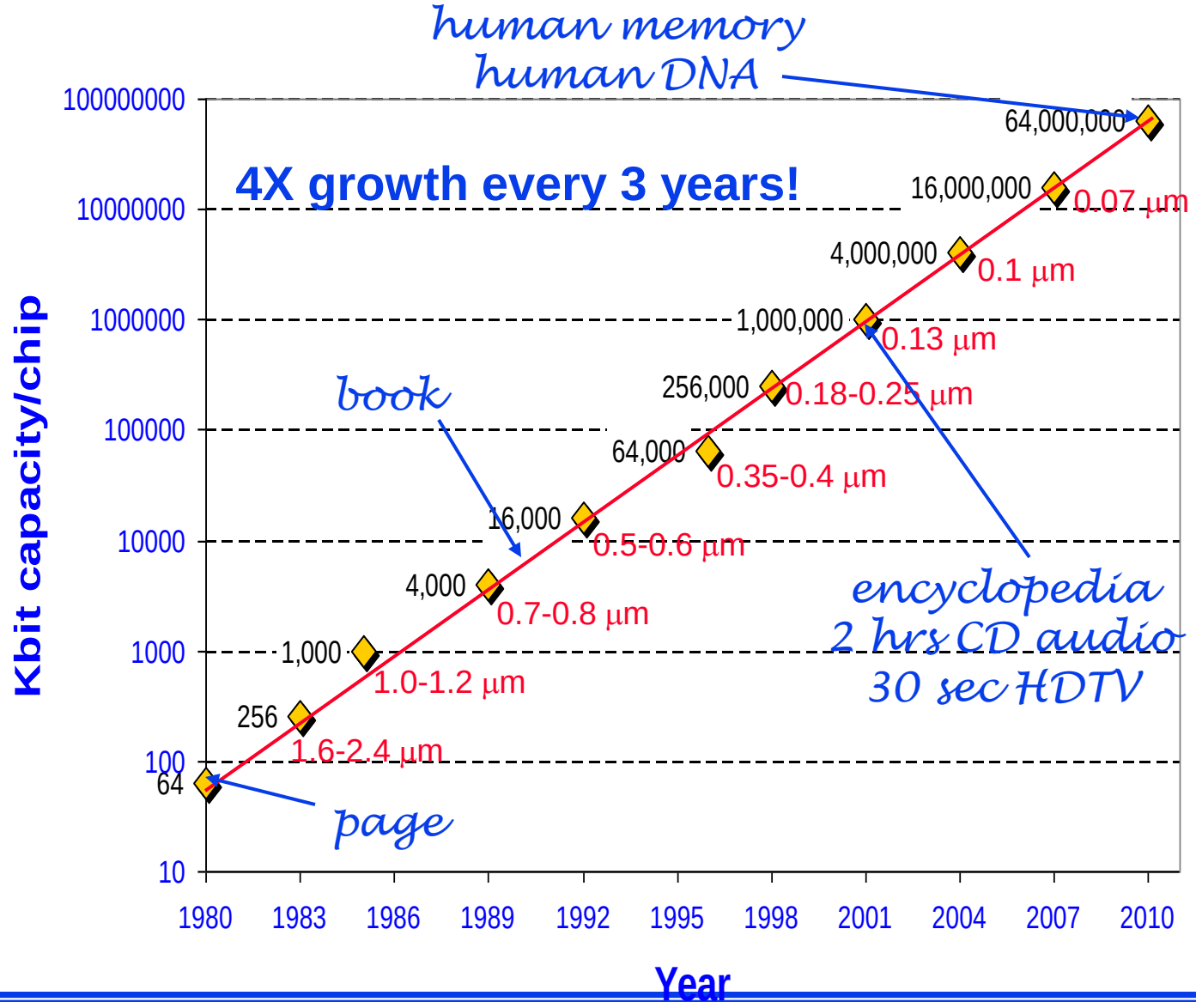


Intel Pentium, 1993/1994/1996, 295/147/90mm$^2$
66Mhz, 3.1M transistors, .8u/.6u/.35u



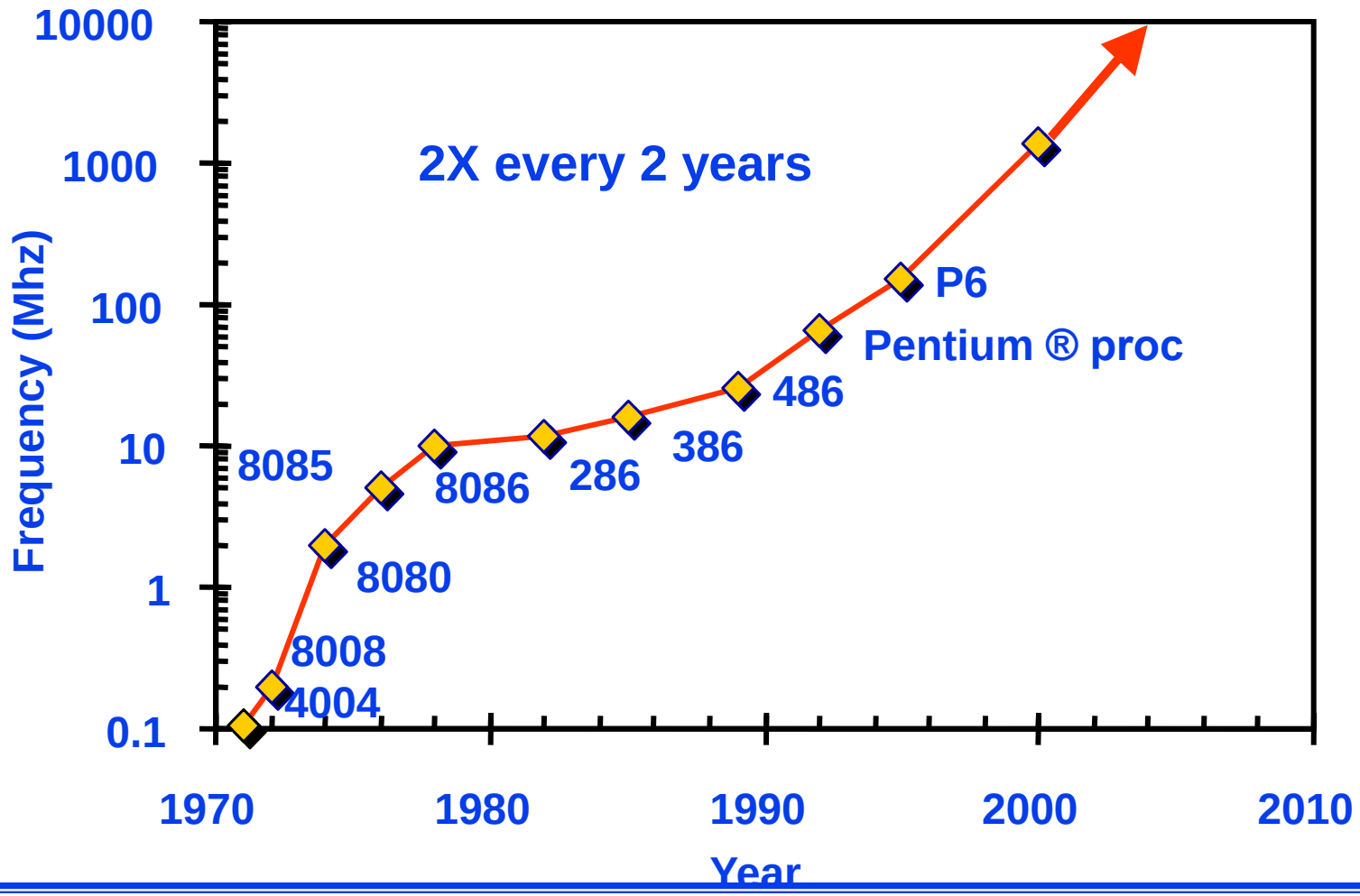
Intel Pentium II, 1997, 203mm$^2$/104mm$^2$
300/333Mhz, 7.5M transistors, .35u/.25u

# افزایش نمایی ظرفیت حافظه های DRAM



# افزایش فرکانس clock و سرعت پردازش

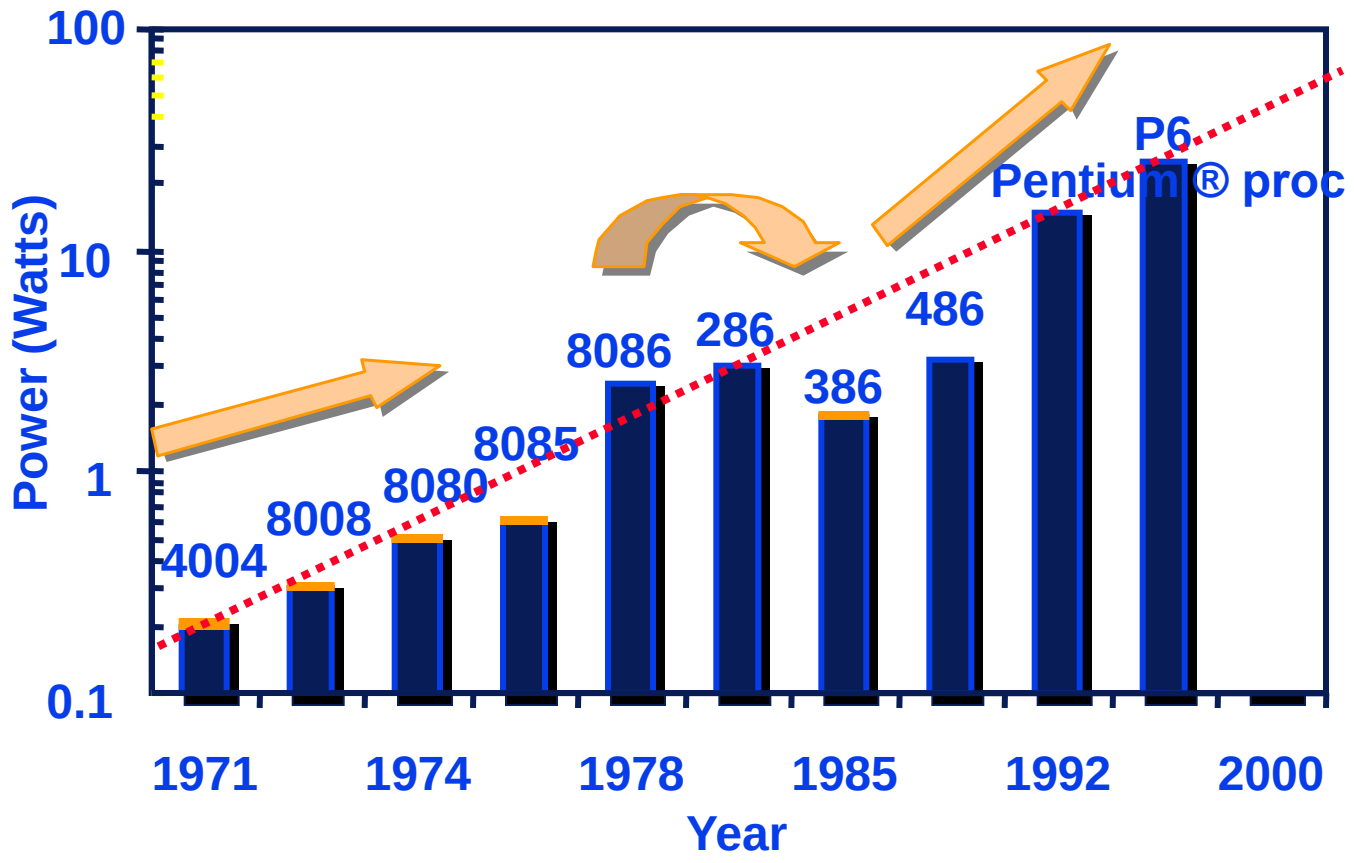
**Lead microprocessors frequency doubles every 2 years**




Courtesy, Intel

# افزایش تلفات توان (چالش)

**Lead Microprocessors power continues to increase**




**Power delivery and dissipation will be prohibitive**

Courtesy, Intel

# کاهش ابعاد ترانزیستور ها (Scaling)

- با ارتقای دقت تکنولوژی ساخت امکان کوچک سازی ابعاد فراهم شده است.
- ابعاد فیزیکی از هر نسل به نسل بعدی تقریبا 0.7 برابر کوچک می شوند.
- بنابراین در هر نسل می توان ۲ برابر عملیات بیشتر در مساحت معادل نسل قبل داشت.
- هزینه عملیات و قیمت تمام شده کاهش می یابد.
- با کم شدن ابعاد تاخیر کم می شود و لذا سرعت پردازش بیشتر می شود.
- با کم شدن ابعاد تلفات توان کم می شود.

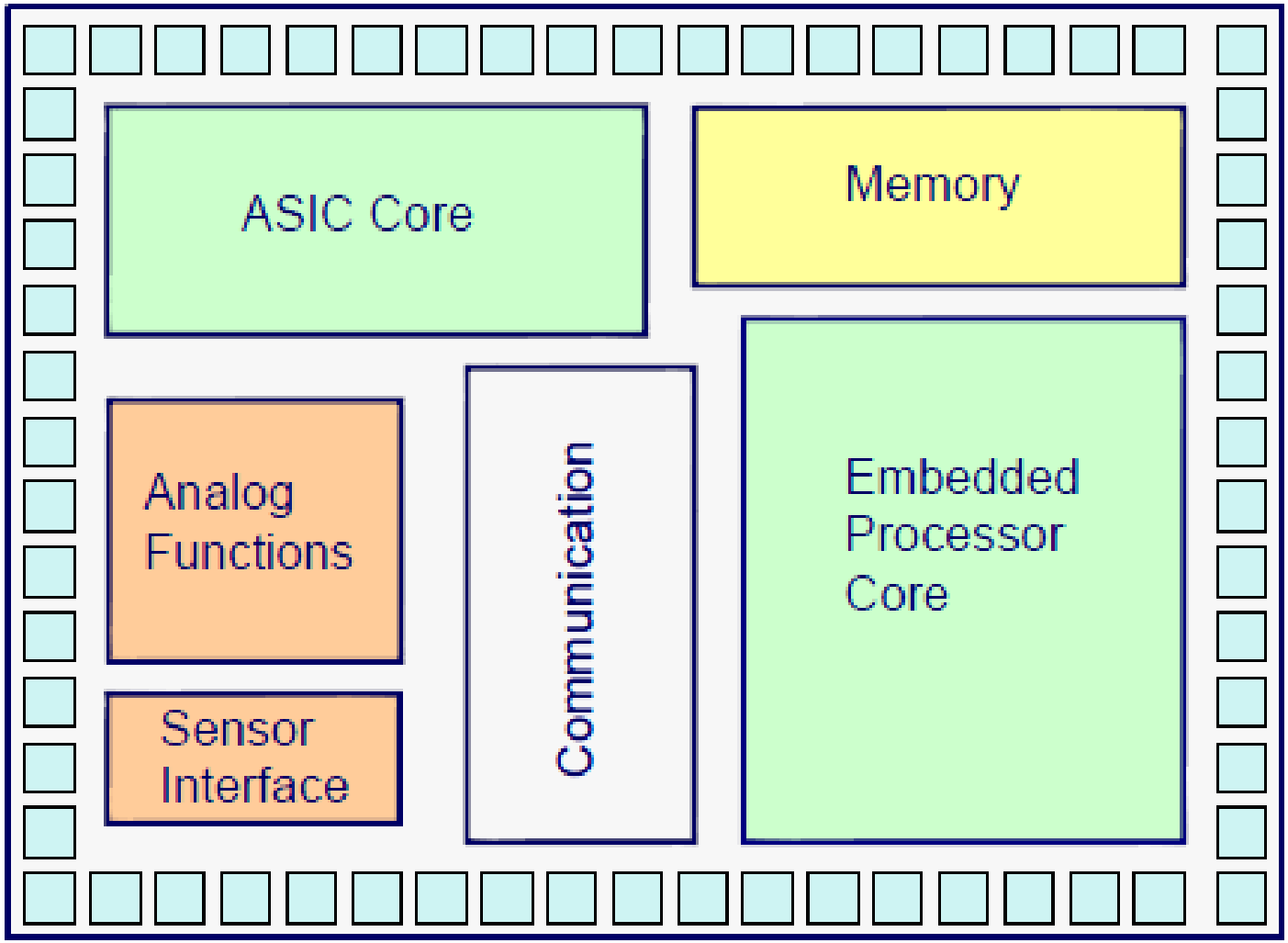
- **همه عوامل مهندسی به نفع کم شدن ابعاد است بنابراین**

# جهت گیری تکنولوژی (نقشه راه SIA)

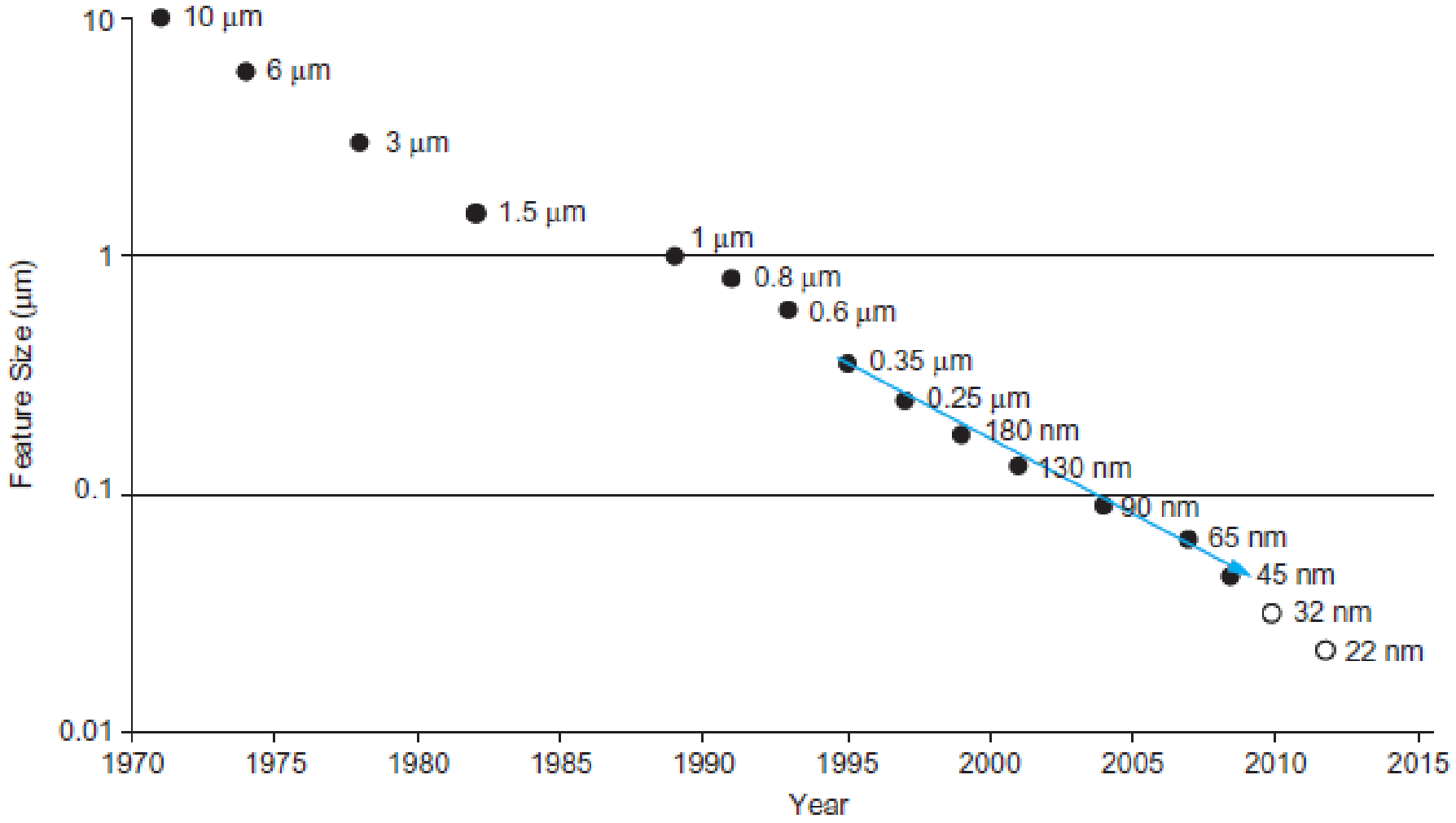
| Year | 1999 | 2002 | 2005 | 2008 | 2011 | 2014 |
|---|---|---|---|---|---|---|
| Feature size (nm) | 180 | 130 | 90 | 65 | 45 | 32 |
| Mtrans/cm$^2$ | 7 | 14-26 | 47 | 115 | 284 | 701 |
| Chip size (mm$^2$) | 170 | 170-214 | 235 | 269 | 308 | 354 |
| Signal pins/chip | 768 | 1024 | 1024 | 1280 | 1408 | 1472 |
| Clock rate (MHz) | 600 | 800 | 1100 | 1400 | 1800 | 2200 |
| Wiring levels | 6-7 | 7-8 | 8-9 | 9 | 9-10 | 10 |
| Power supply (V) | 1.8 | 1.5 | 1.2 | 0.9 | 0.6 | 0.6 |
| High-perf power (W) | 90 | 130 | 160 | 170 | 174 | 183 |
| Battery power (W) | 1.4 | 2.0 | 2.4 | 2.0 | 2.2 | 2.4 |

http://www.itrs.net/ntrs/publntrs.nsf

# روند توسعه: سیستم های مجتمع روی یک تراشه SOC

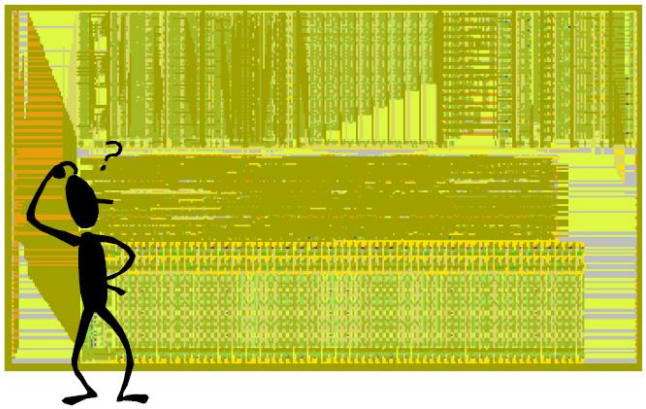


# کاهش ابعاد در نسل های مختلف تکنولوژی



# سوالاتی که در این درس باید به آنها پاسخ بدهیم

- مدار های مجتمع و تراشه ها چگونه مهندسی می شوند.
- چه استراتژی هایی برای پیاده سازی سیستم های VLSI وجود دارد.
- طراحان چگونه میلیون ها ترانزیستور را در کنار هم قرار می دهند و مدار آنها بدون خطا کار می کند؟
- تکنولوژی ساخت چه محدودیت ها و الزاماتی را برای طراح ایجاد می کند.
- ابزار های طراحی به کمک کامپیوتر چه کمکی به طراح می کنند.



# فصل اول

## ❑ مقدمه

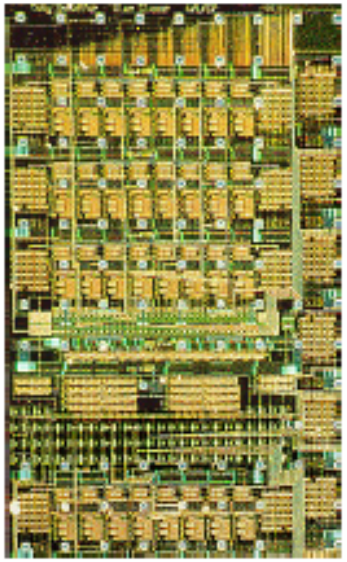
- شناخت قانون مور و تاثیر آن روی صنعت نیمه هادی
- روش های طراحی مدار های مجتمع (Design Methodologies)
- فرایند طراحی (Design Flow)
- معیار های طراحی (Design Metrics)

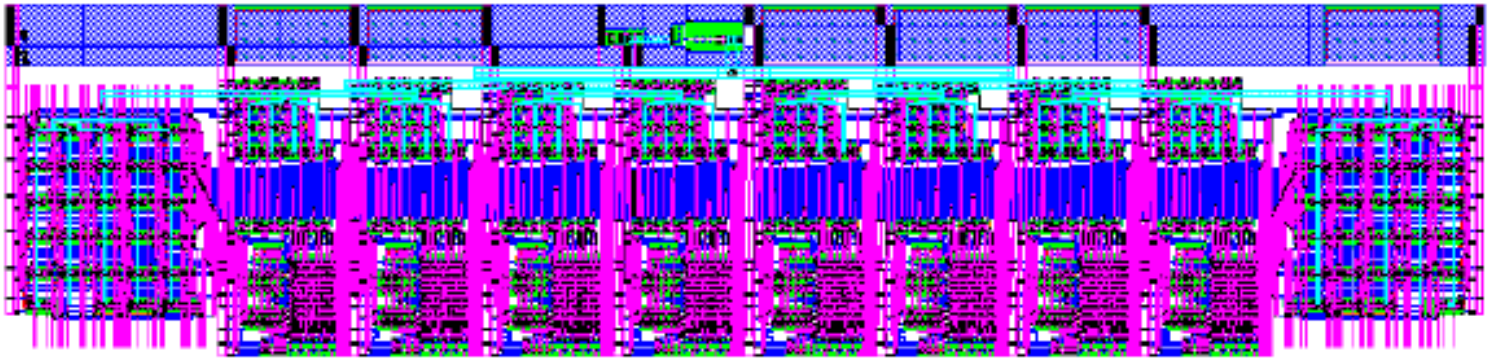
# روش های طراحی

- **VLSI Design methodologies**
  - **Full Custom Design**
    - **Design everything from scratch**
  - **Standard Cell based Design**
    - **Use Library of standard Cells**
  - **Gate Array Design**
    - **Use existing gates and only program connections**

# Full Custom ASIC Design

- Every transistor is designed and drawn by hand
- Typically only way to design analog portions of ASICs
- Gives the highest performance but the longest design time
- Full set of masks required for fabrication

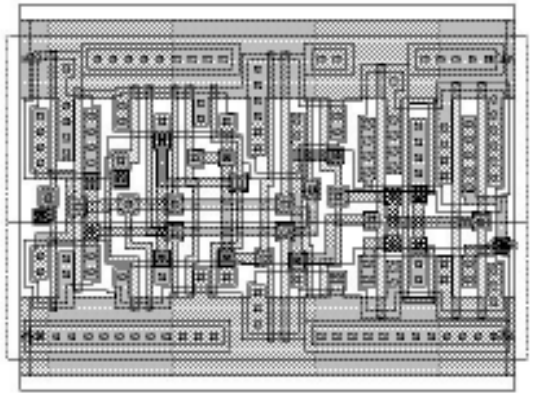




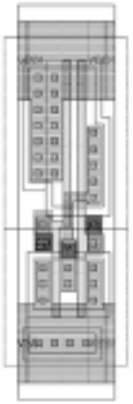
# Standard Cell Based ASIC Design

- or 'Cell Based IC' (CBIC) or 'semi-custom'
- **Standard Cells** are custom designed and then inserted into a **library**
- These cells are then used in the design by being placed in rows and wired together using 'place and route' CAD tools
- Some standard cells, such as RAM and ROM cells, and some datapath cells (e.g. a multiplier) are tiled together to create **macrocells**

D-flip-flop:

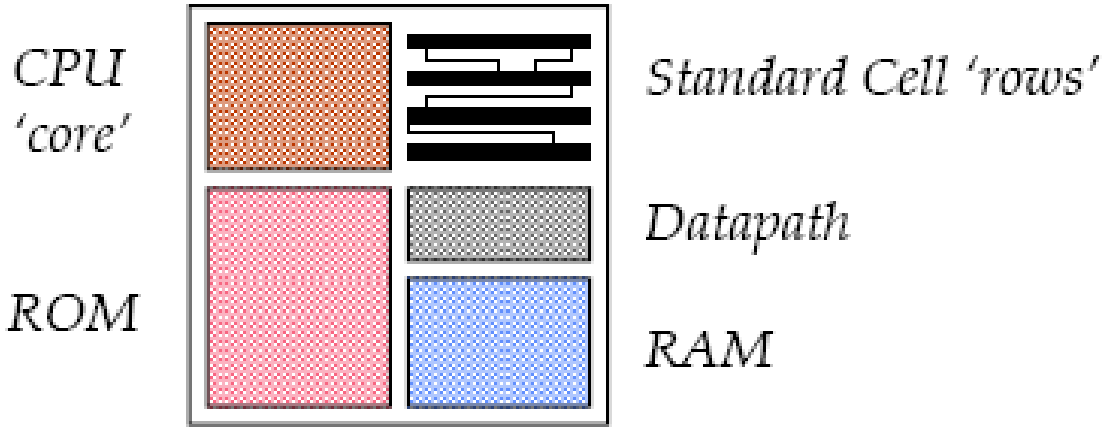


NOR gate:



# Standard Cell Based Design

## Sample ASIC floorplan:




- Standard Cell designs are usually synthesized from an RTL (Register Transfer Language) description of the design
- Full set of masks (22+) still required

## Fabless semiconductor company model

- Company does design only. Fab performed by another company (e.g. TSMC, UMC, Global Semiconductor, IBM).

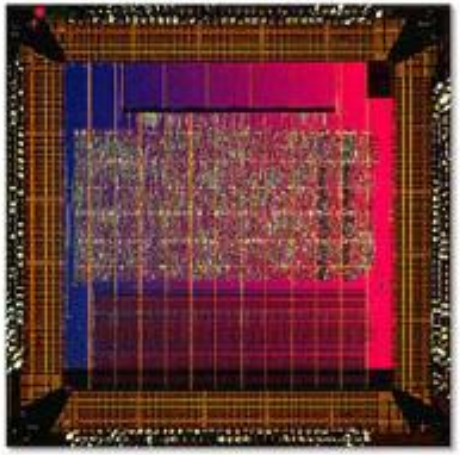
# Gate Array Based ASIC Design

- In a gate array, the transistors level masks are fully defined and the designer can not change them
- The design instead programs the wiring and vias to implement the desired function
- Gate array designs are slower than cell-based designs but the implementation time is faster as less time must be spent in the factory
- RTL-based methods and synthesis, together with other CAD tools, are often used for gate arrays.

# Gate Array Examples

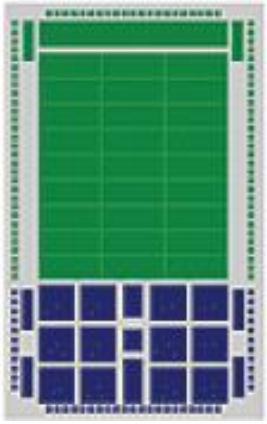
## Chip Express

- Wafers built with sea of macros + 4 metal layers
- 2 metal layers customized for application
- Only 4 masks!



## Triad Semiconductor

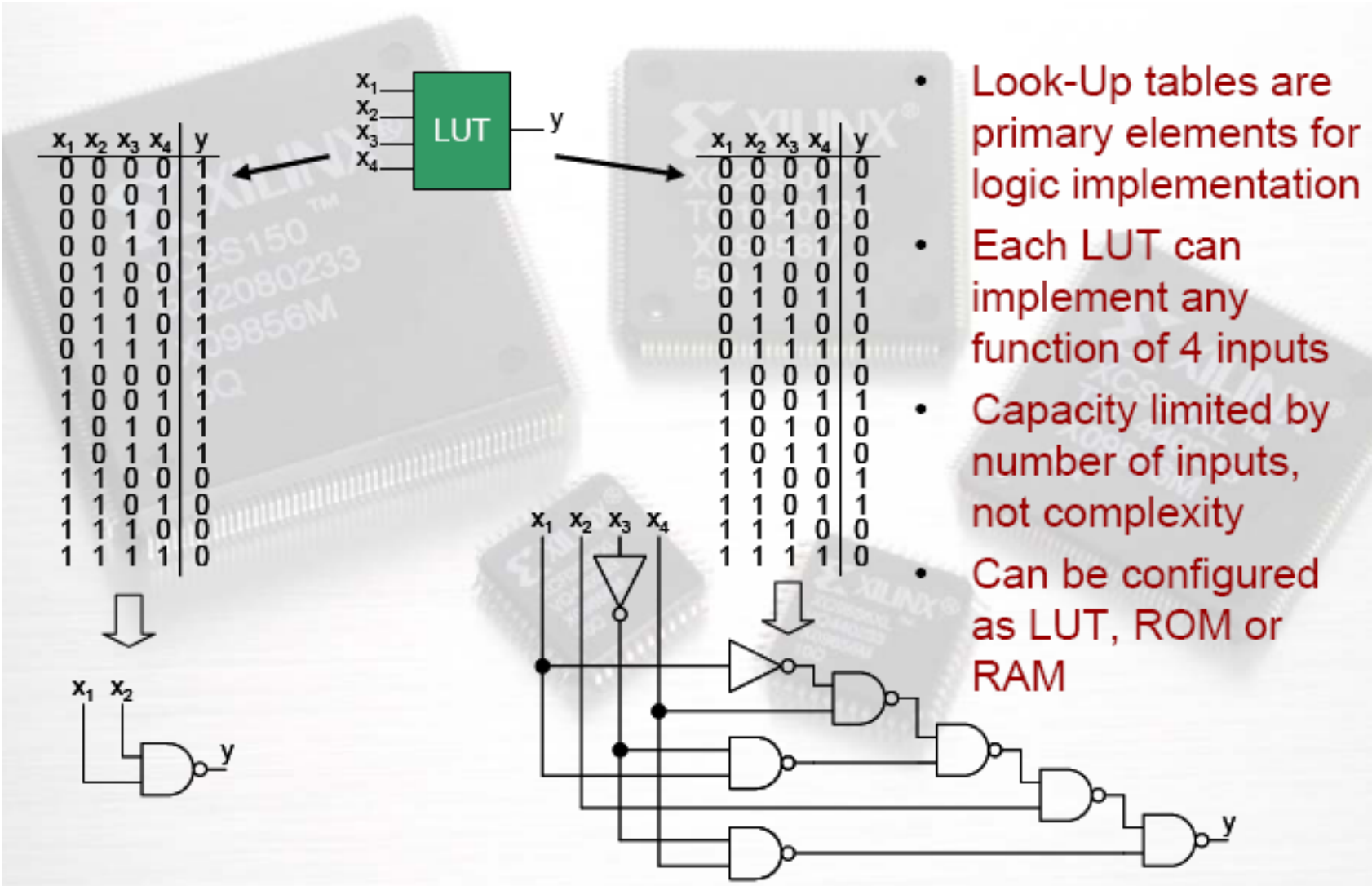
- Analog and Digital Macros
- 1 metal layer for customization (2 week turnaround)



# Programmable logic devices (PLD, FPGA)

- FPGA= Field Programmable Gate Array
- Are off-the-shelf ICs that can be programmed by the user to capture the logic
- There are no custom mask layers so final design implementation is a few hours instead of a few weeks
- Simple PLDs are used for simple functions.
- FPGAs are increasingly displacing standard cell designs.
- Capable of capturing 100,000+ designed gates
- High power consumption
- High per-unit cost
- FPGAs are also slow (< 100 MHz)

# LUT (Look Up Tables)



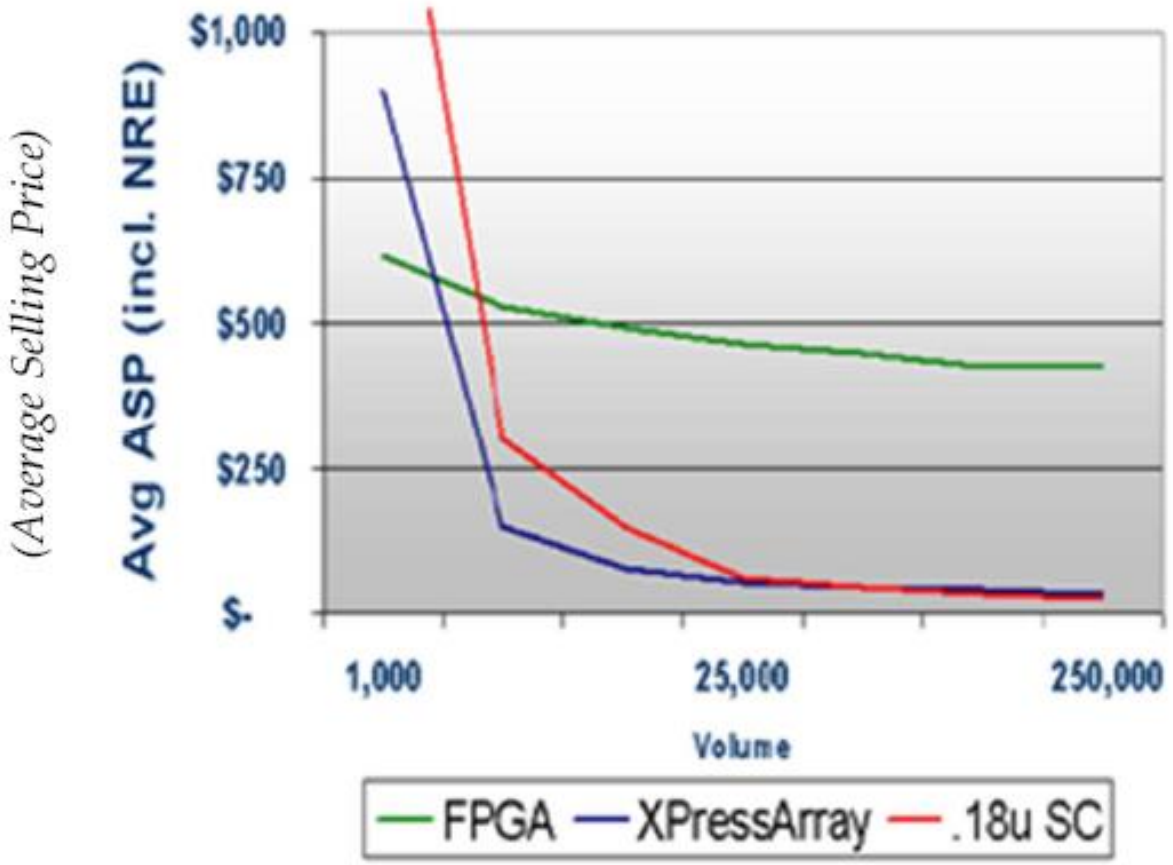

- Look-Up tables are primary elements for logic implementation
- Each LUT can implement any function of 4 inputs
- Capacity limited by number of inputs, not complexity
- Can be configured as LUT, ROM or RAM

# Comparing Design Methodologies

| | Standard Cell ASIC | Gate Array | FPGA |
|---|---|---|---|
| Positives | •Highest performance: ~1 Billion transistors at multi-GHz rates. Often only way to meet a spec.<br>•Lowest high volume cost (→ $ per die) | •Fairly Low design, CAD and up-front costs<br>•Time from design ready to first part 1-2 weeks<br>•Lowest mid-volume price | •Low design, CAD and up-front costs<br>•Time from design ready to first part almost zero |
| Negatives | •High design, CAD and wafer costs<br>•Long time to first-product to market (long design time + >4 weeks for fab) | •Performance not much more than FPGA | •Low performance (Millions of implemented logic gates @ 10s to 100s of MHz)<br>•High unit cost ($1,000's) |
| Comments | | •Often used for FPGA shrink | • Especially useful in markets that change fast or have low volumes |

# مقایسه به لحاظ قیمت

Total cost calculation:



# فصل اول

## ❑ مقدمه

- شناخت قانون مور و تاثیر آن روی صنعت نیمه هادی
- روش های طراحی مدار های مجتمع (Design Methodologies)
- فرایند طراحی (Design Flow)
- معیار های طراحی (Design Metrics)

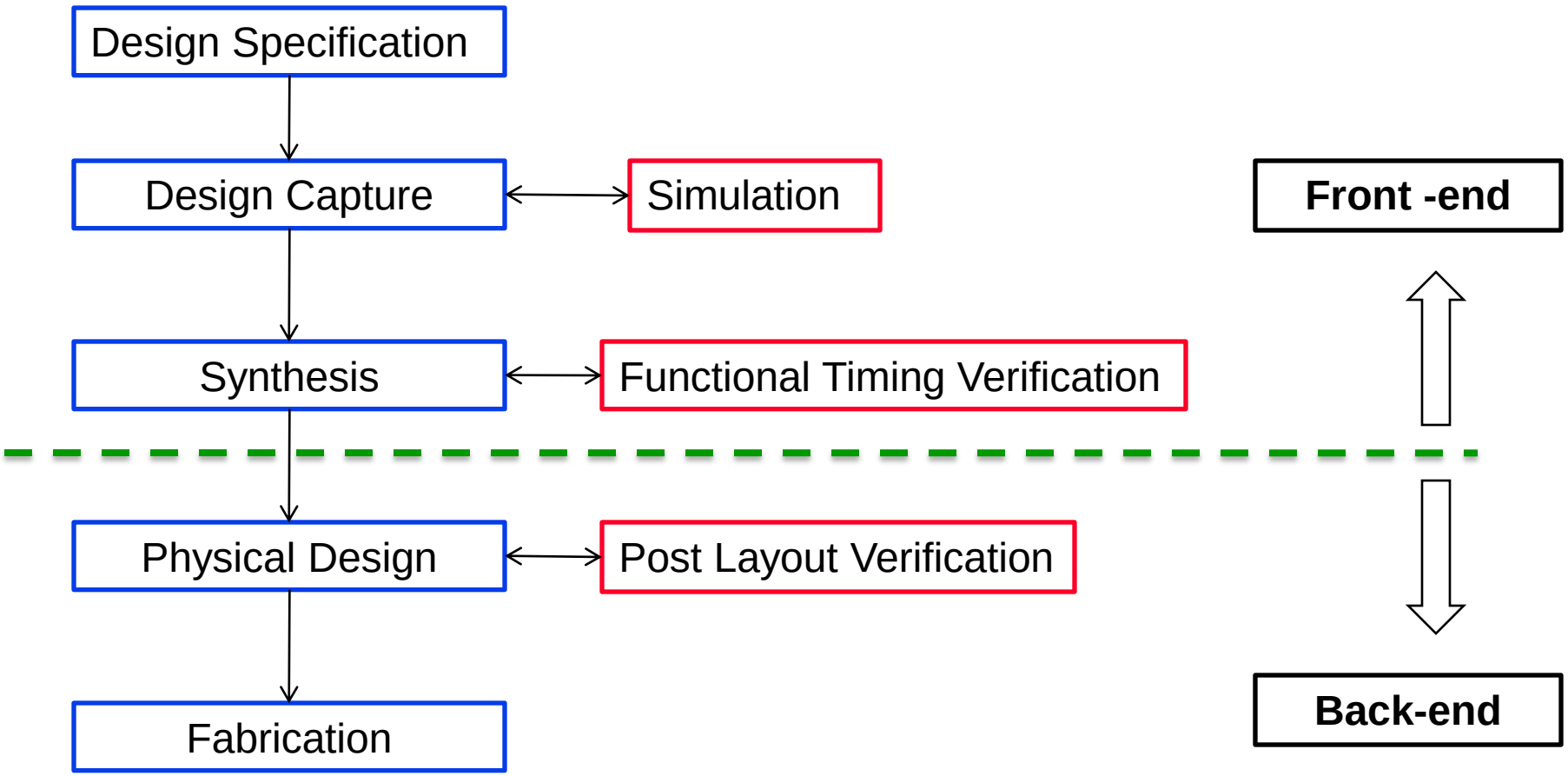
# Design Flow

Design Procedure  starting from the design idea to the actual  design implementations

**Consists of Many steps**

- Design Specification
- Coding
- Simulation
- Synthesis
- Layout
- Testability analysis
- …

# ASIC Design Flow



# مثال: طراحی یک جمع کننده

- *A n-bit adder is constructed by cascading n 1-bit adders.*

A 1-bit adder has

- two operand inputs A and B
- a carry input C
- a carry output Cy
- a sum output S

# توصیف رفتاری با زبان توصیف سخت افزار (HDL)

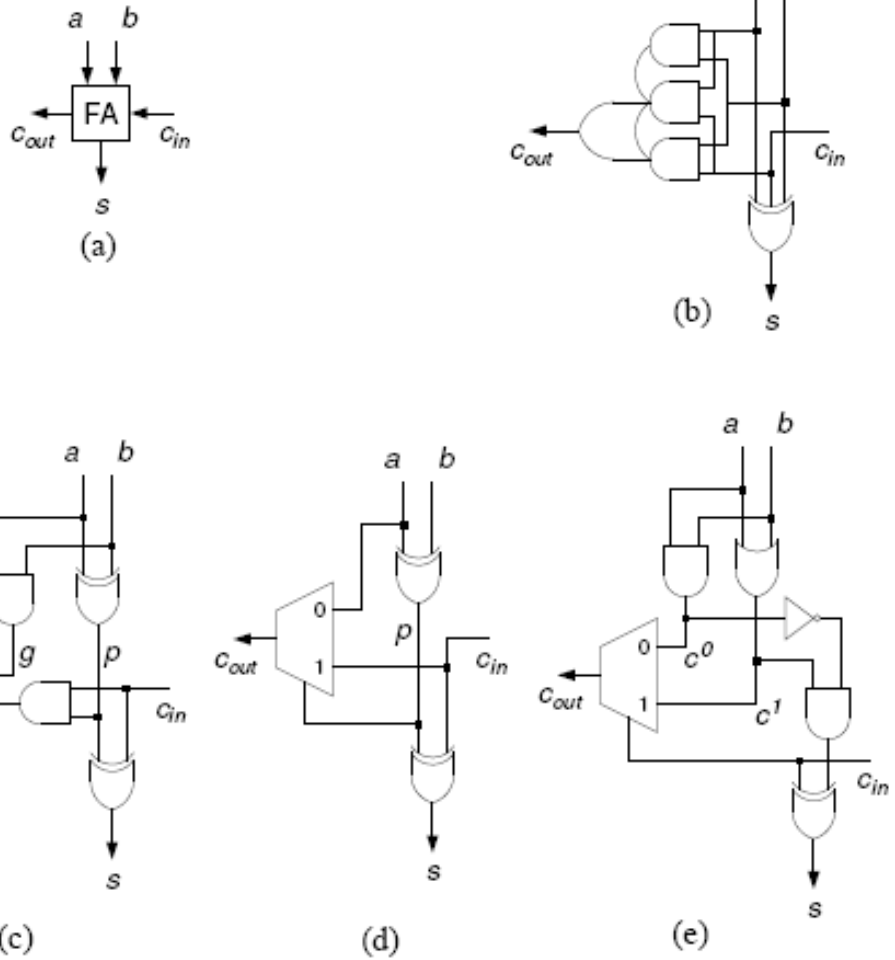
این روش بدلیل ساختار سلسله مراتبی و قابلیت شبیه سازی و سنتز با ابزار های طراحی متداول ترین روش می باشد.

```
1  module addbit (
2  a       , // first input
3  b       , // Second input
4  ci      , // Carry input
5  sum     , // sum output
6  co        // carry output
7  );
8  //Input declaration
9  input a;
10 input b;
11 input ci;
12 //Ouput declaration
13 output sum;
14 output co;
15 //Port Data types
16 wire   a;
17 wire   b;
18 wire   ci;
19 wire   sum;
20 wire   co;
21 //Code starts here
22 assign {co,sum} = a + b + ci;
23
24 endmodule // End of Module addbit
```

# سنتز

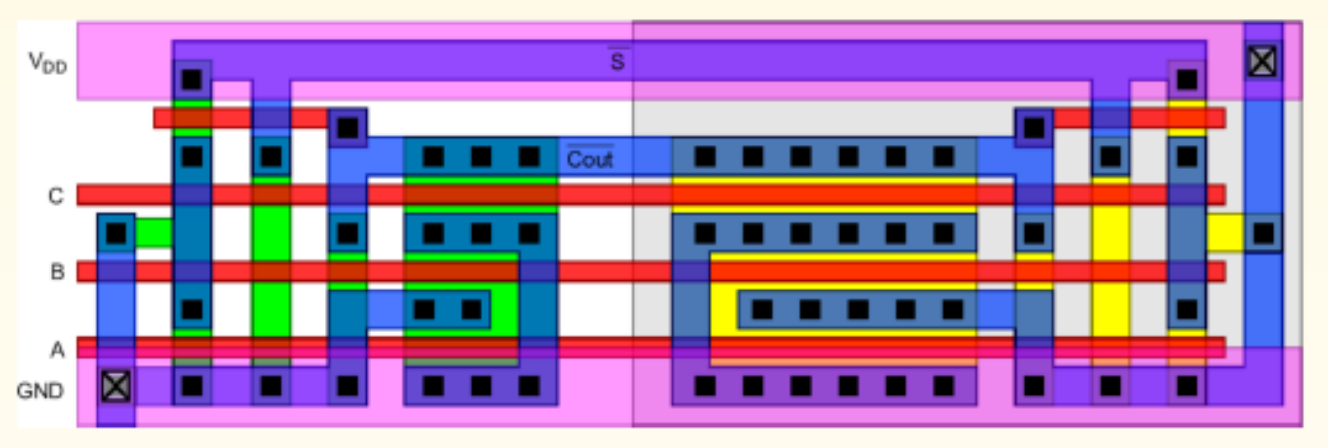
**سنتز:**
**پیاده سازی سخت افزار توصیف شده توسط سلول های استاندارد و تولید یک** netlist **از سلول های استاندارد**

**انتخاب** netlist **بهینه بر حسب محدودیت های مشخص شده توسط طراح (سرعت و ابعاد) صورت می گیرد.**



# طراحی فیزیکی

- The lowest level of physical specification.
  - Photo-mask information required by the various processing steps in the fabrication process.
- At the module level, the physical layout for the 4-bit adder may be defined by a rectangle or polygon, and a collection of ports.



# فصل اول

## ❑ مقدمه

- شناخت قانون مور و تاثیر آن روی صنعت نیمه هادی
- روش های طراحی مدار های مجتمع (Design Methodologies)
- فرایند طراحی (Design Flow)
- معیار های طراحی (Design Metrics)

# معیار های طراحی

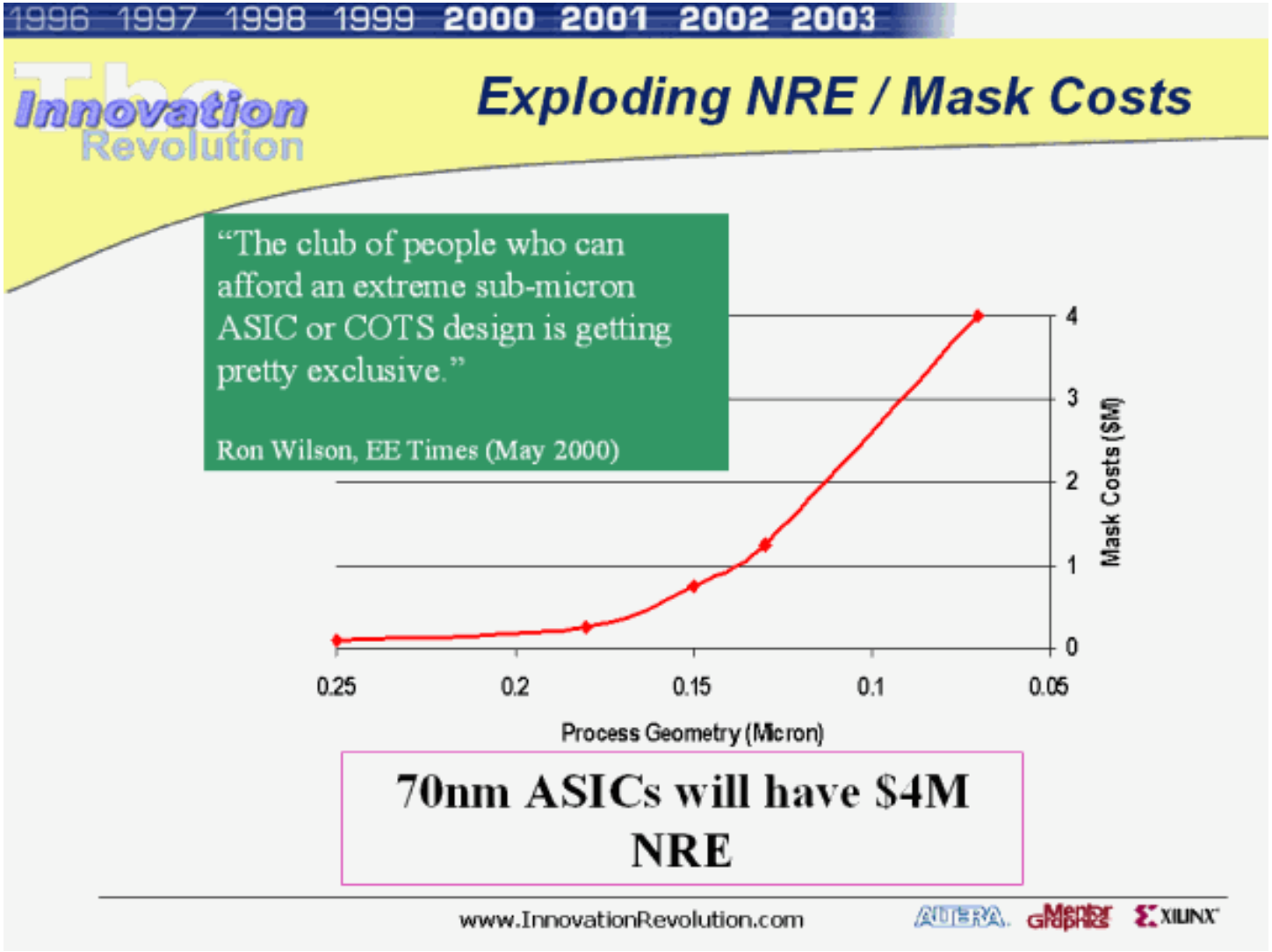
- **عملکرد** Functionality
- **قیمت**
  - **هزینه ثابت**
  - **هزینه متغیر**
- **قابلیت اعتماد**
  - **حاشیه نویز** Noise Margin
  - **ایمنی در مقابل نویز**
- **کارایی** Perfromance
  - **سرعت (تاخیر)**
  - **مصرف توان**
- **Time to market**

# پارامتر های موثر در قیمت

- **هزینه های ثابت** : NRE (non-recurring engineering) costs
  - مهندسی و طراحی
  - صحه گذاری (Verification)
  - نرم افزار های طراحی
  - تولید ماسک
  - بستگی به پیچیدگی طرح و مهارت طراحان دارند.
  - در تیراژ های کم هزینه های ثابت سهم بیشتری در قیمت تمام شده دارند.
- **هزینه های متغیر**
  - هزینه های تولید تراشه (تابع تیراژ و ابعاد تراشه و Yield)
  - هزینه بسته بندی و تست

$$\text{cost per IC} = \text{variable cost per IC} + \frac{\text{fixed cost}}{\text{volume}}$$

# افزایش هزینه های NRE



# هزینه های متغیر

$$\text{variable cost} = \frac{\text{cost of die} + \text{cost of die test} + \text{cost of packaging}}{\text{final test yield}}$$

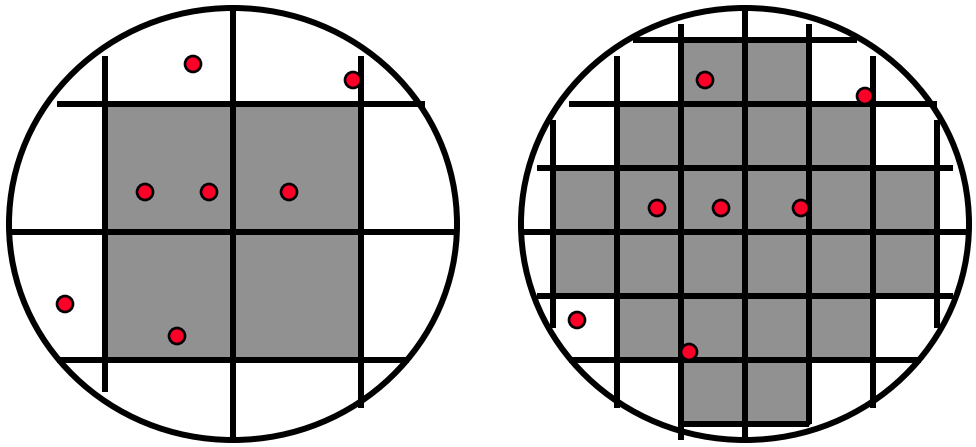
$$\text{cost of die} = \frac{\text{cost of wafer}}{\text{dies per wafer} \times \text{die yield}}$$

$$\text{dies per wafer} = \frac{\pi \times (\text{wafer diameter}/2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2} \times \text{die area}}$$

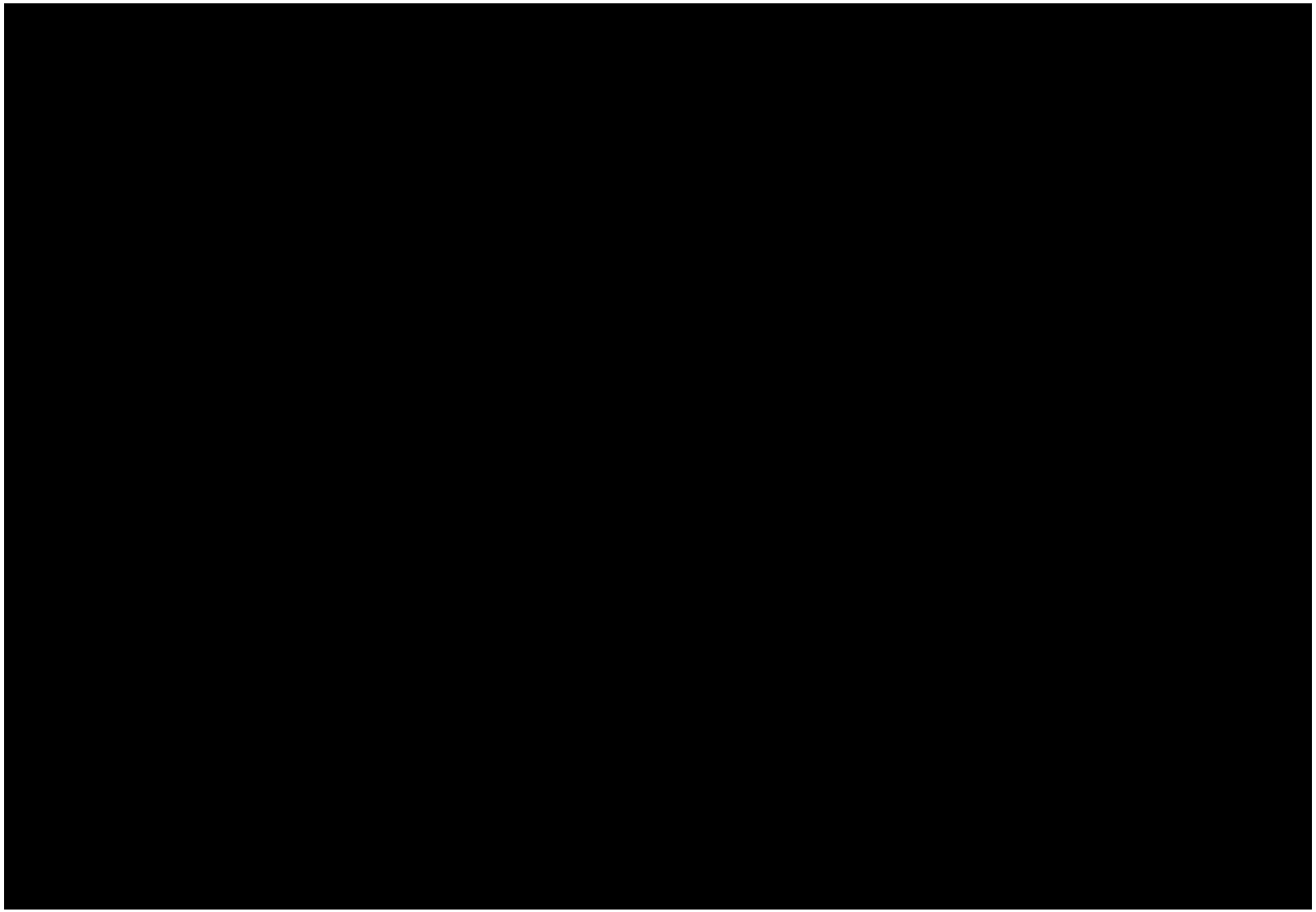
# Yield

- درصد تراشه های سالم به کل تراشه های ساخته شده روی یک ویفر می باشد.
- بدلیل وجود نقص های شبکه ای (defects) بعضی از تراشه ها خراب می شوند. با فرض توزیع تصادفی defect ها از رابطه زیر می توان Yield را بدست آورد که در آن $\alpha$ معیاری از پیچیدگی فرایند می باشد و برای سادگی آنرا ۳ در نظر می گیریم.
- مقدار تقریبی چگالی نقص ها حدود 1.0 تا 1.5 بر سانتیمتر مربع است.

$$\text{Die yield} = \left(1 + \frac{\text{Defects per unit area} \times \text{Die size}}{\alpha}\right)^{-\alpha}$$



# مثال



# مثال هایی از قیمت متغیر

| Chip | Metal layers | Line width | Wafer cost | Defects /cm$^2$ | Area (mm$^2$) | Dies/ wafer | Yield | Die cost |
|---|---|---|---|---|---|---|---|---|
| 386DX | 2 | 0.90 | $900 | 1.0 | 43 | 360 | 71% | $4 |
| 486DX2 | 3 | 0.80 | $1200 | 1.0 | 81 | 181 | 54% | $12 |
| PowerPC 601 | 4 | 0.80 | $1700 | 1.3 | 121 | 115 | 28% | $53 |
| HP PA 7100 | 3 | 0.80 | $1300 | 1.0 | 196 | 66 | 27% | $73 |
| DEC Alpha | 3 | 0.70 | $1500 | 1.2 | 234 | 53 | 19% | $149 |
| Super SPARC | 3 | 0.70 | $1700 | 1.6 | 256 | 48 | 13% | $272 |
| Pentium | 3 | 0.80 | $1500 | 1.5 | 296 | 40 | 9% | $417 |

# بستگی قیمت به ابعاد

- تعداد تراشه های سالم روی ویفر = dies per wafer × die yield

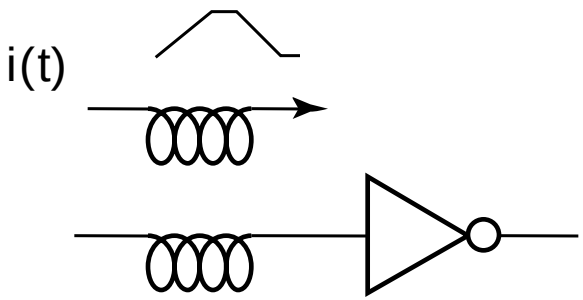
- چون Yield با توان ۳ ابعاد تراشه نسبت عکس دارد و تعداد تراشه ها نیز با با عکس ابعاد تراشه می توان نشان داد تعداد تراشه های سالم با توان چهارم ابعاد تراشه متناسب است به عبارت دیگر

$$\text{Cost of die} = f(\text{die area})^4 \qquad \text{for } \alpha = 3.0$$

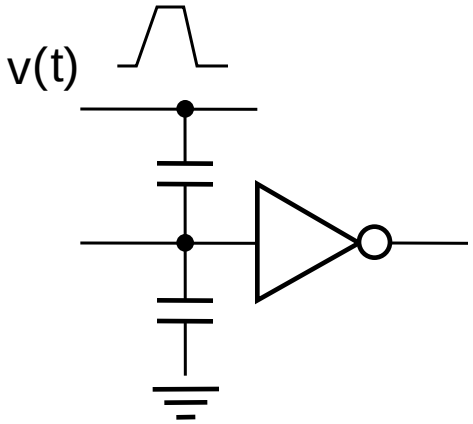
- بنابر این نصف کردن ابعاد تراشه می تواند قیمت را تا ۱۶ برابر کاهش دهد و این بسیار مهم است.

# قابلیت اعتماد

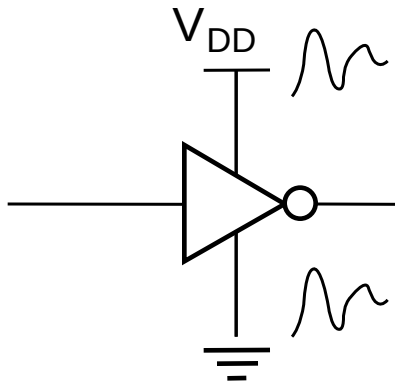
- نویز: تغییرات ناخواسته در ولتاژ ها و جریان های گره ها و شاخه های مدار
- انواع نویز
  - نویز ناشی از کوپلینگ بین دو سیم کنار هم
    - کوپلینگ خازنی (انتقال ولتاژ)
    - کوپلینگ سلفی (انتقال جریان)
  - نویز ناشی از ریل تغذیه
    - نویز منبع تغذیه
    - نویز زمین




Inductive coupling



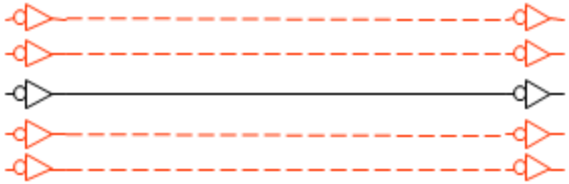

Capacitive coupling




Power and ground noise

# مثال کوپلینگ خازنی

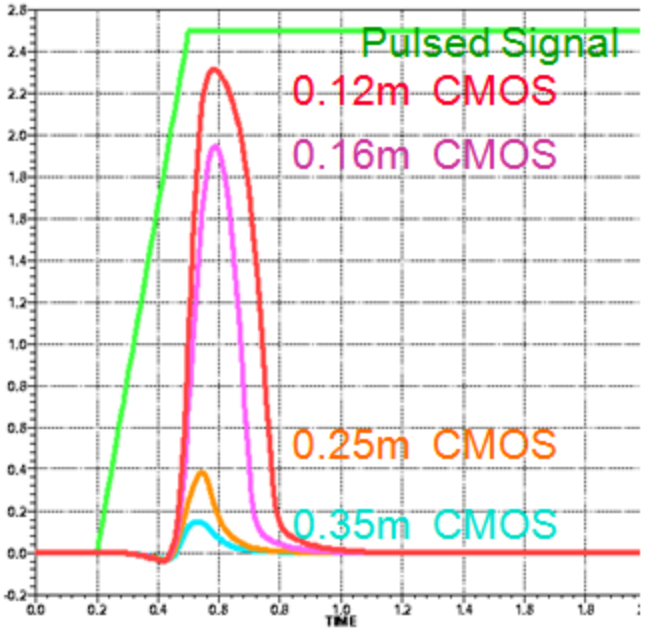
## *Crosstalk vs. Technology*



Black line quiet

Red lines pulsed

Glitches strength vs technology



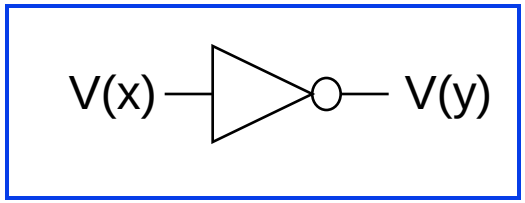

From Dunlop, Lucent, 2000

# تعریف سطوح منطقی

- سیگنال های خروجی گیت های منطقی بصورت ولتاژ هستند.
- حالت های منطق boolian با دو وضعیت 0 و 1 نمایش داده می شوند. $x \in \{0,1\}$
- بنا بر این سطح ولتاژ خروجی را با وضعیت منطقی معادل سازی می کنیم.
- ولتاژ خروجی بالا معادل حالت 1 و ولتاژ پایین معادل حالت 0

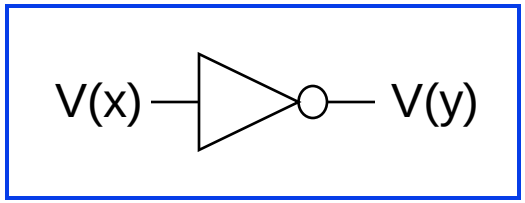
$$1 \Leftrightarrow V_{OH} \text{ and } 0 \Leftrightarrow V_{OL}$$

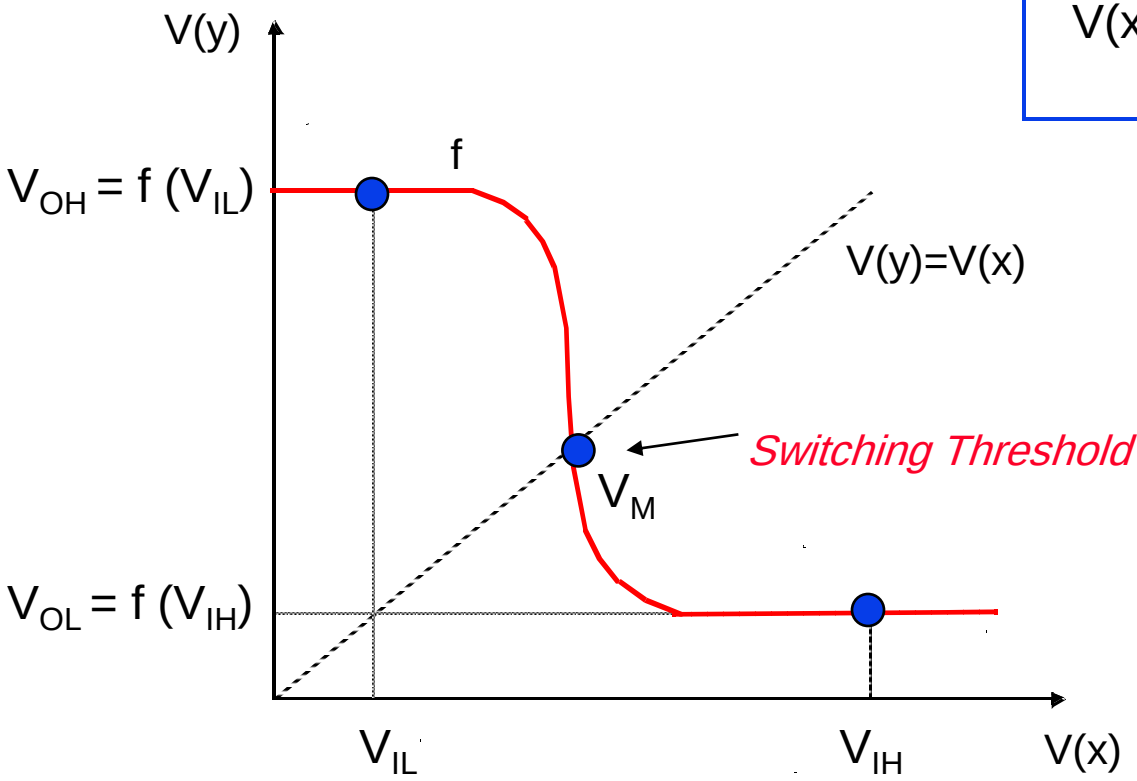
- در عمل بدلیل تغییرات پارامتر های فرایند ساخت از یک ترانزیستور به ترانزیستور دیگر و نیز نویز مدار مقادیر ولتاژ $V_{OH}$ و $V_{OL}$ ولتاژ های ثابتی نیستند و بازه ای از تغییرات دارند.
- در یک وارونگر




$$V_{OH} = !\,(V_{OL})$$
$$V_{OL} = !\,(V_{OH})$$

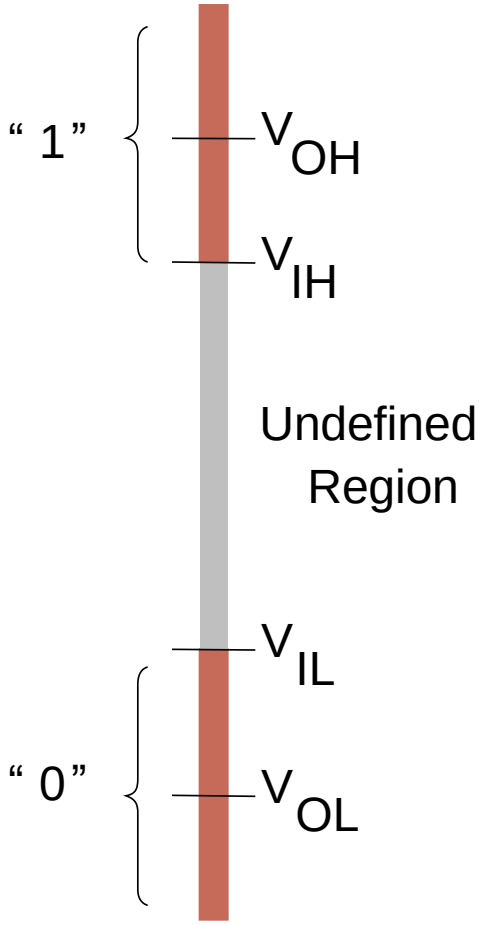
# مشخصه انتقالی وارونگر

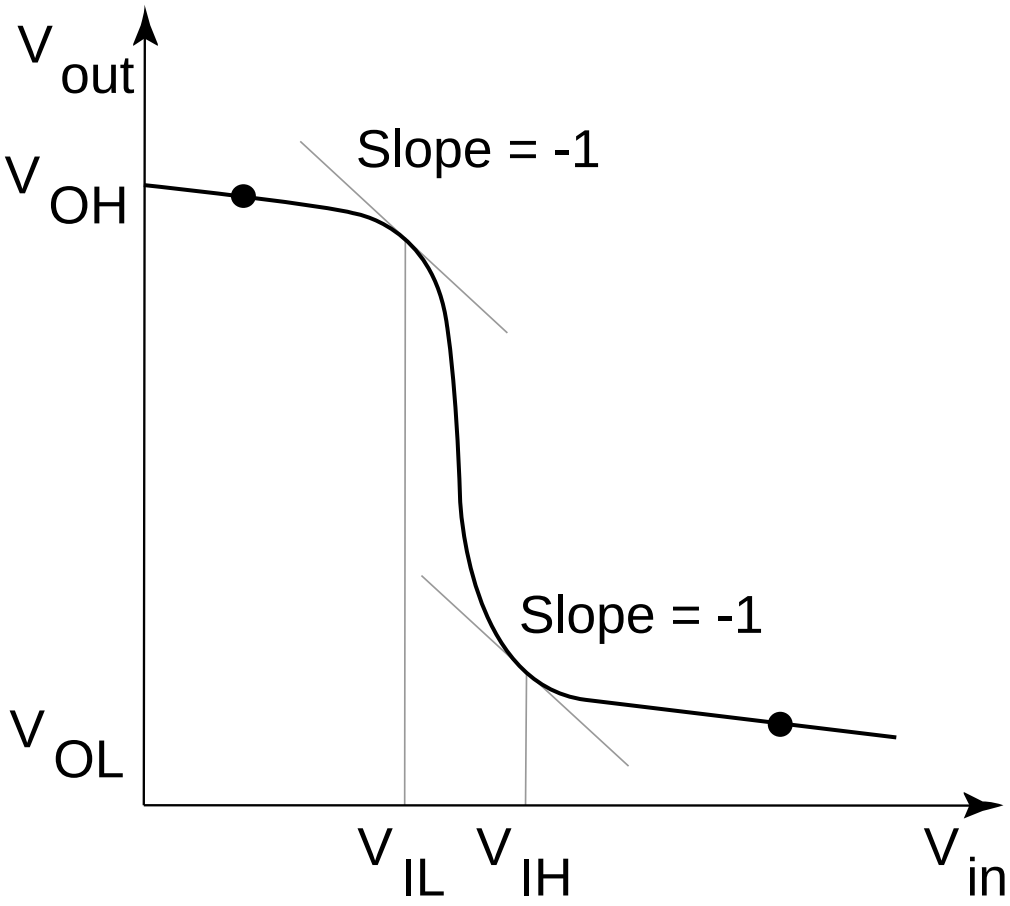


# نواحی مجاز ولتاژ بالا و پایین

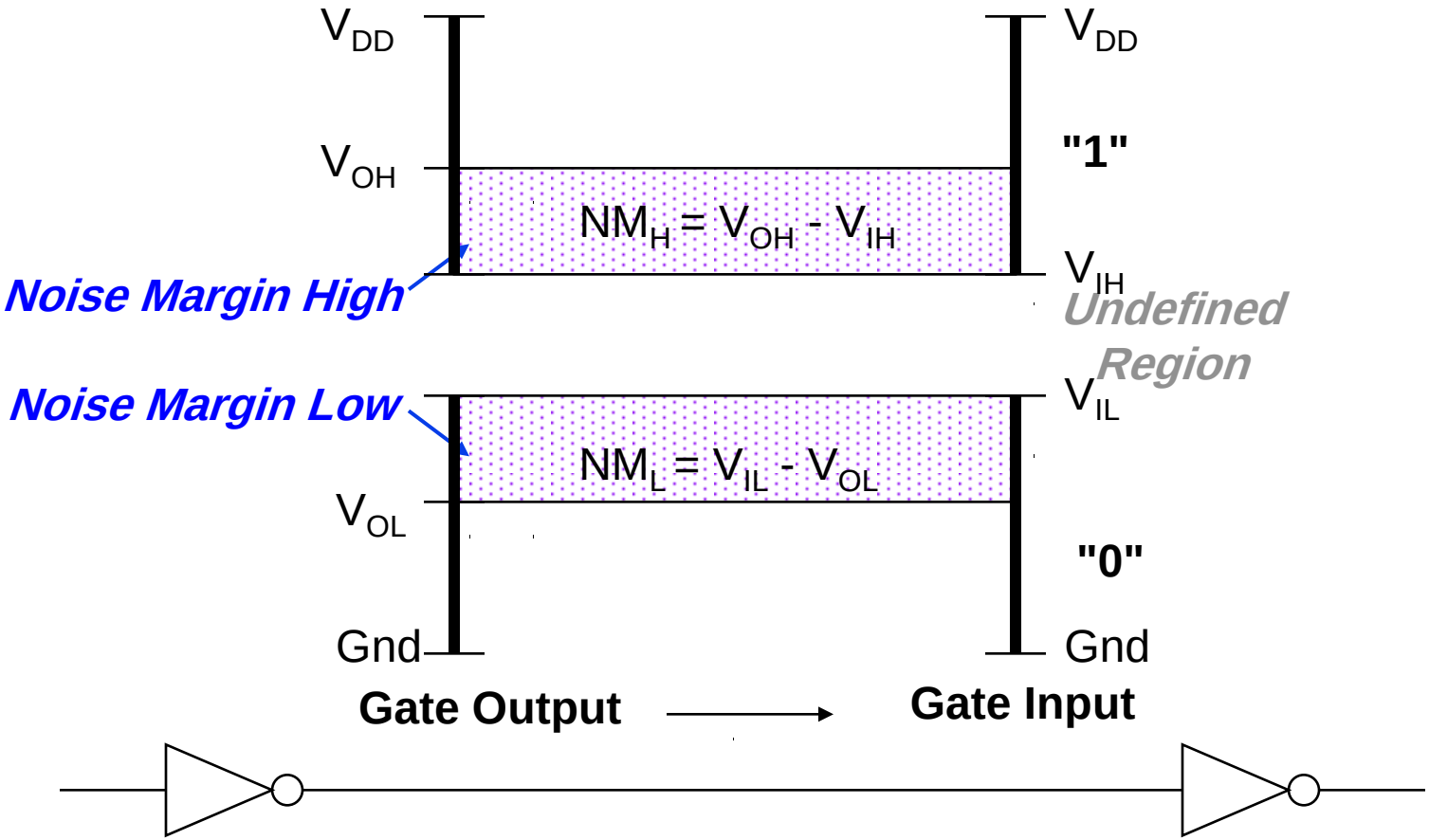
- حدود بالا و پایین ولتاژ های مجاز با $V_{IL}$ و $V_{IH}$ مشخص می شوند که نقاطی روی مشخصه انتقالی هستند که شیب مشخصه در آنها 1- می شود.



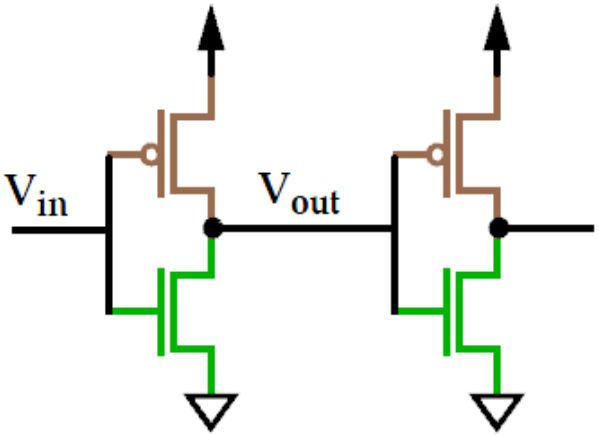
# حاشیه نویز

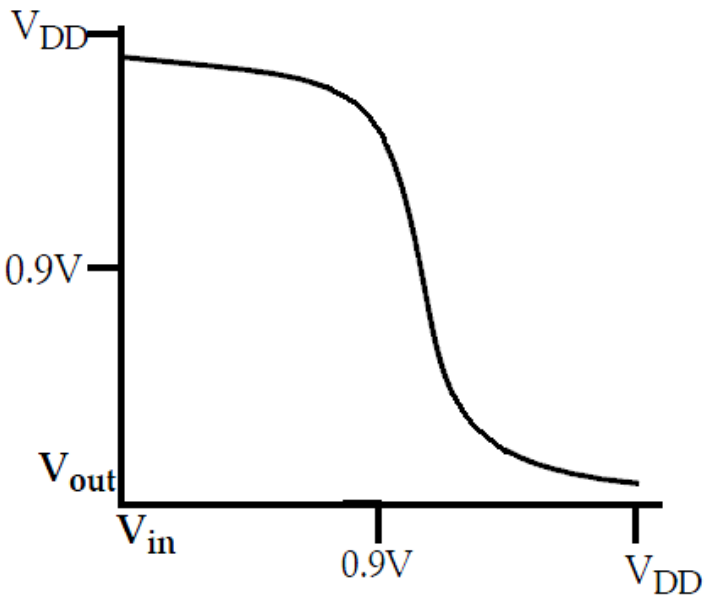
❑ حاشیه نویز: میزان نویزی که مدار می تواند تحمل کند ، وقتی گیت ها پشت سر هم بسته می شوند. باید تا حد ممکن زیاد باشد.



# مثال

محاسبه حاشیه نویز



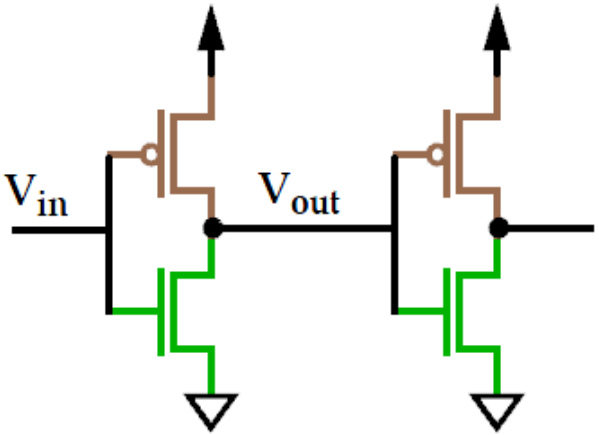



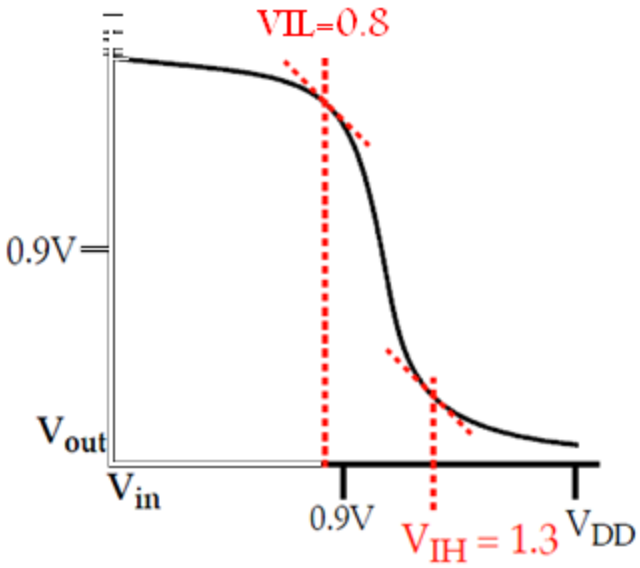

Assume output nominal voltages are:

- $V_{OH} = 1.7V$
- $V_{OL} = 0.1V$

# مثال

محاسبه حاشیه نویز




Assume output nominal voltages are:

- $V_{OH} = 1.7V$
- $V_{OL} = 0.1V$

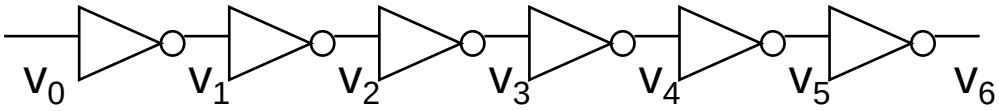
$$NM_L = V_{IL} - V_{OL} = 0.8 - 0.1 = \mathbf{700mV}$$

$$NM_H = V_{OH} - V_{IH} = 1.7 - 1.3 = \mathbf{400mV}$$

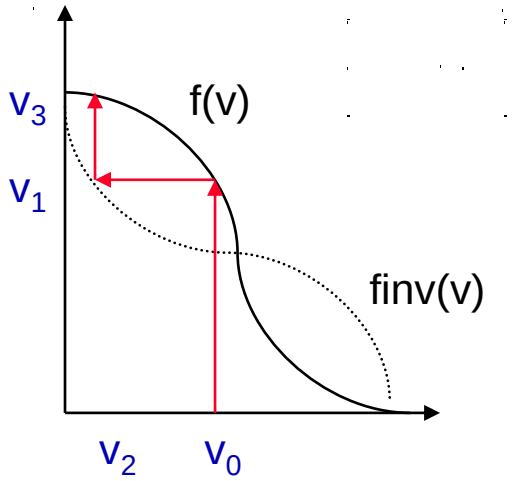
# خاصیت بازتولید (Regenerative)

- حاشیه نویز کافی نیست بلکه طراحی سیستم بگونه ای که نویز را حذف نماید مهم است. یعنی گین نویز کمتر از یک باشد و تضعیف شود.

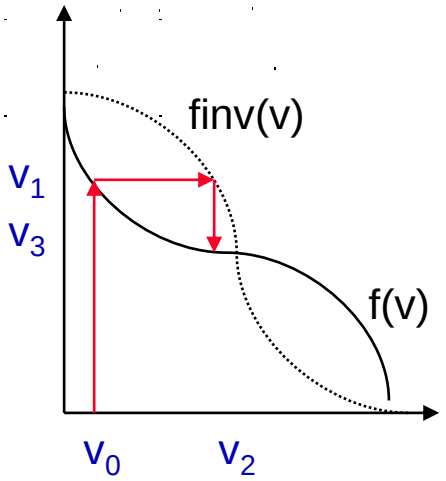
- مثال زنجیره واورنگر ها با خاصیت باز تولید REGENERATIVE (گین نزدیک نقاط کار پایدار کوچکتر از یک است)




$$v_1 = f(v_0) \Rightarrow v_1 = finv(v_2)$$

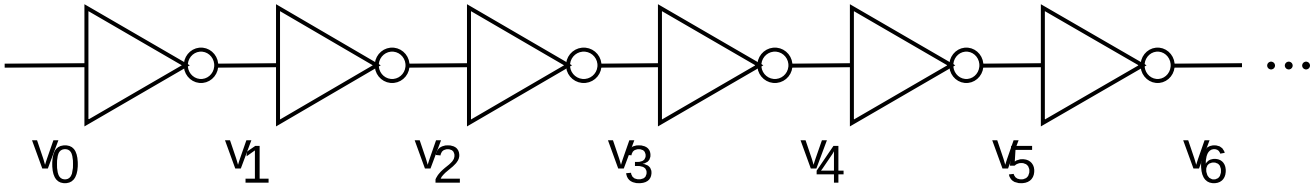



Regenerative Gate

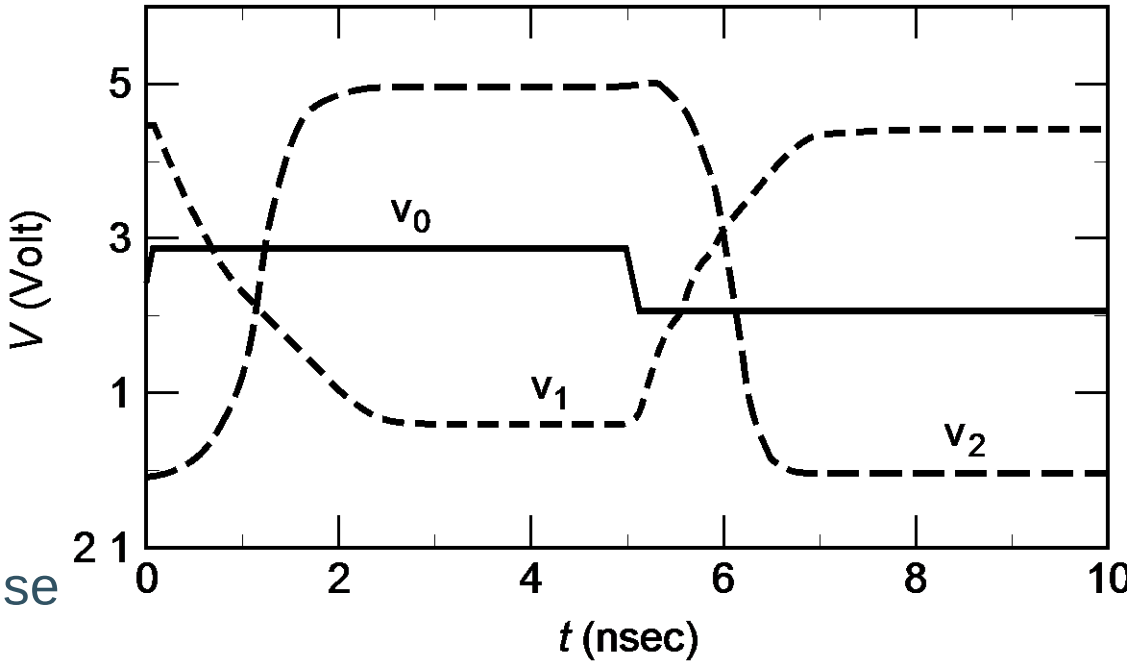



Nonregenerative Gate

# خاصیت بازتولید




A chain of inverters




Simulated response

# ایمنی در مقابل نویز

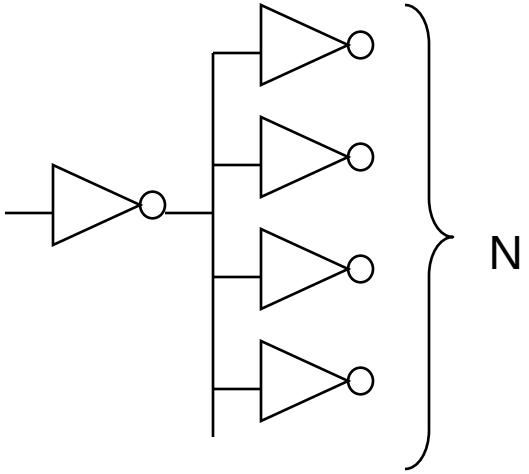
- بسیاری از سیستم های دیجیتال حاشیه نویز کم دارند اما ایمنی در برابر نویز دارند.

- ایمنی در برابر نویز در صورتی ایجاد میشود که مدار نویز را تضعیف نماید و گره های حساس در مقابل نویز محافظت می شوند.

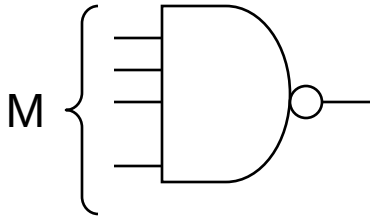
- برای اینکار لازم است سوییینگ ولتاژ زیاد باشد و گین نویز کوچکتر از ۱ باشد.

# Fan in , Fan out

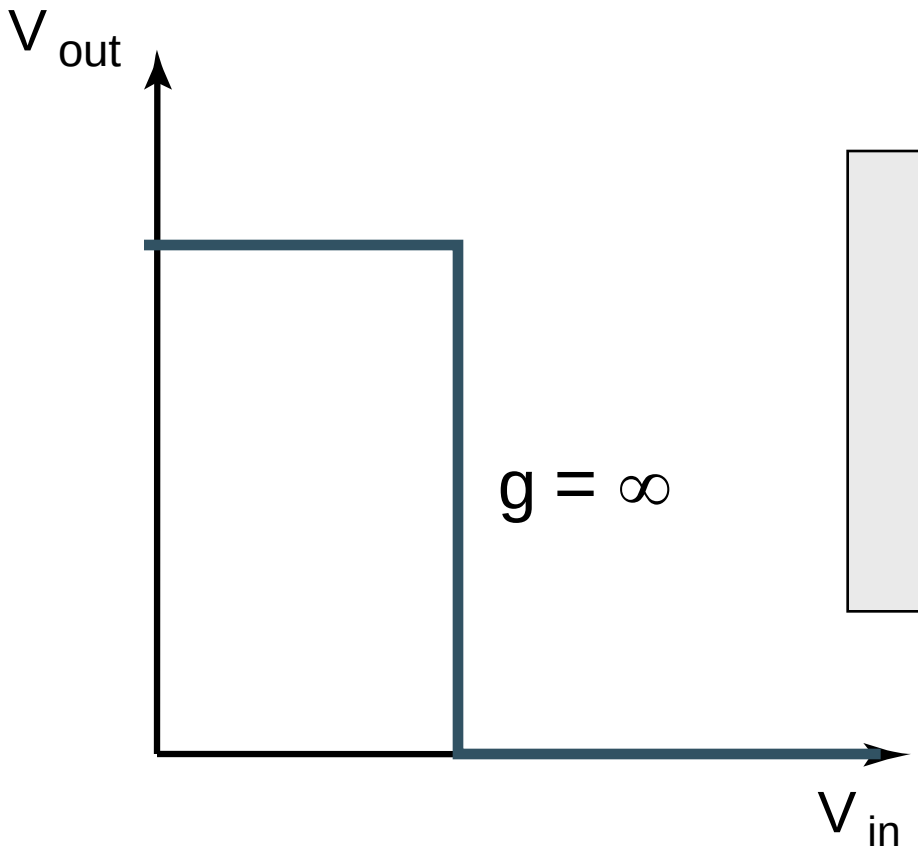
- Fan-out – number of load gates connected to the output of the driving gate
  - gates with large fan-out are slower




- Fan-in – the number of inputs to the gate
  - gates with large fan-in are bigger and slower



# وارونگر ایده آل




$R_i = \infty$

$R_o = 0$

Fanout = $\infty$

$NM_H = NM_L = V_{DD}/2$

# کارایی (سرعت مدار)

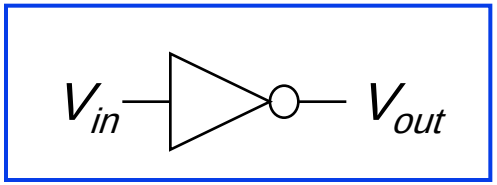
- معیار سرعت مدار در مدار های دیجیتال پریود (فرکانس کلاک) است

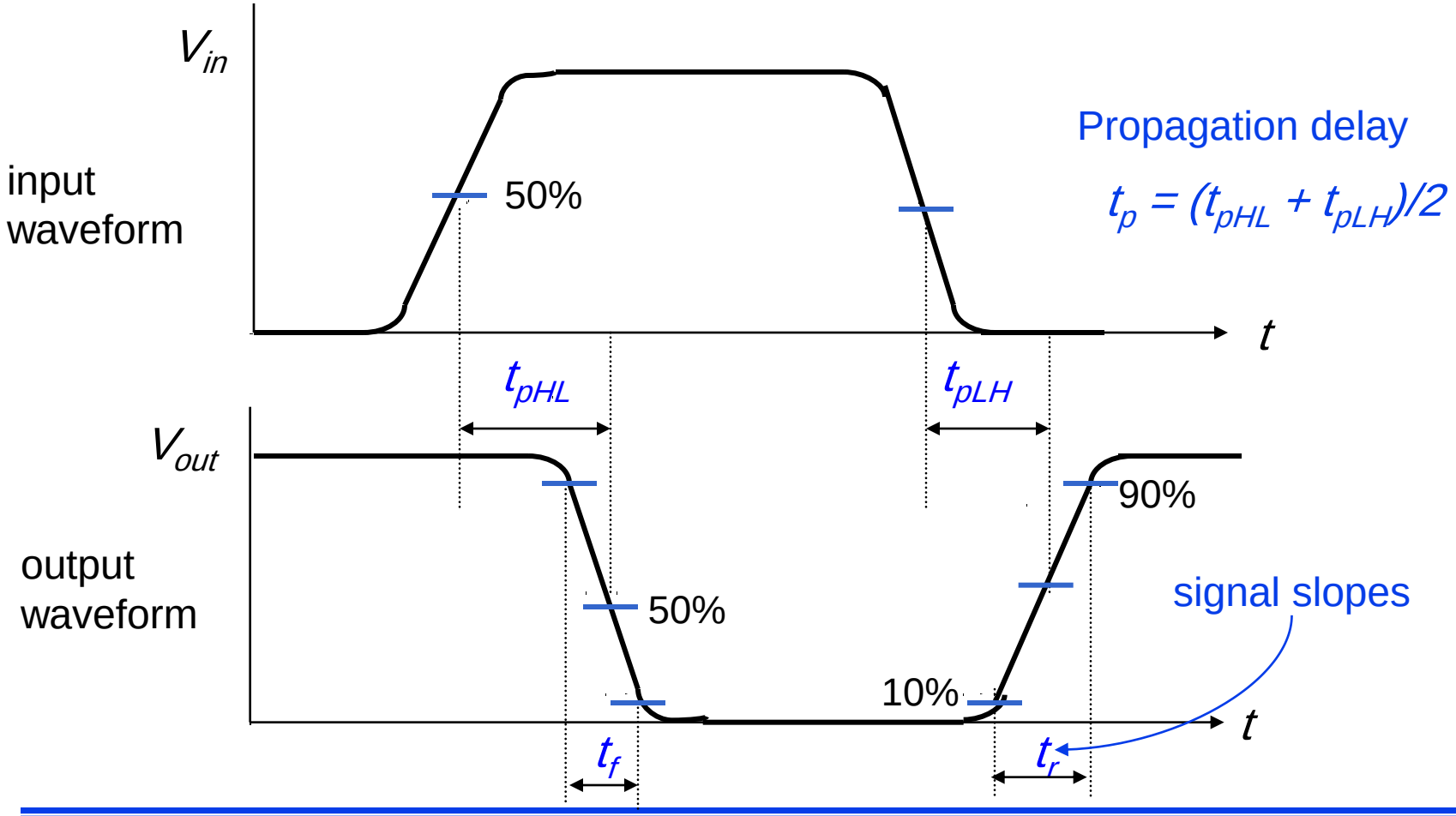
- پریود کلاک توسط عواملی محدود می شود. از جمله :
  - تاخیر انتشار سیگنال از گیت های منطقی
  - زمان لازم برای عبور از رجیستر ها

- *برای هر گیت منطقی دو پارامتر مهم تاخیر* $t_{pLH}$ , $t_{pHL}$ *تعریف می شوند.*

- همچنین دو پارامتر $t_r$ , $t_f$ تعریف می شوند.

# تعریف تاخیر انتشار

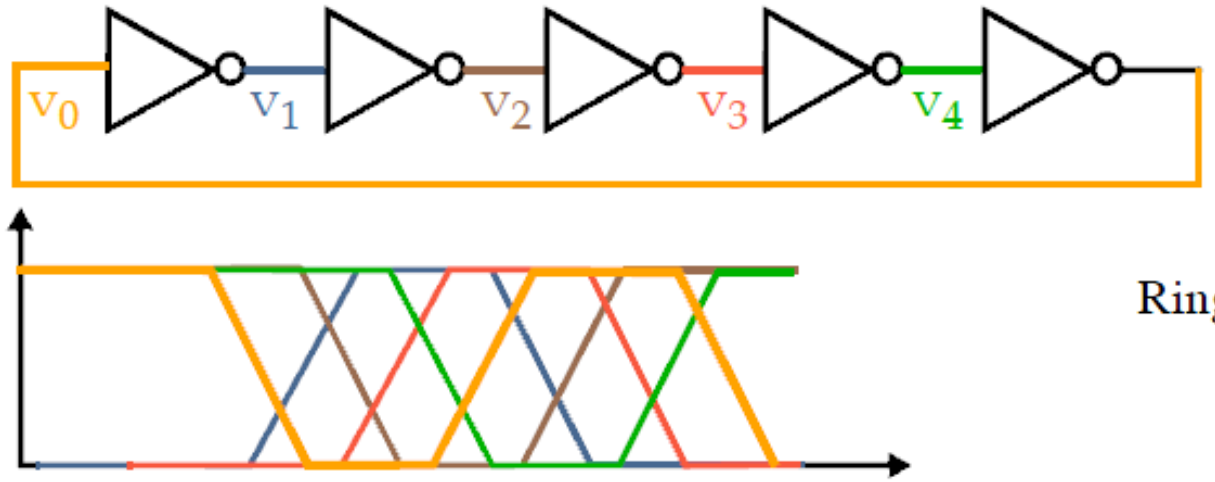



Propagation delay

$t_p = (t_{pHL} + t_{pLH})/2$

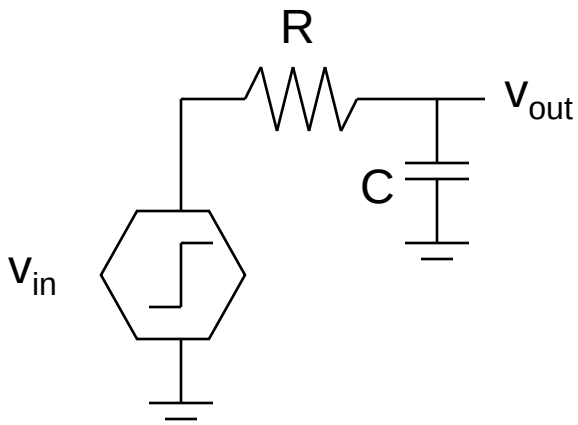
# نوسانگر حلقه ای (Ring Oscillator)




Ring oscillator

$$T = 2 \times t_p \times N$$

# مدلسازی تاخیر با مدار RC




$$v_{out}(t) = (1 - e^{-t/\tau})V$$

where $\tau = RC$

Time to reach 50% point is
$t = \ln(2)\ \tau = 0.69\ \tau$

Time to reach 90% point is
$t = \ln(9)\ \tau = 2.2\ \tau$

این مدل برای توصیف گیت وارونگر قابل استفاده است.

# کارایی ( توان و انرژی )

- تلفات انرژی می تواند منجر به گرم شدن زیاد تراشه و نیاز به انتخاب بسته بندی مناسب و خنک سازی شود.
- ضمنا کاهش مصرف انرژی سیستم خصوصا در مدار هایی که توسط باطری تغذیه می شوند بسیار مهم است.
- لذا طراح باید نیازمندی های مصرف انرژی را رعایت نماید.
- 
- انتخاب اندازه خطوط تغذیه بستگی به توان مصرفی ماکزیمم دارد.

$$P_{peak} = V_{dd} i_{peak}$$

- عمر باطری بستگی به توان مصرفی متوسط دارد.

$$p(t) = v(t)i(t) = V_{dd} i(t) \qquad P_{avg} = 1/T \int p(t)\,dt = V_{dd}/T \int i_{dd}(t)\,dt$$

- تلفات ایستا : ناشی از وجود مسیر های نشتی
- تلفات پویا: ناشی از شارژ و دشارژ شدن خازن های بار در زمان تغییر وضعیت 0 به 1 و برعکس