ا -الف)تابع زیر را با حداقل تعداد ترانزیستور در منطق CMOS مکمل ایستا رسم نمایید .مسیر اولری مشترک را پیدا کنید و نمودار میله ای متناظر را رسم نمایید.

$$F = \overline{AB + AC + BC}$$

ب)سایز ترانزیستور ها را برای برابر شدن تاخیر با واورنگر ۱/۲ بر حسب W =WN-inv بدست آورید.

۲- تابع F=Sum (A,B,Cin) را با فرض وجود کلیه ورودی ها و وارون آنها در منطق های زیر پیاده سازی کنید.

الف)منطق CMOS مکمل ایستا
ب)منطق شبه NMOS
ج)منطق DCVSL
د)منطق ترانزیستور عبوری

۳- زنجیره گیت های زیر را در نظر بگیرید .این زنجیره دارای یک گیت ناشناخته است که مشخصه تاخیر آن بر حسب Fanout رسم شده است. همینطور مشخصه تاخیر گیت با حداقل ابعاد رسم شده است .در صورتیکه $\gamma = 1$ و خازن ورودی طبقه ناشناخته 30 fF و خازن واورنگر با حداقل ابعاد 5 fF باشد. به سوالات زیر پاسخ دهید.

الف) Tp0 در این خانواده منطقی چقدر است؟

ب) مقادیر تاخیر ذاتی و تلاش منطقی کلیه طبقات را در جدولی ارایه نمایید.

ج) حداقل تاخیر زنجیره و سایز کلیه طبقات را برای حداقل شدن تاخیر محاسبه نمایید