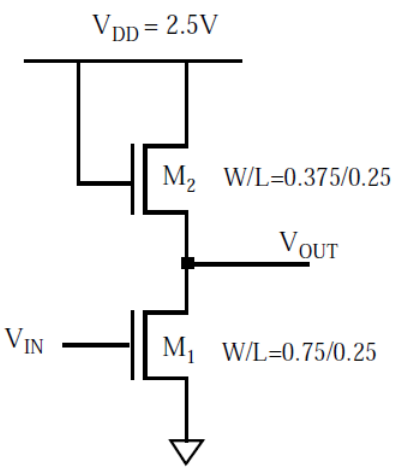
۱- الف) برای دو وارونگر شکل زیر مقادیر VOHو VOL و VM را محاسبه نمایید. (فرض کنید ترانزیستور ها در حالت اشباع به ناحیه اشباع سرعت می روند)

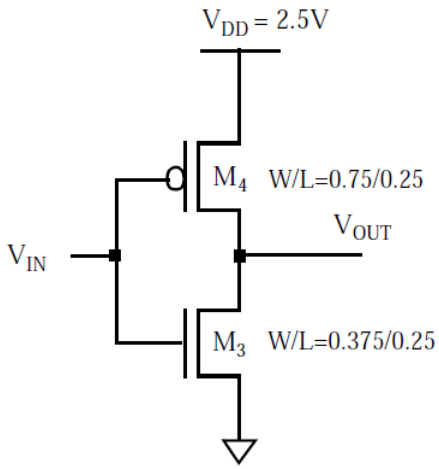
ب) مقادیر VIH, VIL و حاشیه نویز بالا و پایین را محاسبه نمایید.

ج) میزان حساسیت دو ساختار وارونگر را نسبت به نویز با یکدیگر مقایسه نمایید.

Table 3.2 Parameters for manual model of generic 0.25 μm CMOS process (minimum length device).

	V_{T0} (V)	γ ($V^{0.5}$)	V_{DSAT} (V)	k' (A/V^2)	λ (V^{-1})
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	–0.4	-0.4	-1	-30×10^{-6}	-0.1

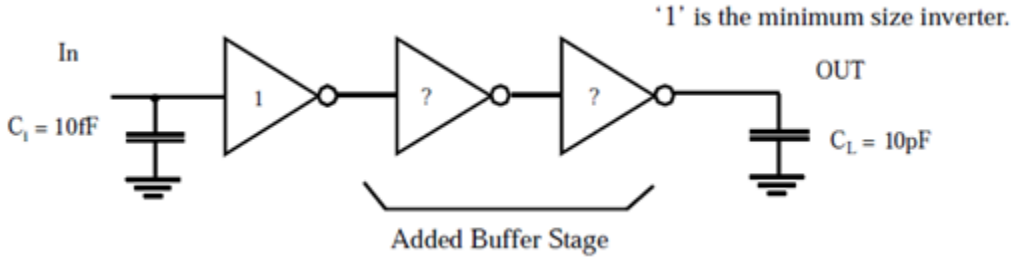




۲- در تکنولوژی CMOS 0.25um (پارامتر های طبق جدول فوق) یک وارونگر طراحی نمایید که TPLH, TPHL آن برابر باشند و مقدار تاخیر کل آن 5 ns باشد - خازن بار را CL=4 pF در نظر بگیرید و فرض نمایید این خازن نسبت به خازنهای داخلی خیلی بزرگتر باشد. طول ترانزیستور ها را نیز حداقل طول در نظر بگیرید.

۳- الف) در شکل زیر ابعاد زنجیره وارونگر ها را تعیین نمایید. فرض کنید تاخیر وارونگر با حداقل ابعاد 50 ps باشد و خازن ورودی طبقات متناسب با سایز آنها باشد (خازن ورودی طبقه اول با سایز واحد 10fF است.)

ب) تعداد بهینه وارونگر ها را برای حداقل شدن تاخیر و میزان تاخیر مینیمم را محاسبه نمایید.


'1' is the minimum size inverter.
In
OUT
C_i = 10fF
1
?
?
C_L = 10pF
Added Buffer Stage