دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

دانشکده مهندسی برق

راهنمای استفاده از نرم افزار Cadence

بخش هفتم

رسم لی اوت ترانزیستور

تهیه کننده : محمد سیم چی

زیر نظر دکتر مجید شالچیان

ویرایش اول

تابستان ۹۲

فهرست

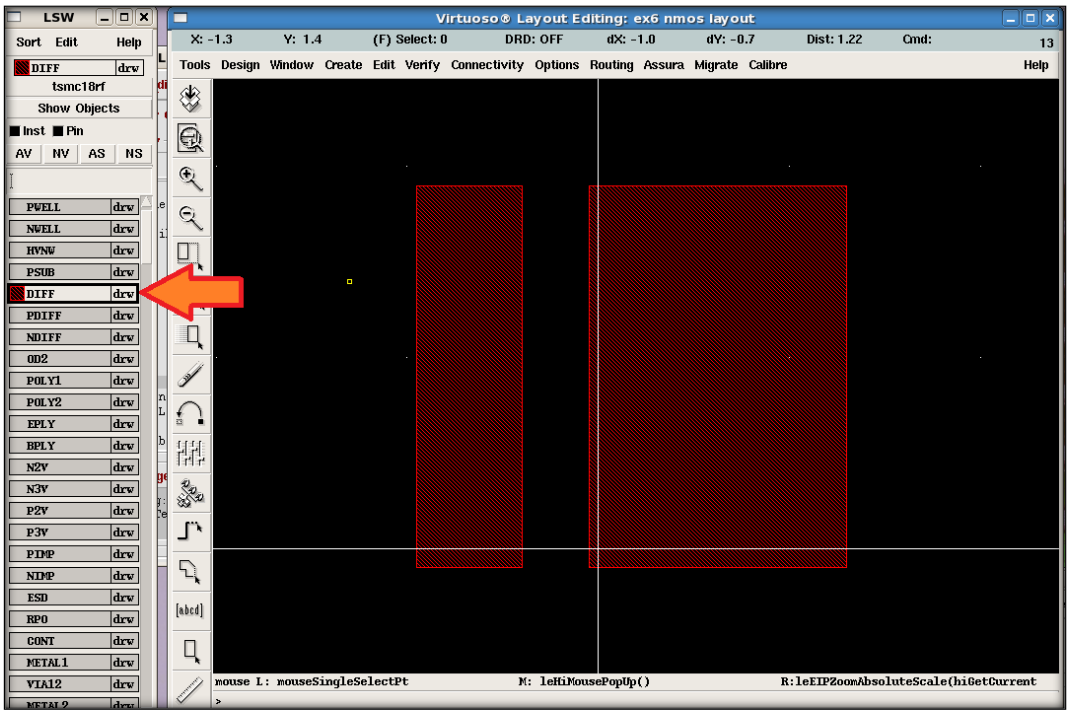
۱. رسم لی اوت ترانزیستور ۲
۲. رسم شماتیک و لی اوت وارونگر با ترانزیستور های طراحی شده ۹
۳. شبیه سازی ۱۱

۱. رسم لی اوت ترانزیستور

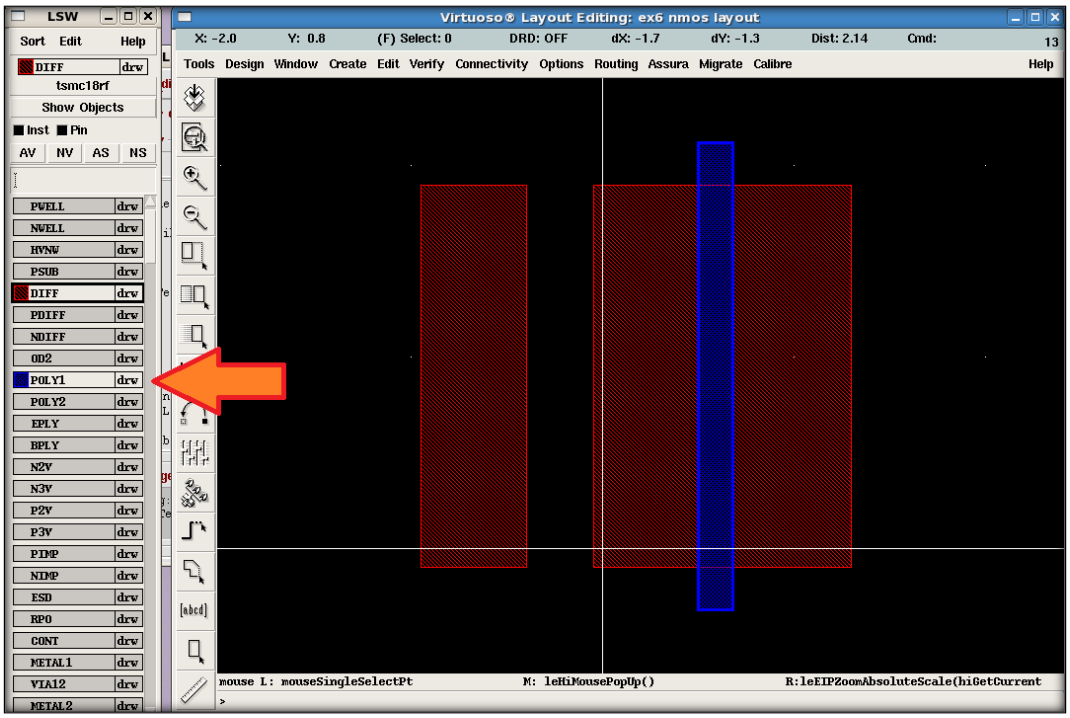
در این بخش در نظر داریم تا لی اوت ترانزیستورهای NMOS و PMOS را این بار خودمان رسم نماییم و با استفاده از آن ها یک وارونگر طراحی کرده و آن را شبیه سازی نماییم.

در ابتدای کار لی اوت ترانزیستورها را رسم می کنیم. دقت داشته باشید که در تمامی مراحل کار قواعد طراحی رعایت شده و اندازه ها برای رسم دو ترانزیستور NMOS و PMOS در تکنولوژی tsmc18rf و با عرض ۲ و ۴ ماکرون در نظر گرفته شده اند.

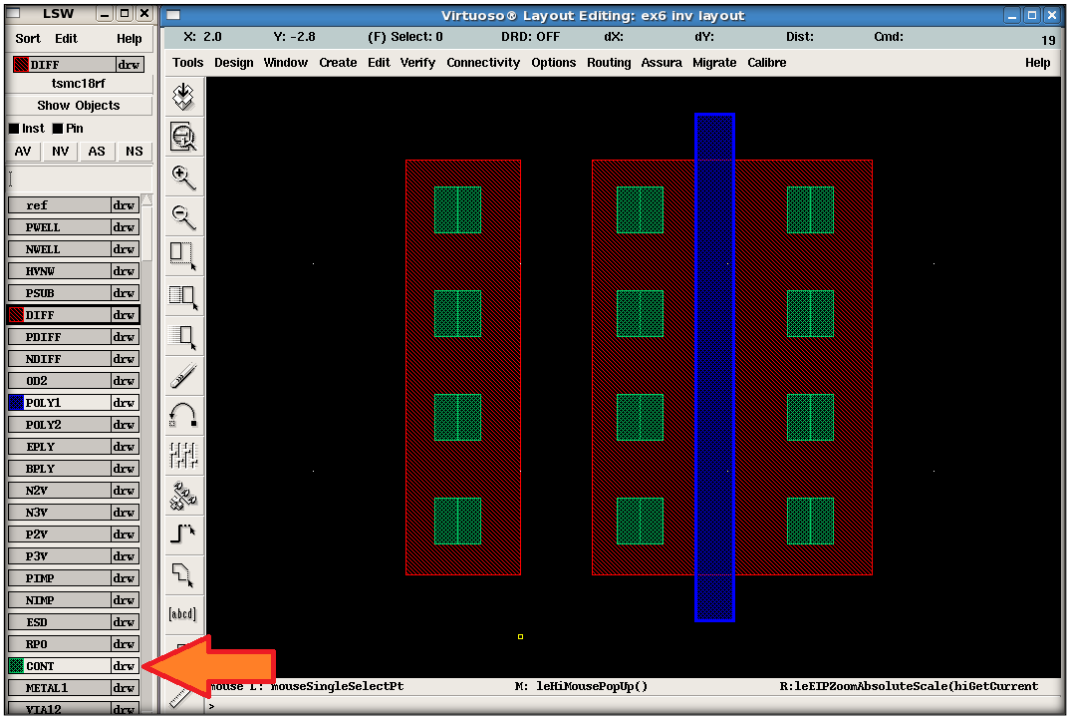
برای یک NMOS در ابتدا باید نواحی فعال را مشخص کنیم. برای این کار دو مستطیل از جنس DIFF رسم می کنیم. مستطیل بزرگتر برای نواحی فعال ترانزیستور، و مستطیل کوچک تر برای اتصال بدنه رسم شده اند.



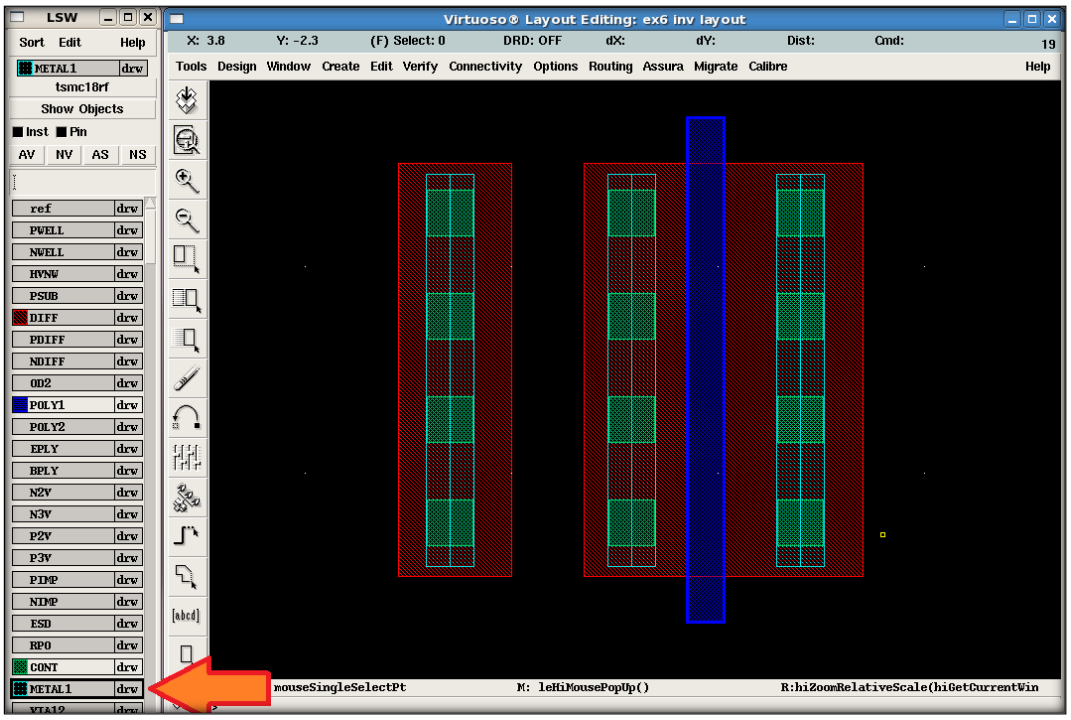
سپس از جنس POLY1 گیت ترانزیستور را رسم می کنیم.



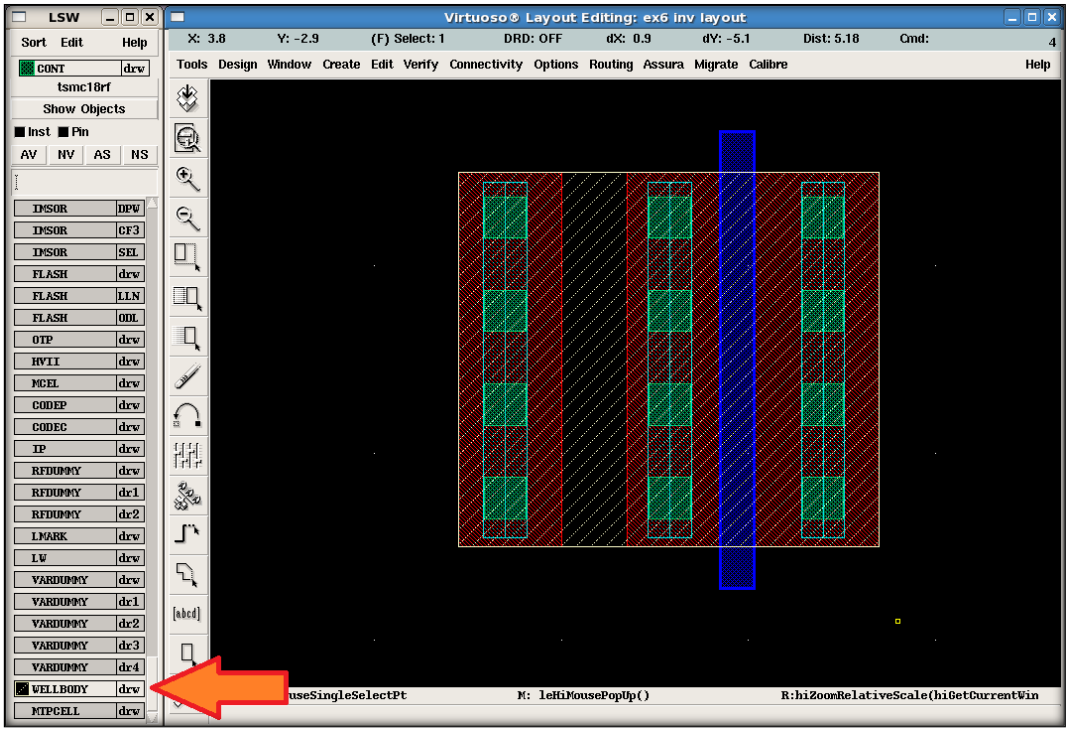
در گام بعد کانتکت های درین، سورس و بدنه را از جنس CONT قرار می دهیم.



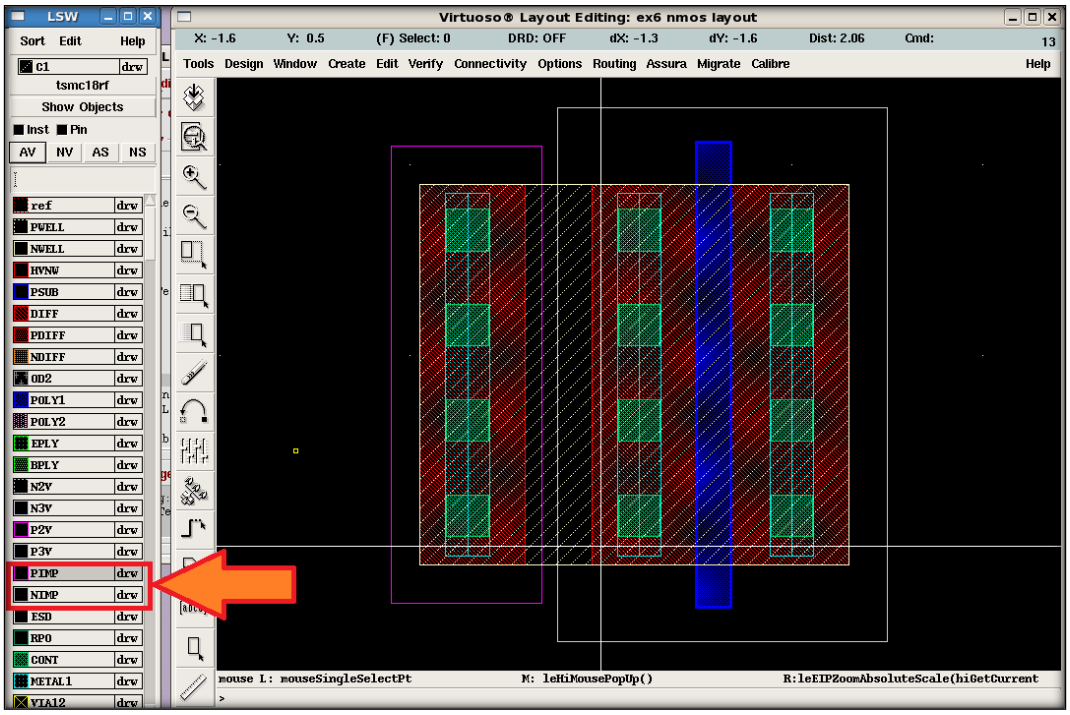
حال اتصالات ایجاد شده را با METAL1 به هم وصل می کنیم.



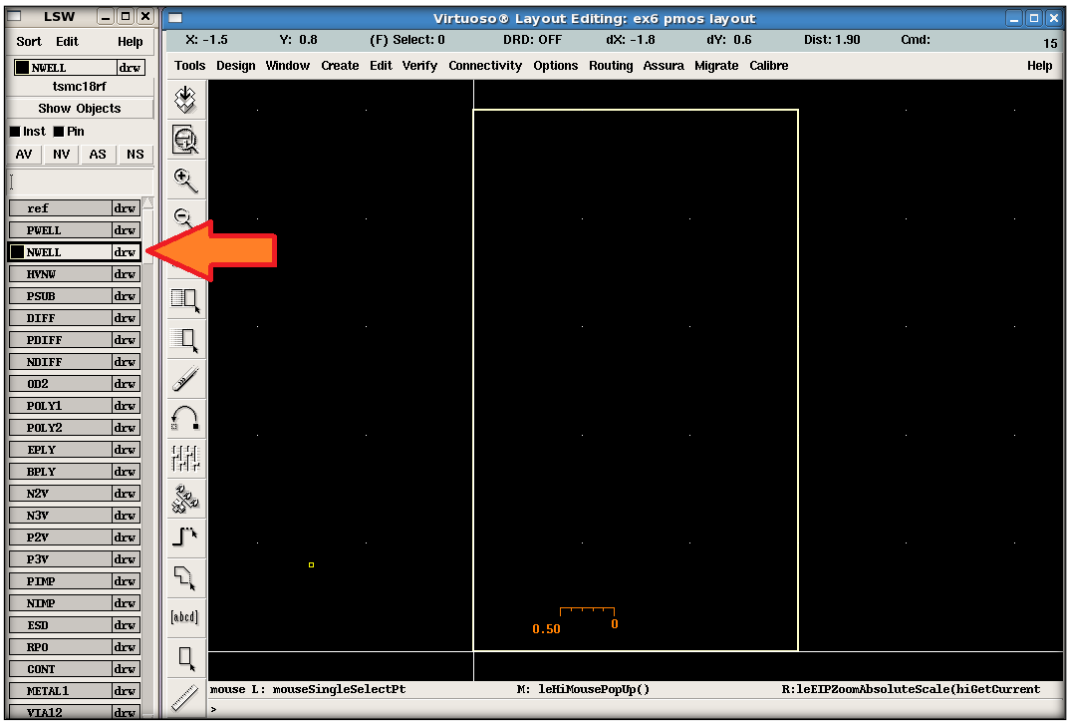
این بار یک لایه از جنس WELLBODY بر روی سطح ترانزیستور رسم می کنیم.



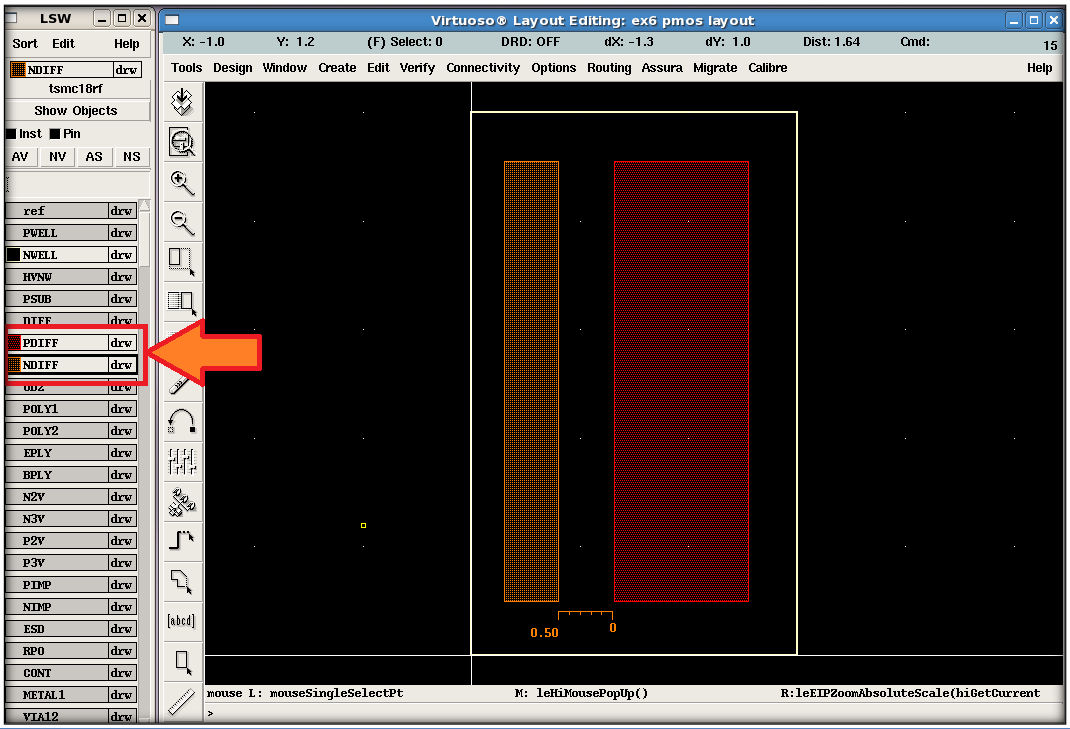
برای تعیین نواحی فعال یک مستطیل از جنس NIMP و PIMP در اطراف نواحی فعال ترانزیستور و اتصال بدنه رسم می کنیم. خواننده توجه دارد که در ترانزیستور NMOS نواحی فعال از جنس n+ و اتصال بدنه از جنس p+ می باشد و علت انتخاب جنس محدود کننده ها نیز همین نکته است.

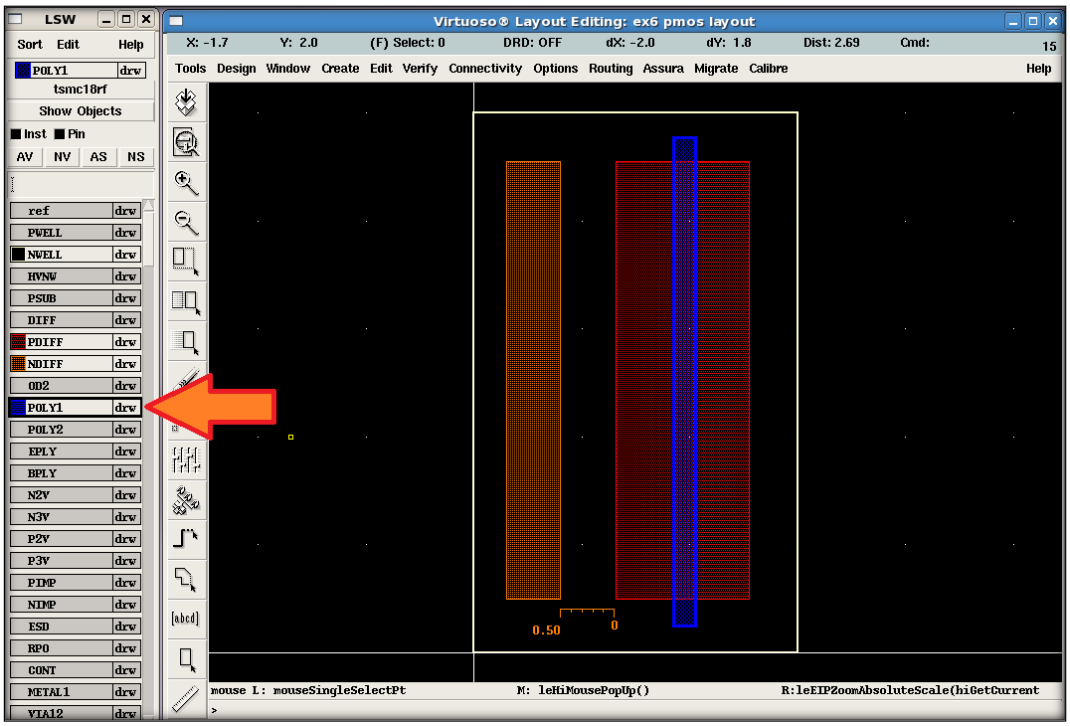


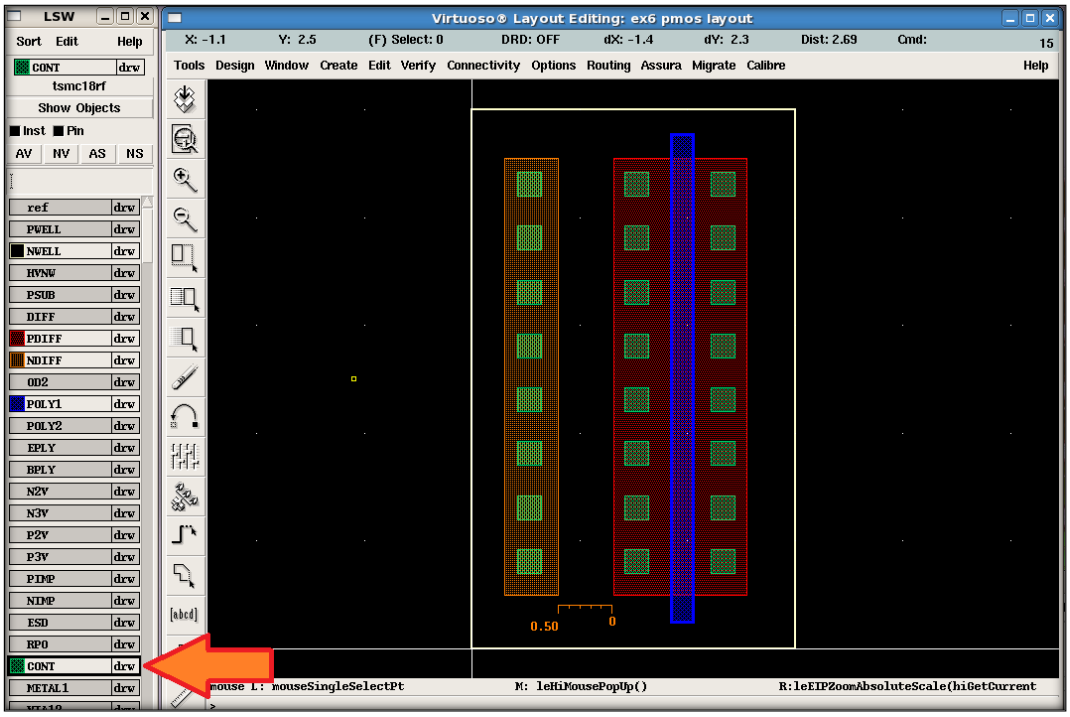
برای رسم لی اوت ترانزیستور PMOS ابتدا باید یک NWELL با ابعاد مناسب ایجاد کرد. توجه داشته باشید که در این مثال به دلیل آن که از این ترانزیستورها برای طراحی یک وارونگر استفاده خواهد شد، عرض ترانزیستور PMOS دو برابر عرض ترانزیستور NOMS می باشد.

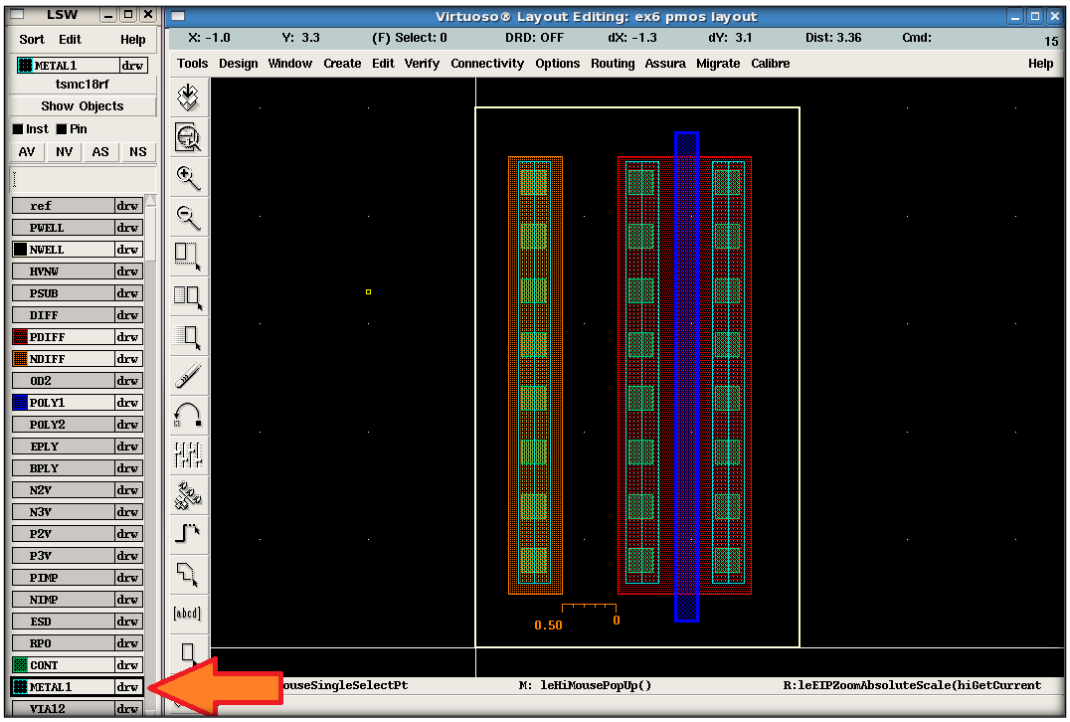


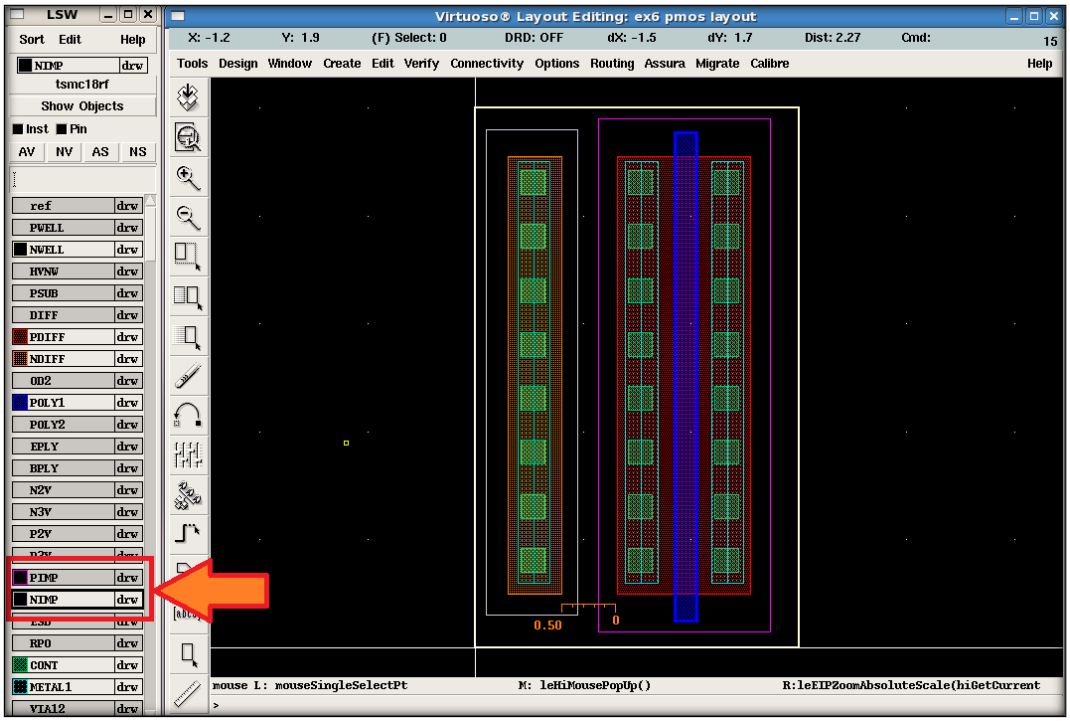
در مراحل بعدی نیز همانند ترانزیستور NMOS به ترتیب نواحی فعال را رسم کرده، گیت ترانزیستور را کشیده، اتصالات درین، سورس و بدنه را ایجاد کرده و با METAL1 به هم متصل نموده و در نهایت نواحی فعال n و p را تعیین می کنیم. توجه داشته باشید که این بار ناحیه فعال ترانزیستور از جنس p و اتصال بدنه آن از جنس n می باشد. در ضمن برای ایجاد نواحی فعال از لایه های PDIFF و NDIFF استفاده شده است.




LSW
Sort Edit Help
POLY1 drw
tsmc18rf
Show Objects
Inst Pin
AV NV AS NS
ref drw
PWELL drw
NWELL drw
HVNW drw
PSUB drw
DIFF drw
PDIFF drw
NDIFF drw
OD2 drw
POLY1 drw
POLY2 drw
EPLY drw
BPLY drw
N2V drw
N3V drw
P2V drw
P3V drw
PIMP drw
NIMP drw
ESD drw
RPO drw
CONT drw
METAL1 drw
VIA12 drw
Virtuoso® Layout Editing: ex6 pmos layout
X: -1.7 Y: 2.0 (F) Select: 0 DRD: OFF dX: -2.0 dY: 1.8 Dist: 2.69 Cmd:
Tools Design Window Create Edit Verify Connectivity Options Routing Assura Migrate Calibre Help
0.50
0
mouse L: mouseSingleSelectPt M: leHiMousePopUp() R:leEIPZoomAbsoluteScale(hiGetCurrent

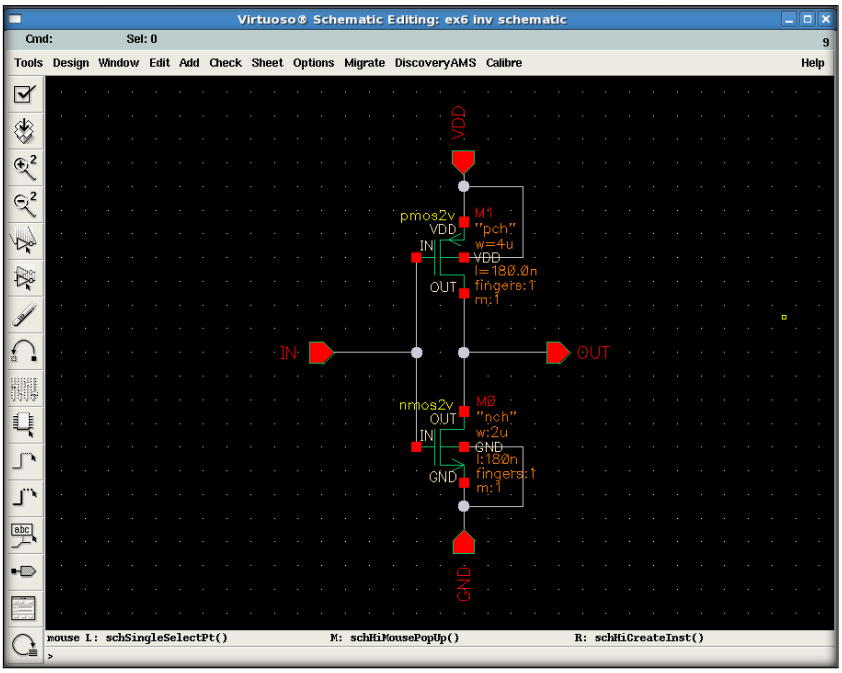

LSW
Sort Edit Help
CONT drw
tsmc18rf
Show Objects
Inst Pin
AV NV AS NS
ref drw
PWELL drw
NWELL drw
HVNW drw
PSUB drw
DIFF drw
PDIFF drw
NDIFF drw
OD2 drw
POLY1 drw
POLY2 drw
EPLY drw
BPLY drw
N2V drw
N3V drw
P2V drw
P3V drw
PIMP drw
NIMP drw
ESD drw
RPO drw
CONT drw
METAL1 drw
Virtuoso® Layout Editing: ex6 pmos layout
X: -1.1 Y: 2.5 (F) Select: 0 DRD: OFF dX: -1.4 dY: 2.3 Dist: 2.69 Cmd:
Tools Design Window Create Edit Verify Connectivity Options Routing Assura Migrate Calibre Help
0.50
0
mouse L: mouseSingleSelectPt M: leHiMousePopUp() R:leEIPZoomAbsoluteScale(hiGetCurrent


LSW
Sort Edit Help
METAL1 drw
tsmc18rf
Show Objects
Inst Pin
AV NV AS NS
ref drw
PWELL drw
NWELL drw
HVNW drw
PSUB drw
DIFF drw
PDIFF drw
NDIFF drw
OD2 drw
POLY1 drw
POLY2 drw
EPLY drw
BPLY drw
N2V drw
N3V drw
P2V drw
P3V drw
PIMP drw
NIMP drw
ESD drw
RPO drw
CONT drw
METAL1 drw
VIA12 drw
Virtuoso® Layout Editing: ex6 pmos layout
X: -1.0 Y: 3.3 (F) Select: 0 DRD: OFF dX: -1.3 dY: 3.1 Dist: 3.36 Cmd:
15
Tools Design Window Create Edit Verify Connectivity Options Routing Assura Migrate Calibre Help
0.50
0
ouseSingleSelectPt M: leHiMousePopUp() R:leEIPZoomAbsoluteScale(hiGetCurrent

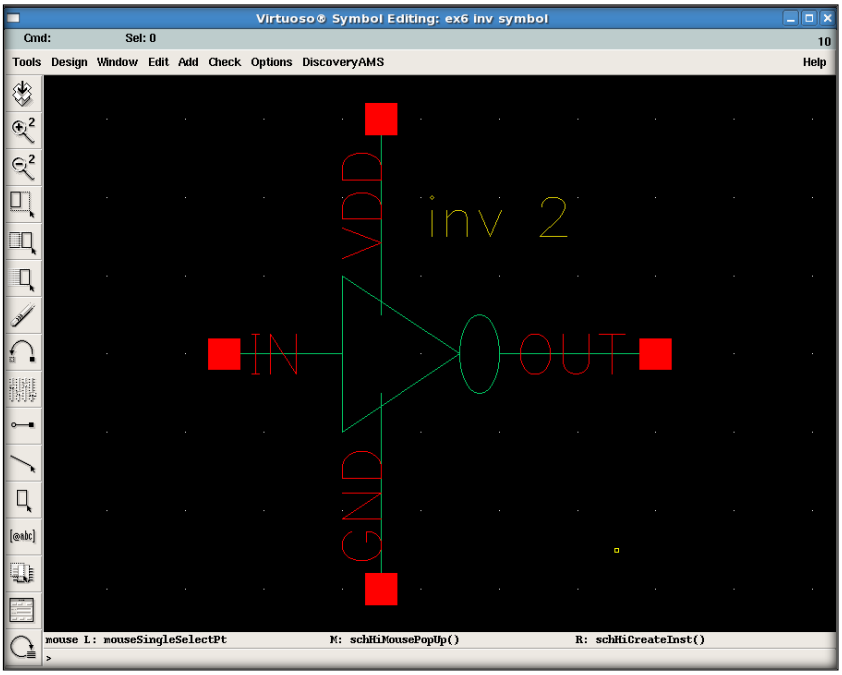

LSW
Sort Edit Help
NIMP drw
tsmc18rf
Show Objects
Inst Pin
AV NV AS NS
ref drw
PWELL drw
NWELL drw
HVNW drw
PSUB drw
DIFF drw
PDIFF drw
NDIFF drw
OD2 drw
POLY1 drw
POLY2 drw
EPLY drw
BPLY drw
N2V drw
N3V drw
P2V drw
PIMP drw
NIMP drw
RPO drw
CONT drw
METAL1 drw
VIA12 drw
Virtuoso® Layout Editing: ex6 pmos layout
X: -1.2 Y: 1.9 (F) Select: 0 DRD: OFF dX: -1.5 dY: 1.7 Dist: 2.27 Cmd:
15
Tools Design Window Create Edit Verify Connectivity Options Routing Assura Migrate Calibre Help
0.50
0
mouse L: mouseSingleSelectPt M: leHiMousePopUp() R:leEIPZoomAbsoluteScale(hiGetCurrent

۲. رسم شماتیک و لی اوت وارونگر با ترانزیستور های طراحی شده

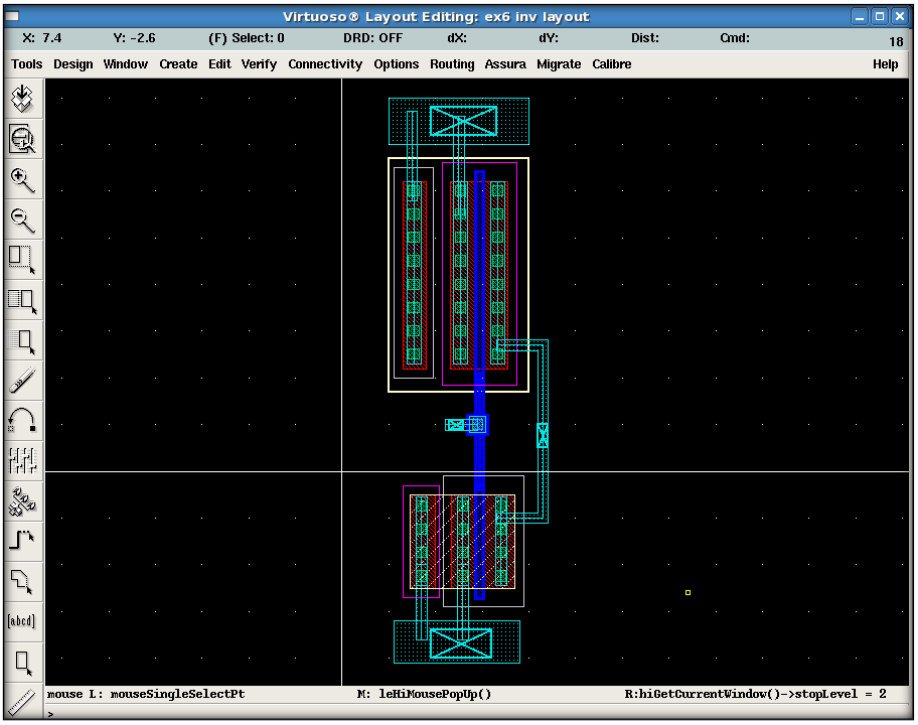
برای شبیه سازی وارونگر در ابتدا باید شماتیک آن را رسم کنیم. برای این کار مشابه بخش پنجم شماتیک یک وارونگر را رسم می کنیم. برای اضافه کردن ترانزیستورها از کتابخانه tsmc18rf استفاده می کنیم. دقت کنید که ابعاد ترانزیستور های مدار شماتیک باید دقیقا برابر با ابعاد لی اوت ترانزیستورهای طراحی شده باشند.



سپس طبق توضیحات بخش سوم سمبل آن را می سازیم.



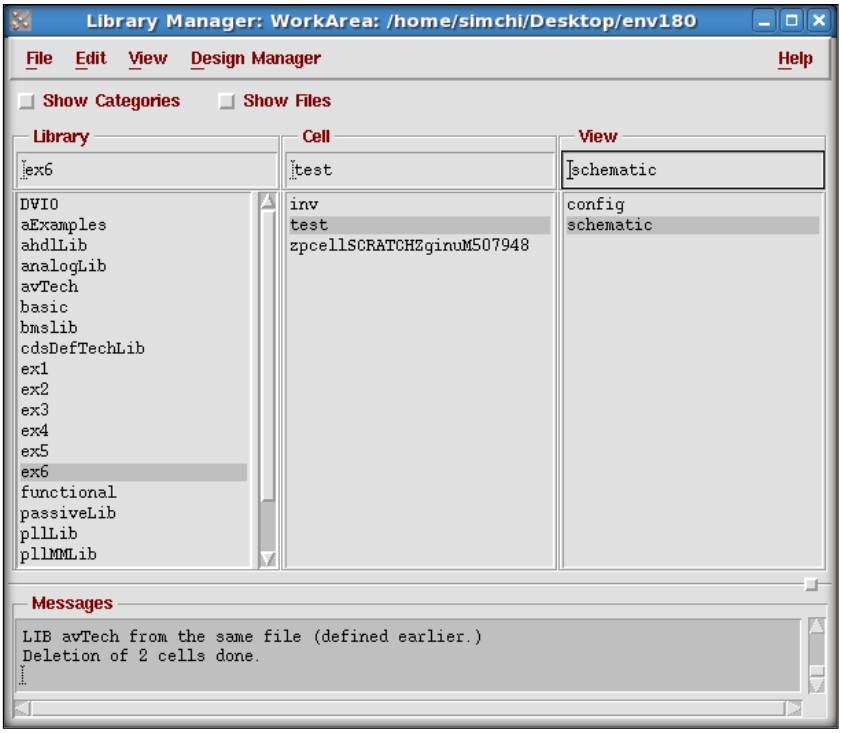
با استفاده از ترانزیستورهایی که در بالا طراحی کردیم، لی اوت این وارونگر را مانند شکل زیر رسم می کنیم.



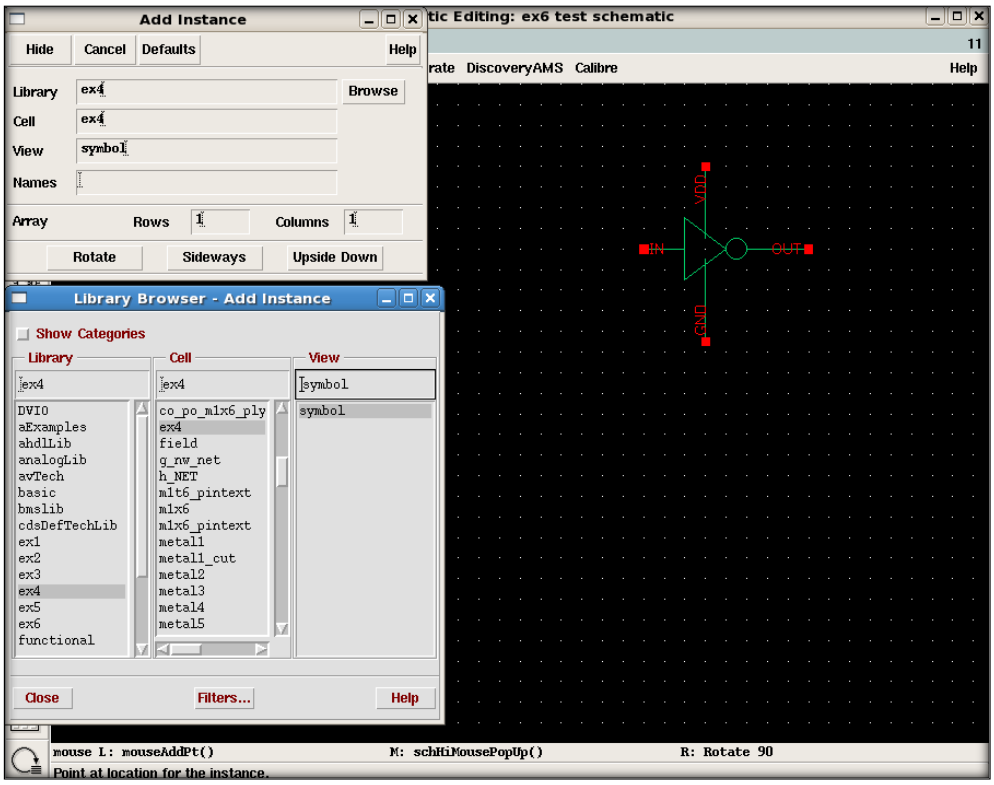
هم اکنون در سلول inv که در آن وارونگر مورد نظر را طراحی کرده ایم، یک فایل شماتیک، یک سمبل و یک لی اوت وجود دارد که محتوای این لی اوت را کاملا خودمان طراحی و رسم کرده ایم. حال تست های DRC و LVS را مطابق با توضیحات بخش پنجم انجام داده و با استفاده از فرآیندی که رد بخش ششم توضیح داده شد RCX را اجرا کرده و فایل av_extravted را به دست می آوریم.

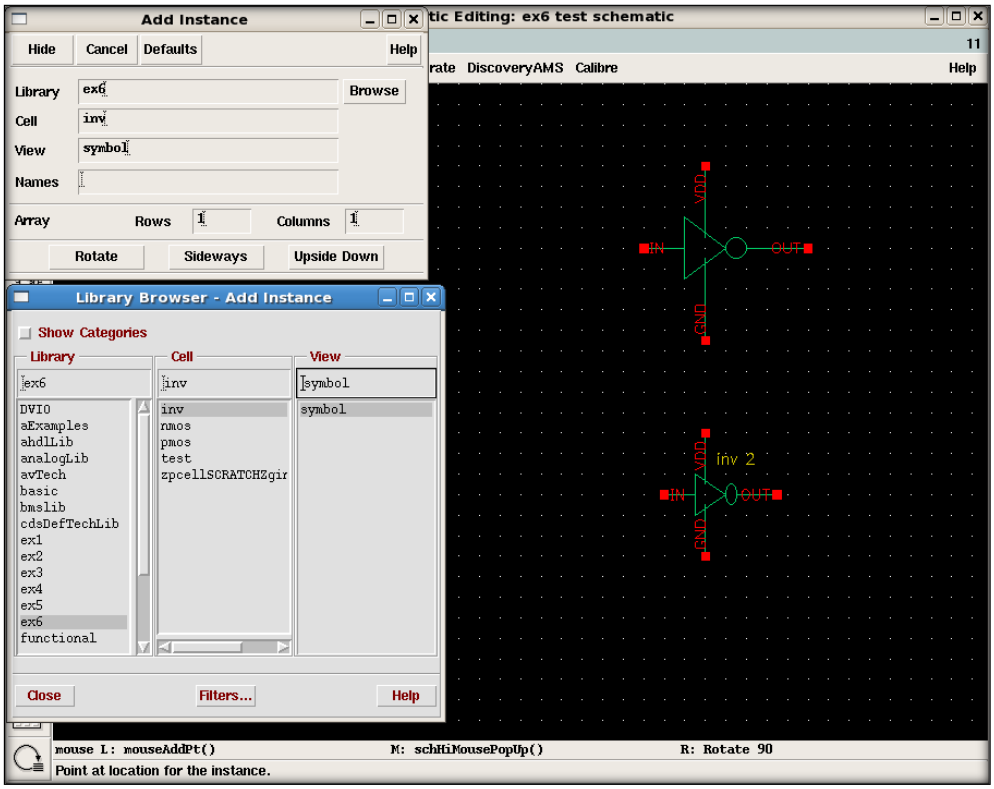
۳. شبیه سازی

نوبت به شبیه سازی مدار طراحی شده رسیده است. در این جا ما یک فایل شماتیک test برای شبیه سازی ایجاد می کنیم.

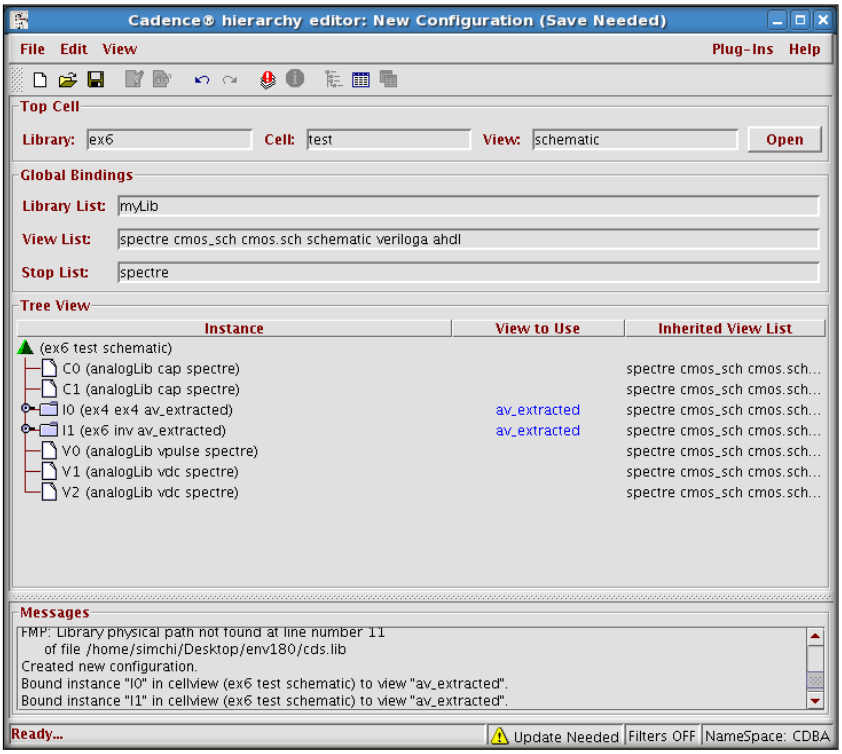


قصد داریم وارونگر طراحی شده را شبیه سازی کنیم و نتیجه به دست آمده را با خروجی وارونگری که با استفاده از ترانزیستورهای کتابخانه tsmc18rf رسم کرده بودیم، مقایسه نماییم. برای این کار سمبل دو وارونگر طراحی شده را از کتابخانه های مربوطه در فایل test اضافه می کنیم.

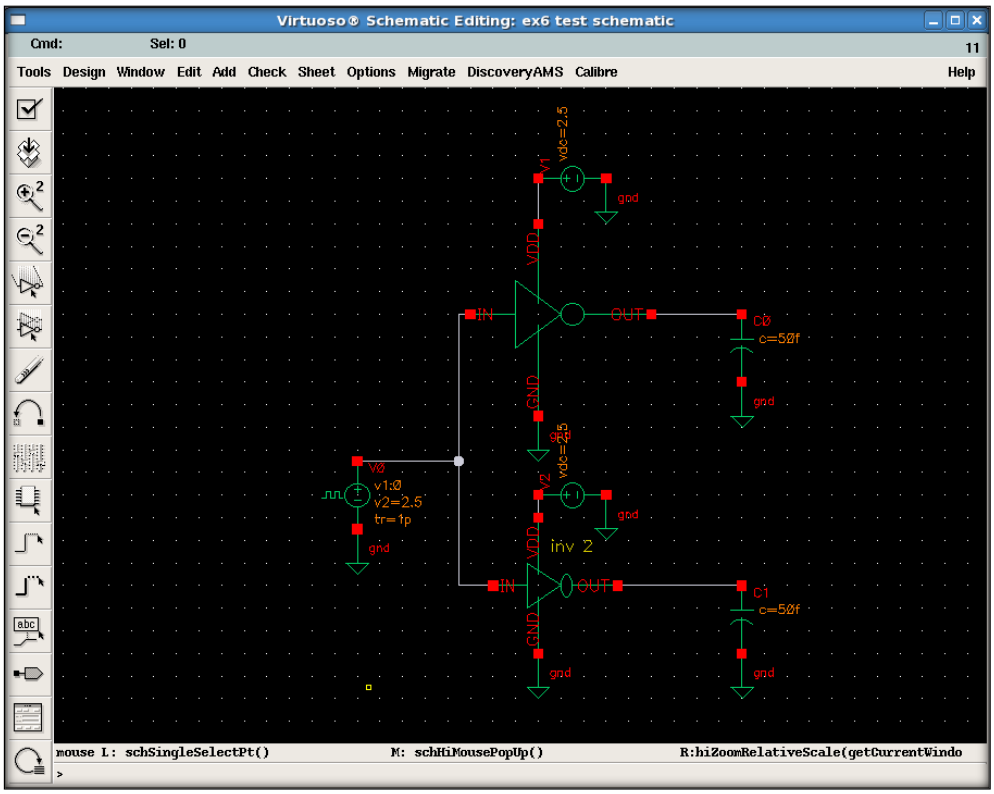

Add Instance
Hide
Cancel
Defaults
Help
Library
ex4
Browse
Cell
ex4
View
symbol
Names
Array
Rows
1
Columns
1
Rotate
Sideways
Upside Down
Library Browser - Add Instance
Show Categories
Library
Cell
View
ex4
ex4
symbol
DVIO
aExamples
ahdlLib
analogLib
avTech
basic
bmslib
cdsDefTechLib
ex1
ex2
ex3
ex4
ex5
ex6
functional
co_po_m1x6_ply
ex4
field
g_rw_net
h_NET
m1t6_pintext
m1x6
m1x6_pintext
metal1
metal1_cut
metal2
metal3
metal4
metal5
symbol
Close
Filters...
Help
tic Editing: ex6 test schematic
11
rate
DiscoveryAMS
Calibre
Help
VDD
IN
OUT
GND
mouse L: mouseAddPt()
M: schHiMousePopUp()
R: Rotate 90
Point at location for the instance.


Add Instance
Hide
Cancel
Defaults
Help
Library
ex6
Browse
Cell
inv
View
symbol
Names
Array
Rows
1
Columns
1
Rotate
Sideways
Upside Down
Library Browser - Add Instance
Show Categories
Library
Cell
View
ex6
inv
symbol
DVIO
aExamples
ahdlLib
analogLib
avTech
basic
bmslib
cdsDefTechLib
ex1
ex2
ex3
ex4
ex5
ex6
functional
inv
nmos
pmos
test
zpcellSCRATCHZgir
symbol
Close
Filters...
Help
tic Editing: ex6 test schematic
11
rate
DiscoveryAMS
Calibre
Help
VDD
IN
OUT
GND
inv 2
mouse L: mouseAddPt()
M: schHiMousePopUp()
R: Rotate 90
Point at location for the instance.

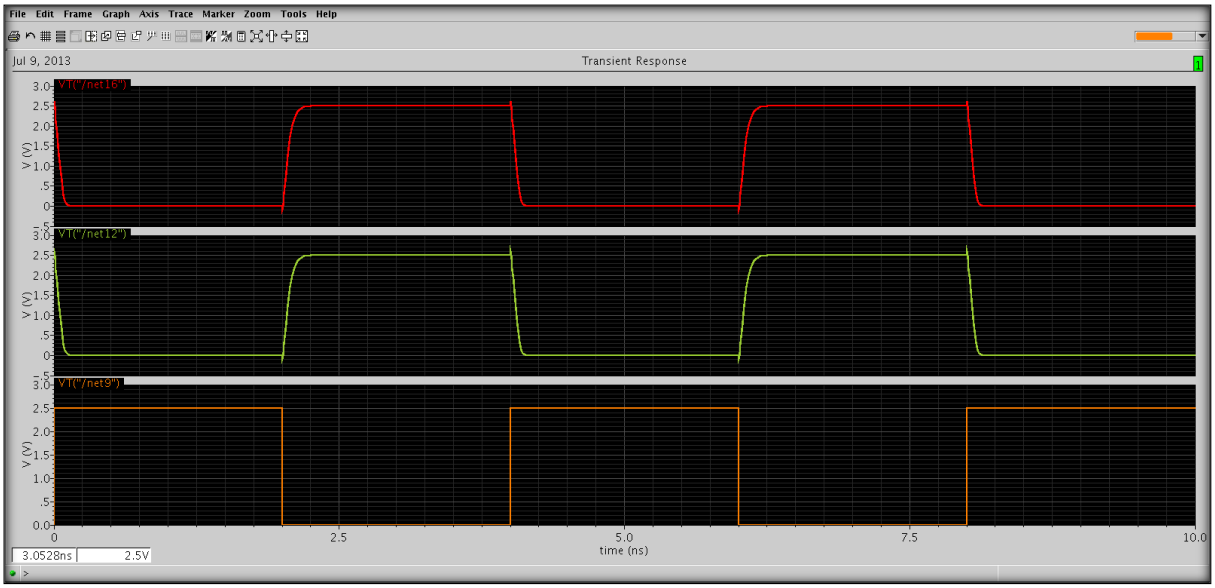
در ادامه یک فایل config نیز با توجه به توضیحات بخش قبل ایجاد کرده و view هر دو وارونگر را بر روی av_extracted تنظیم می کنیم.



سپس ورودی هر دو وارونگر را به یک منبع ولتاژ پالس وصل کرده و برای بار خروجی هر یک از دو وارونگر از یک خازن با ظرفیت 50fF استفاده می کنیم.



سپس مدار را با استفاده از محیط Analog Environment شبیه سازی گذرا کرده و خروجی دو وارونگر را به همراه سیگنال ورودی رسم می کنیم.



همان طور که مشاهده می شود خروجی هر دو وارونگر کاملا مشابه یک دیگرند.