

راهنمای استفاره از نرم افزار Cadence

بفش هفتع

رسع لی اوت ترانزیستور

تهیه کننده : محمد سیم چی

زير نظر دكتر مجيد شالچيان

ويرايش اول

تابستان ۹۲





فهرست

ﺭﺳﻢ ﻟﻰ ﺍﻭﺕ ﺗﺮﺍﻧﺰﯾﺴﺘﻮﺭ	۱.
رسم شماتیک و لی اوت وارونگر با ترانزیستور های طراحی شده۹	۲.
شبیه سازی	۳.





۱. رسم لی اوت ترانزیستور

در این بخش در نظر داریم تا لی اوت ترانزیستورهای NMOS و PMOS را این بار خودمان رسم نماییم و با استفاده از آن ها یک وارونگر طراحی کرده و آن را شبیه سازی نماییم.

در ابتدای کار لی اوت ترانزیستورها را رسم می کنیم. دقت داشته باشید که در تمامی مراحل کار قواعد طراحی رعایت شده و اندازه ها برای رسم دو ترانزیستور NMOS و PMOS در تکنولوژی tsmc18rf و با عرض ۲ و ۴ ماکرون در نظر گرفته شده اند.

برای یک NMOS در ابتدا باید نواحی فعال را مشخص کنیم. برای این کار دو مستطیل از جنس DIFF رسم می کنیم. مستطیل بزرگتر برای نواحی فعال ترانزیستور، و مستطیل کوچک تر برای اتصال بدنه رسم شده اند.



سپس از جنس POLY1 گیت ترانزیستور را رسم می کنیم.



Sort Edit Help X: -2.0 Y: 0.8 (F) Select: 0 DRD: OFF dX: -1.7 dY: -1.3 Dist: 2.14	Cmd: 13
Represe dury L Tools Design Window Create Edit, Verify Connectivity Options Routing Assura Migrate Calibre	
	Help
tsmc18rf di ska	
Show Objects	
Inst Pin	
AV NV AS NS	
FWELL drv c c,	
NVELL drv i	
POLY1 drv	
POLY2 drv	
EPLY dre L	
BPLY drw b H H	
N2V drv H Infr	
N37 drev n Sa	
ESD drv	
RP0 drw [abcd]	
CONT drv	
METAL1 dre	
VTA12 drw mouse L: mouseSingleSelectPt M: leftiMousePopUp() R:leftIPZoomAbsolu	teScale(hiGetCurrent

در گام بعد کانتکت های درین، سورس و بدنه را از جنس CONT قرار می دهیم.

	LSW	_ 			Virtuoso	🖲 Layout	Editing: ex6 in	vlayou	.t	
Sort	Edit	Help	X: 2.0	Y: -2.8	(F) Select: 0	DRD: OFF	dX:	dY:	Dist:	Cmd: 19
DI	LFF	drw	Tools Design	Window Create	Edit Verify Connectiv	rity Options	Routing Assura	Migrate	e Calibre	Help
	tsmc18	irf	SIR .							
5	Show Obj	ects	- SS							
🔳 inst	t 🔳 Pin		A							
AV	NV A	AS NS								
I			€.							
re	f	drw								
PW	ELL	drw	R							
NW	ELL	drw								
HV	NW	drv	k							
PS	UB	drw								
DI	FF	drv	<u> </u>							
PD	IFF	drw								
ND	IFF -	drw	11							
	2	drw	I.							
PO	111	dary								
FP	12	drw								
BP	LY	dry	414							
N2	v	drw	2p							
N3	v	drv	35.30							
P2	v	drw	1.							
P3	v	drw								
РП	MP	drw	1							
NI	MP	drw	[abcd]							
ESI	D	drw	[azza1			•				
RP	0	drw								
	NT TAT 1			mourseSingleSe	lectPt	M. LeHiNo	usePonIn()		R. LaFTDZoomil	eoluteScale(hiGetfursont
L ME	INLI	arv		. mousesinglese	,100 tr	PL LEILFIU	aser ohoh()		N. ICLIF 200MA	osoracescare(moccourrent

حال اتصالات ايجاد شده را با METAL1 به هم وصل مي كنيم.







این بار یک لایه از جنس WELLBODY بر روی سطح ترانزیستور رسم می کنیم.





برای تعیین نواحی فعال یک مستطیل از جنس NIMP و PIMP در اطراف نواحی فعال ترانزیستور و اتصال بدنه رسم می کنیم. خواننده توجه دارد که در ترانزیستور NMOS نواحی فعال از جنس +n و اتصال بدنه از جنس +p می باشد و علت انتخاب جنس محدود کننده ها نیز همین نکته است.



برای رسم لی اوت ترانزیستور PMOS ابتدا باید یک NWELL با ابغاد مناسب ایجاد کرد. توجه داشته باشید که در این مثال به دلیل آن که از این ترانزیستورها برای طراحی یک وارونگر استفاده خواهد شد، عرض ترانزیستور PMOS دو برابر عرض ترانزیستور NOMS می باشد.



	N =			v	irtuoso® L	ayout E	diting: (ex6 pm	oslayo	ut			_ _ X
Sort Edit Help	X: -1.5	Y: 0.8	;	(F) Select: 0	DRI	D: OFF	dX: -	1.8	dY: 0.	.6	Dist: 1.90	Cmd:	15
NWELL drw	Tools Desig	n Window	Create	Edit Verify	Connectivity	Options	Routing	Assura	Migrate	Calibre			Help
tsmc18rf	Se l												
Show Objects	<u> </u>										1		
🔳 Inst 🔳 Pin	A												
AV NV AS NS													
I	₩												
ref drw	6												
PWELL drw	3	<u> </u>											·
NWELL drw	\leq _												
HVNW drw													
PSUB drw													
DIFF drw													
MULLE day													
002 dev													
POLY1 dry	1												
POLY2 drw													
EPLY drw	1312												
BPLY drw	1515												
N2V drw	200												
N3V drw													
P2V drw	1												
P3V drw	5												
PDMP drw	<u> </u>												
	[abcd]] 0						
BP0 dry						0.50	U						
CONT dry	L L												
METAL1 drv	mouse	L: mouseS	ingleSel	lectPt	м	: leHiMo	usePopUp	0		R:	leEIPZoomAb	soluteScale(hiGetCurrent
VIA12 drw	/ >												

در مراحل بعدی نیز همانند ترانزیستور NMOS به ترتیب نواحی فعال را رسم کرده، گیت ترانزیستور را کشیده، اتصالات درین، سورس و بدنه را ایجاد کرده و با METAL1 به هم متصل نموده و در نهایت نواحی فعال n و p را تعیین می کنیم. توجه داشته باشید که این بار ناحیه فعال ترانزیستور از جنس p و اتصال بدنه آن از جنس n می باشد. در ضمن برای ایجاد نواحی فعال از لایه های PDIFF و NDIFF استفاده شده است.

LSW						٧	/irtuo	oso@L	ayout E	diting:	ex6 pm	oslayo	ut:			
Sort Edit	Help	X: -	-1.0	Y: 1.2	:	(F) Select: ()	DRE): OFF	dX: -	-1.3	dY: 1	.0	Dist: 1.64	Cmd:	15
NDIFF	drw	Tools	Design	Window	Create	Edit Verify	Conr	ectivity	Options	Routing	Assura	Migrate	Calibre			Help
tsmc1	8rf	<u>sta</u>														
Show Of	bjects	×														
🔳 Inst 🔳 Pin		A														
AV NV	AS NS															
Ĭ		I €														
ref	drw	6														
PWELL	drw	2														·
NWELL	drw															
HVNW	drw															
PSUB	drw															
DIFF	drw															
PDIFF	drw															
NDIFF	drw															
DOI VI	urw															
POL 11 POL 12	dra	$ \cap $														
EPLY	drw	11111														·
BPLY	drw	間														
N2V	drw	20														
N3V	drw	<u> 88</u> .30														
P2V	drw	1,														
P3V	drw															
PIMP	drw	\ <u>\</u>														
NIMP	drw	[ahed]														
ESD	drw	[anca]							0.50							
RPO	drw															
CONT	drw				in all a Ca	1+P+		Ň	1 - 11-20-	Develo			p.	1 - F TD2 th	-1	1
METAL1	drw		mouse L	: mouses	ingleSe	erectht		M	: TEHTWO	useropU	ou		R:	TerthSoomap:	soluteScale	niseccurrent
VIA12	drw		*	_	_		-	_	_	_	_		_			







	[-	Virte	uoso® Layout E	liting: ex6 pm	os layout		_ 🗆 🗙
Sort Edit Help	X: -1.1 Y: 2.	.5 (F) Select: O	DRD: OFF	dX: -1.4	dY: 2.3	Dist: 2.69	Cmd: 15
CONT drw	Tools Design Window	Create Edit Verify Co	nnectivity Options	Routing Assura	Migrate Calibre		Help
tsmc18rf							
Show Objects							
	Q						
AV NV AS NO	(f)		000000				
	~						
ret drw	Q		-				· ·
NWELL drw							
HVNW drw							
PSUB drw							
DIFF drw			-				
PDIFF drw							
NDIFF drw		n					
	<u> </u>						
POLY2 drw			000001				
EPLY drw	1111						· · ·
BPLY drw	1915		833331				
N2V drw	200		1333333	E333333	100000		
N3V drw	<u></u>						
P2V drw	L						
P3V drv	5						
NDMP drw	*						
ESD drw	[abcd]		0.50	0			
RP0 drw							
CONT drw							
METAL1 drw	mouse L: mouse	SingleSelectPt	M: leHiMon	usePopUp()	R	leEIPZoomAbsol	uteScale(hiGetCurrent

V













۲. رسم شماتیک و لی اوت وارونگر با ترانزیستور های طراحی شده

برای شبیه سازی وارونگر در ابتدا باید شماتیک آن را رسم کنیم. برای این کار مشابه بخش پنجم شماتیک یک وارونگر را رسم می کنیم. برای اضافه کردن ترانزیستورها از کتابخانه tsmc18rf استفاده می کنیم. دقت کنید که ابعاد ترانزیستور های مدار شماتیک باید دقیقا برابر با ابعاد لی اوت ترانزیستورهای طراحی شده باشند.



سپس طبق توضیحات بخش سوم سمبل آن را می سازیم.





						Virtuoso ®	Layout	Editing:	ex6 inv	/layou	2					
X:	7.4	Y: -2.6	6	(F) \$	Select: O	DRI): OFF	dX:		dY:	1	Dist:	Cmd:			18
Tools	Design	Window	Create	Edit	Verify	Connectivity	Options	Routing	Assura	Migrate	Calibre					Help
۵					·			\bowtie	3							
B G	•								~							
S Q																
IQ n																
L.										1.						
								• ***		244						
<i>رو</i> ر م	•															· ·
S,																
[abcd]	•								1							
L	wourse I		ingless	logt	D+		loWiNor	reports			P	hitottour	rontling	lorr()-)	storla	ml = 9
	mouse L	. mouses	ліцтезе	Tect		M	. Territion	rescrohob	0		ĸ	.nreettur	rentwind	ww()-)	scopre	ACT = 7

با استفاده از ترانزیستورهایی که در بالا طراحی کردیم، لی اوت این وارونگر را مانند شکل زیر رسم می کنیم.

هم اکنون در سلول inv که در آن وارونگر مورد نظر را طراحی کرده ایم، یک فایل شماتیک، یک سمبل و یک لی اوت وجود دارد که محتوای این لی اوت را کاملا خودمان طراحی و رسم کرده ایم. حال تست های DRC و LVS را مطابق با توضیحات بخش پنجم انجام داده و با استفاده از فرآیندی که رد بخش ششم توضیح داده شد RCX را اجرا کرده و فایل av_extravted را به دست می آوریم.



۳. شبیه سازی

🔟 Library Manage	r: workarea: /nome/simchi/D	esktop/env180	
<u>File Edit View Design</u>	Manager		Help
🔟 Show Categories 🛛 🛄 S	Show Files		
— Library —	Cell	View	
jex6	ltest	Ischematic	
DVIO aExamples ahdlLib analogLib avTech basic bmslib cdsDefTechLib ex1 ex2 ex3 ex4 ex4 ex5 ex6 functional passiveLib pllLib pllMMLib	inv test zpcellSCRATCHZginuM507948	config schematic	
— Messages —			
LIB avTech from the same Deletion of 2 cells done	e file (defined earlier.) e.		
<			

نوبت به شبیه سازی مدار طراحی شده رسیده است. در این جا ما یک فایل شماتیک test برای شبیه سازی ایجاد می کنیم.

قصد داریم وارونگر طراحی شده را شبیه سازی کنیم و نتیجه به دست آمده را با خروجی وارونگری که با استفاده از ترانزیستورهای کتابخانه tsmc18rf رسم کرده بودیم، مقایسه نماییم. برای این کار سمبل دو وارونگر طراحی شده را از کتابخانه های مربوطه در فایل test اضافه می کنیم.



	_	Add Instance	_	_ 	tic Editing: e	x6 test sch	hematic	_	_	_	_ [] X
Hide	Cancel	Defaults		Help							11
Libuour	erď			Browco	rate Discovery	AMS Calibre	e				Help
Coll	ex4			browse							
View	symbol										
Names	Ĭ						· · · · <mark>-</mark> ·				
	r.	n 1		1							
мпау		Rows 4	Columns								
	Rotate	Sideways	Upside	Down							
	Library	Browser - Add	i Instance		× : : : :						
🔲 Shov	v Categori	es					· · · · ē				
- Librar	у		View	1							
DVI0		Co po mix6 p	lv 🖾 symbo	1							
aExamp ahdlLi	les b	ex4 field									
analog avTech	Lib	g_nw_net									
basic bmslib		m1t6_pintext									
cdsDef	TechLib	m1x6_pintext									
ex2		metal1_cut									
ex3 ex4		metal2 metal3									
ex5 ex6		metal4 metal5	V								
functi	onal										
Close	1	Filters		Help							
]								
C me	nuse L: m	ouseAddPt()		M: s	chHiMousePopUp()	R: Rota	:e 90			
	oint at loca	ation for the instan	ce								_
	_	Add Instance		_ 	tic Editing: e	x6 test sch	hematic			_	
Hide	Cancel	Defaults		Help	-						11
Library	exfi			Browse	rate Discovery	AMS Calibre	e				Help
Cell	inv			bromoo							
View	symbol										
Names	Ĭ										· · ·
Arrav	1	Powe 1	Columne	1ĭ							
ninay	Datata	NUWS 4	Columns	1. Davini) 0ut ∎			· · ·
	Rotate	Sideways	Upside	Down							
	Library	Browser - Add	l Instance		×						
🗌 Sho	w Categori	ies									
Librar Joan G	У	Cell	View	/							
DAIO		1 inv	Isampo	1	-						
aExamp ahdll.i	les h	nnos	-,				· · · · _ ·				
analog	Lib	test	HZoriz				inv 🦉 ínv				· · ·
basic		spectronane					· · • ••••	0UT ■· ·			
cdsDef	TechLib										· · ·
ex1 ex2							· · · · · 💾 ·				
ex3 ex4											· · ·
ex5 ex6											
functi	onal										
											<u>.</u>
Close	1	Filters		Hein							
Close		Filters		Help							· · ·
Close	ouse L: m	Filters		Help M: s	chHiMousePopUp)	R: Rota	н на		· · ·	· · · ·



در ادامه یک فایل config نیز با توجه به توضیحات بخش قبل ایجاد کرده و view هر دو وارونگر را بر روی av_extracted تنظیم می کنیم.

6	Cadence® hierarchy editor: New Co	nfiguration (Save N	eeded) _ 🗆 🗙								
File Edit V	iew		Plug-Ins Help								
🕺 🗅 🚅 日	🕼 🖻 🗠 🗠 🧍 🕼 🖿 📲										
-Top Cell											
Library: ex6	Cell: test	View: schematic	Open								
-Global Bindir	igs										
Library List:	myLib										
View List:	spectre cmos_sch cmos.sch schematic veriloga a	hdl									
Stop List:	spectre										
-Tree View	,.										
Thee view	Instance	View to Use	Inherited View List								
(ex6 test schematic) C0 (analogLib cap spectre) C1 (analogLib cap spectre) C1 (analogLib cap spectre) C1 (analogLib vay_extracted) av_extracted av_extracted spectre cmos_sch cmos.sch V0 (analogLib vulse spectre) V1 (analogLib vdc spectre) V2 (analogLib vdc spectre) Spectre cmos_sch cmos.sch V2 (analogLib vdc spectre) Spectre cmos_sch cmos.sch											
Messages FMP: Library p of file /hor Created new o Bound instanc Bound instanc	physical path not found at line number 11 ne/simchi/Desktop/env180/cds.lib configuration. e "10" in cellview (ex6 test schematic) to view "av_t e "11" in cellview (ex6 test schematic) to view "av_t	extracted". extracted".									
Ready		🔥 Update Neede	ed Filters OFF NameSpace: CDBA								

سپس ورودی هر دو وارونگر را به یک منبع ولتاژ پالس وصل کرده و برای بار خروجی هر یک از دو وارونگر از یک خازن با ظرفیت 50fF استفاده می کنیم.





	Virtuoso® Schematic Editing: ex6 test schematic											
Cm	d:	Se	1: 0								11	
Tools	Design	Window	Edit	Add	Check	Sheet	Options	Migrate	DiscoveryAMS	Calibre	Help	
	ľ											
8												
02									· · · 🖡 🤆	f) · · · · · · · · · · · ·		
R.										gnd		
©²	• • •								· · · . 👌 ·			
~									· · · · · · · · · · · · · · · · · · ·			
100												
									┍━╫┥──┤╶╲╱			
D _e										⊥ <u>c=52f</u> .		
4												
9										· · · · · · · · · •		
101010									ar			
開閉							<mark>-</mark> ÿ					
							$(\frac{1}{2})^{v1:2}_{v2=}$	25	··· 🖡 🍎	+) − −		
7							tr=	tp · · ·	· · · 🖕 ·			
 *							gnd		1 1 1 🔤 iń	v 2 · · · · · · · · · · · · · · · · · ·		
							\rightarrow		l K.			
٦.												
abc												
<u>~</u> *										🖕		
•D												
									🗸 .	🗸		
	• • •											
\bigcirc	mouse L	: schSi	ngleSe	elect	Pt()		М	: schHiM	lousePopUp()	R:hiZoomRelativeSca	le(getCurrentWindo	
C.	>											

سپس مدار را با استفاده از محیط Analog Environment شبیه سازی گذرا کرده و خروجی دو وارونگر را به همراه سیگنال ورودی رسم می کنیم.



همان طور که مشاهده می شود خروجی هر دو وارونگر کاملا مشابه یک دیگرند.