بسم الله الرحمن الرحیم

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی برق

راهنمای استفاده از نرم افزار Cadence

بخش پنجم

رسم Layout یک وارونگر و انجام تست های DRC و LVS

تهیه کننده : محمد سیم چی
زیر نظر دکتر مجید شالچیان

ویرایش اول

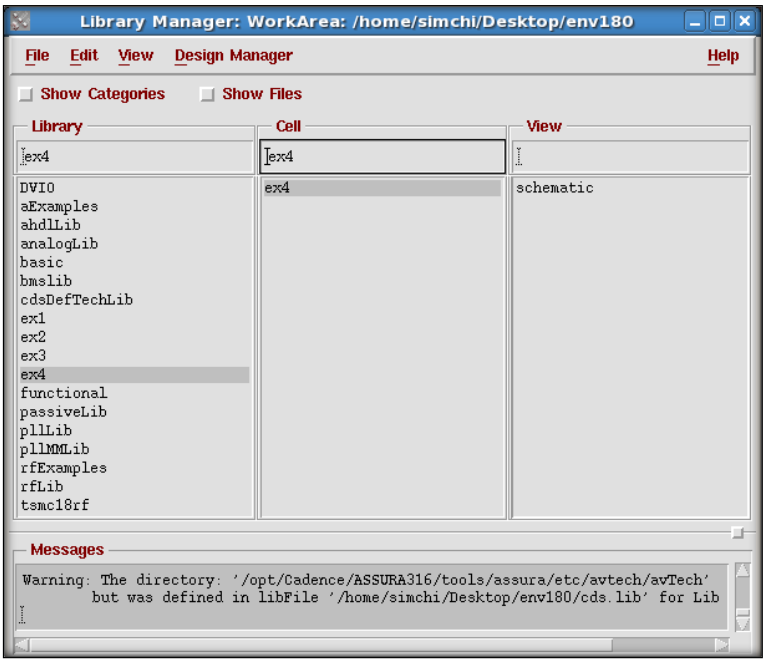
تابستان ۹۲

فهرست

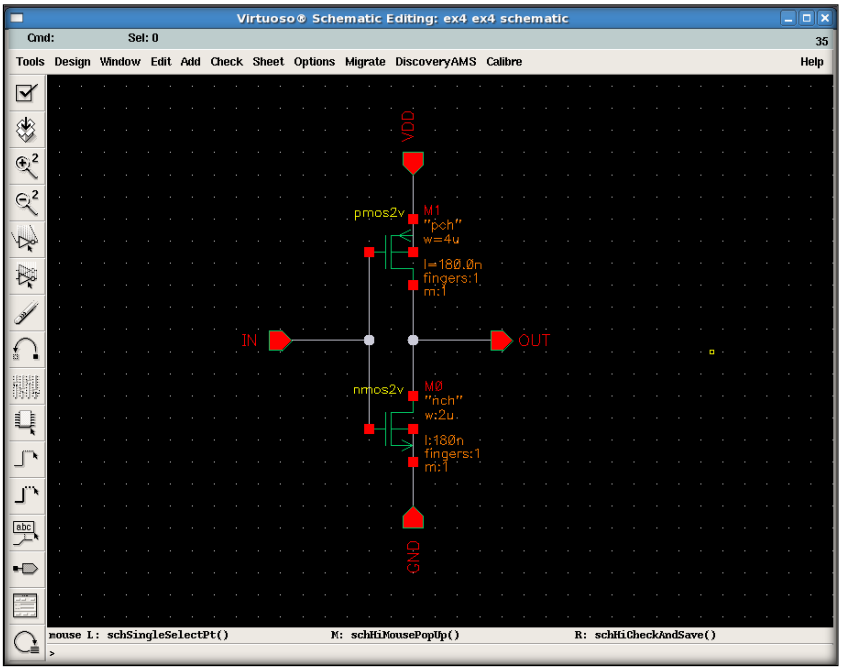
۱. رسم مدار شماتیک ۲
۲. رسم لی اوت ۳
۳. اجرای DRC ۱۳
۴. اجرای LVS ۱۶

۱. رسم مدار شماتیک

برای رسم Layout، مانند مثال های قبلی در ابتدا باید یک کتابخانه و سلول شماتیک جدید ساخت.

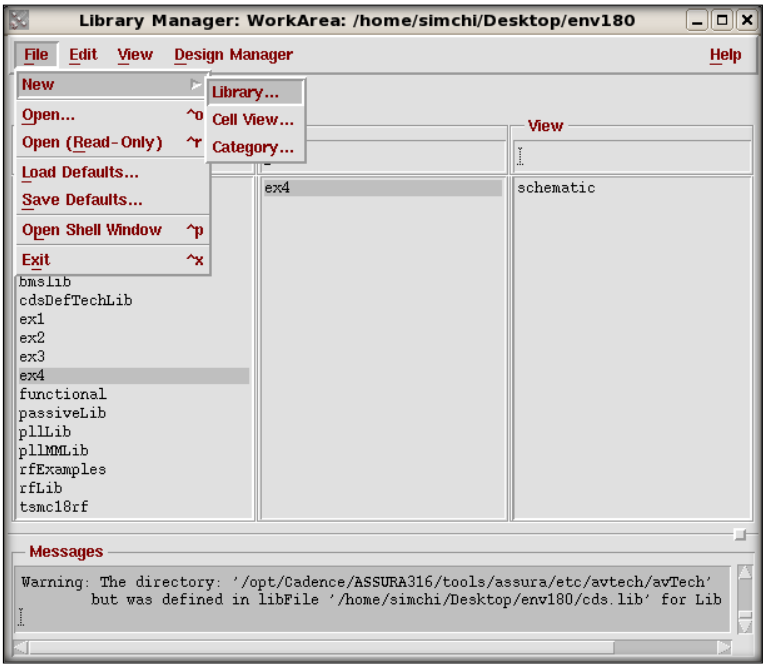


در ابتدا در این کتابخانه یک سلول شماتیک ایجاد کرده و طرح شماتیک وارونگر را در آن رسم می کنیم.

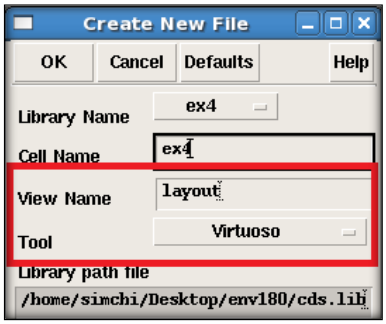


۲. رسم لی اوت

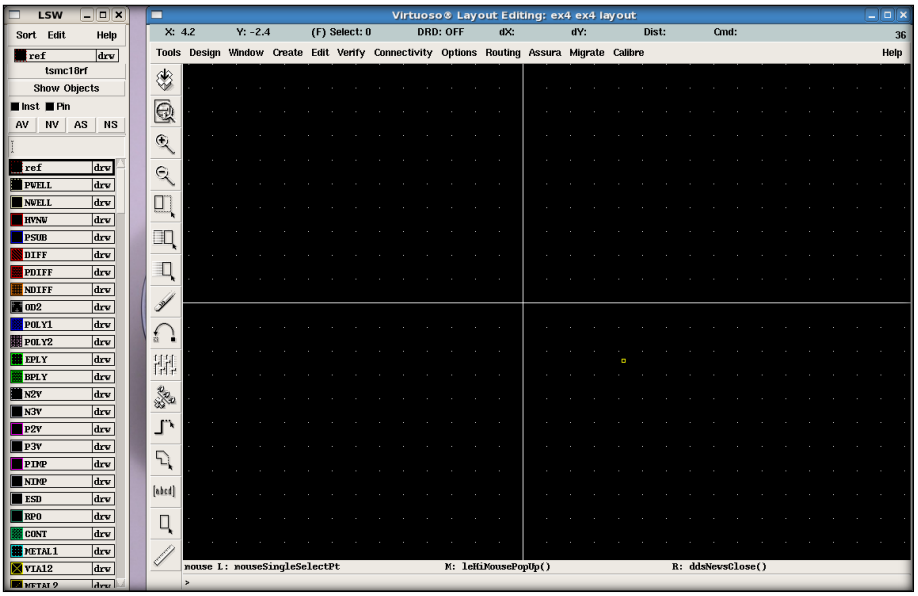
حال برای رسم Layout به Library Manager برگشته و از مسیر File -> New -> Cell View... یک سلول جدید ایجاد می کنیم.



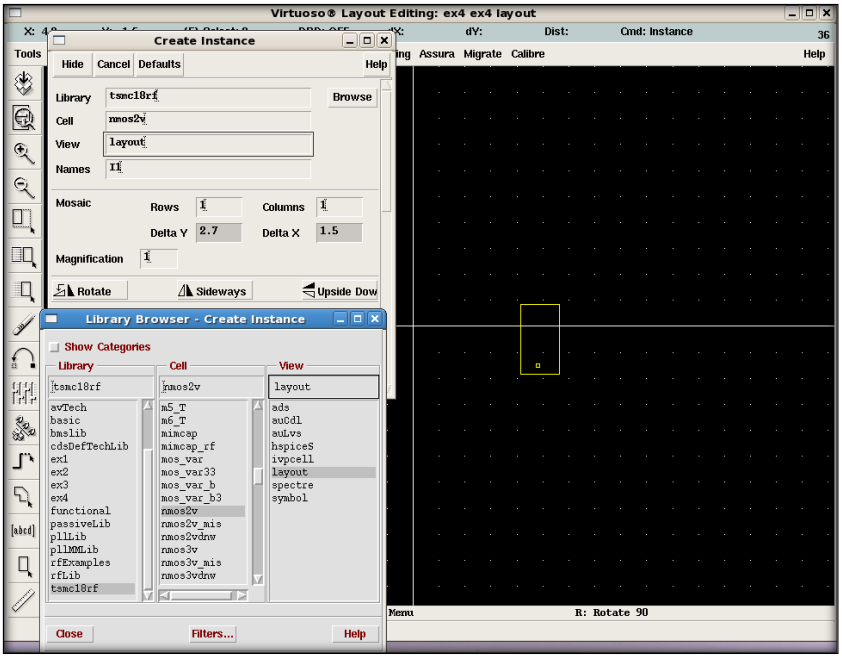
در این سلول مطابق شکل زیر Tool را برابر با Virtuso قرار می دهیم تا بتوانیم در سطح Layout طراحی انجام دهیم. دقت نمایید که نام این سلول با سلول شماتیک یکی است.



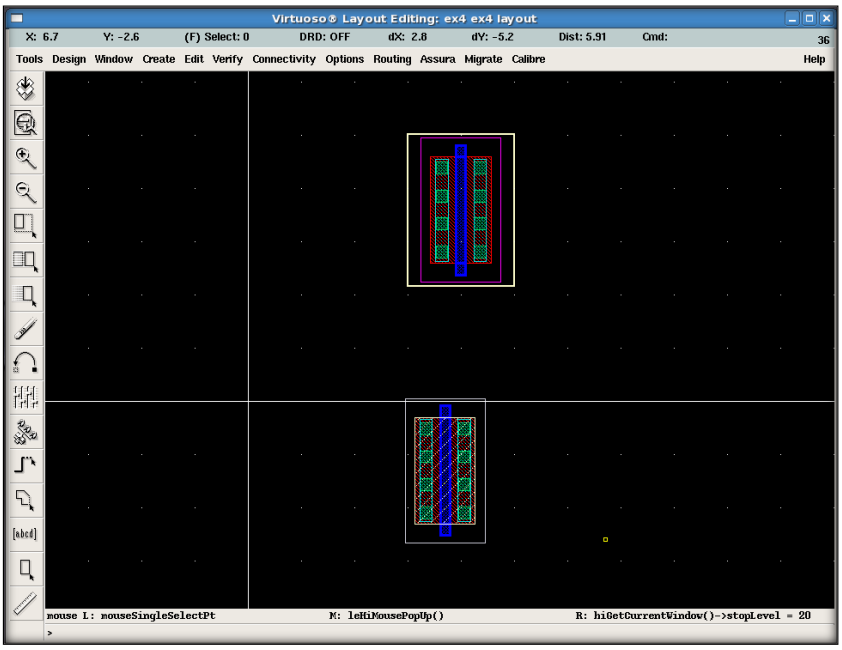
پس از ایجاد سلول پنجره ای مطابق شکل زیر باز می شود. در پنجره Virtuso طراحی لی اوت انجام می شود. از پنجره LSW برای انتخاب لایه ها استفاده می شود.



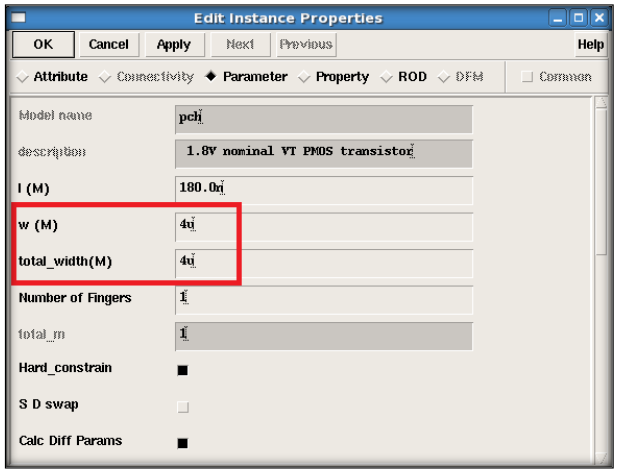
حال باید مداری را که در سطح شماتیک در سلول ex4 طراحی کردیم را، این بار در سطح لی اوت کاملا شبیه به مدار شماتیک رسم نماییم. برای افزودن ترانزیستورها کلید I را فشار می دهیم و در پنجره باز شده بر روی دکمه Browse کلیک می کنیم. سپس در پنجره Library Manager از کتابخانه tsmc18rf ترانزیستور مورد نظر با View لی اوت را انتخاب می کنیم.



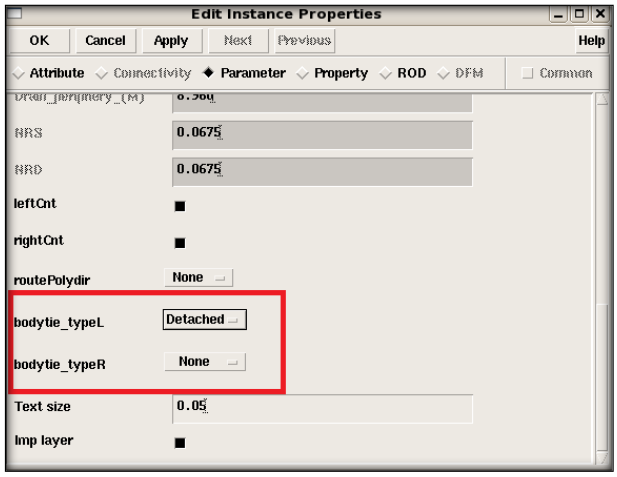
پس از اضافه کردن ترانزیستورها، برای مشاهده لایه های آن ها کلید Shift + F را فشار می دهیم. با فشردنCtrl + F به حالت قبلی باز می گردد.



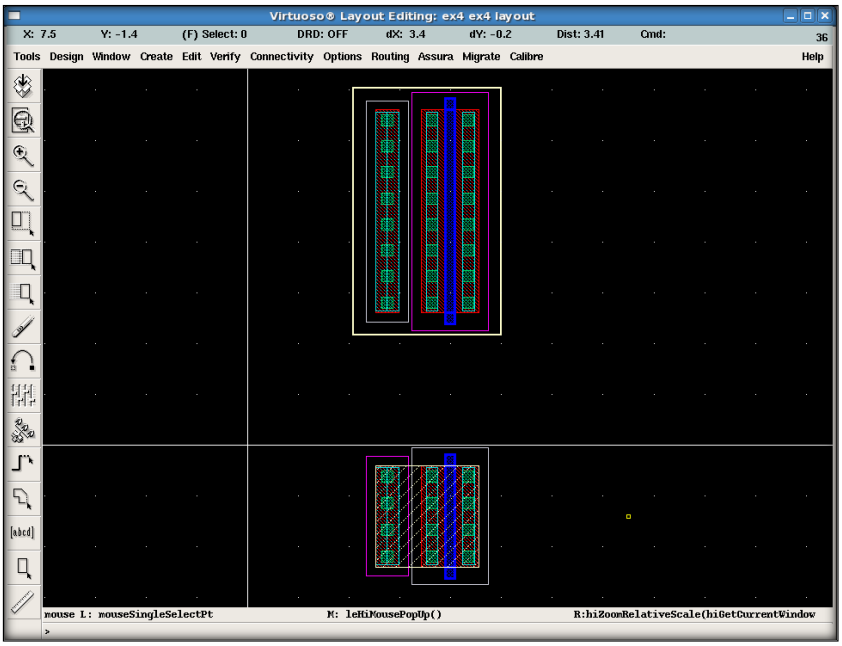
با اتخاب هر قطعه و فشردن دکمه Q پنجره ویژگی های قطعه مورد نظر گشوده می شود. برای ترانزیستورها، در قسمت Parameter می توان عرض و طول ترانزیستورها را تعیین کرد.



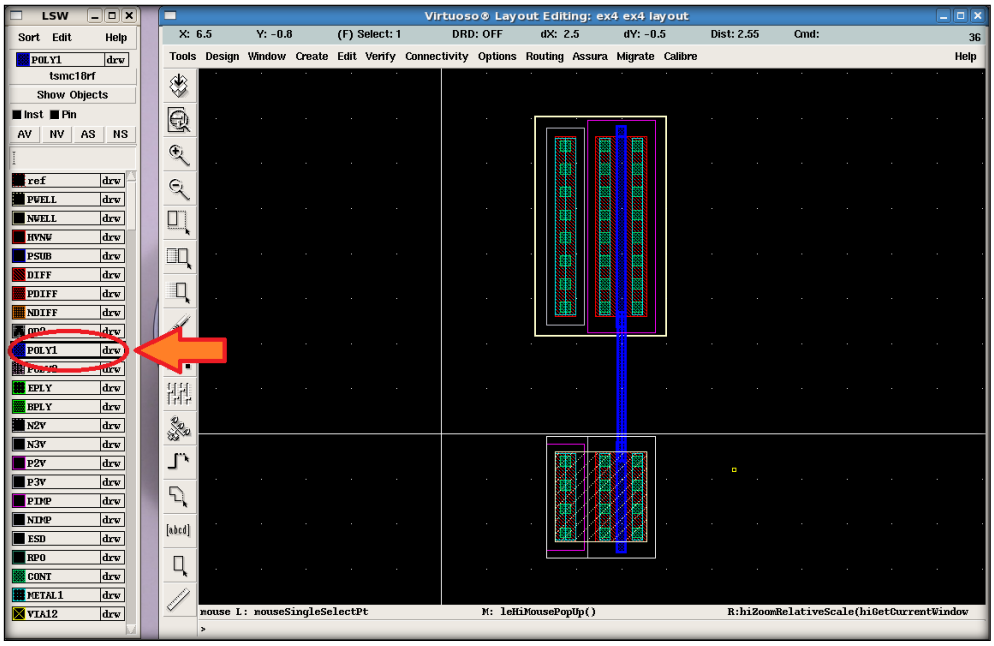
به علاوه با انتخاب گزینه bodytie می توان اتصال بدنه ترانزیستور را ایجاد نمود. بدین منظور، نوع اتصال مورد نظر را از نوع Detached انتخاب می کنیم. در نوع Detached اتصال بدنه و سورس از هم جدا بوده و در صورت نیاز باید آن ها را با یک لایه METAL1 به هم وصل نمود. اما در نوع Integred اتصال بدنه و سورس به هم متصل می باشند.



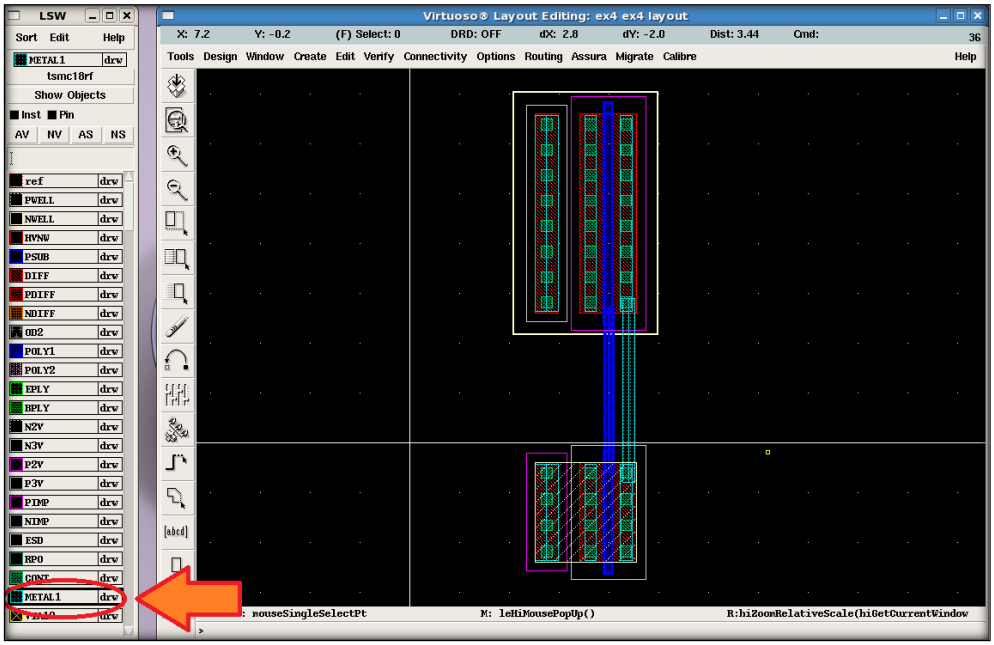
پس از انجام تنظیمات ذکر شده شکل نهایی دو ترانزیستور مانند شکل زیر می گردد.



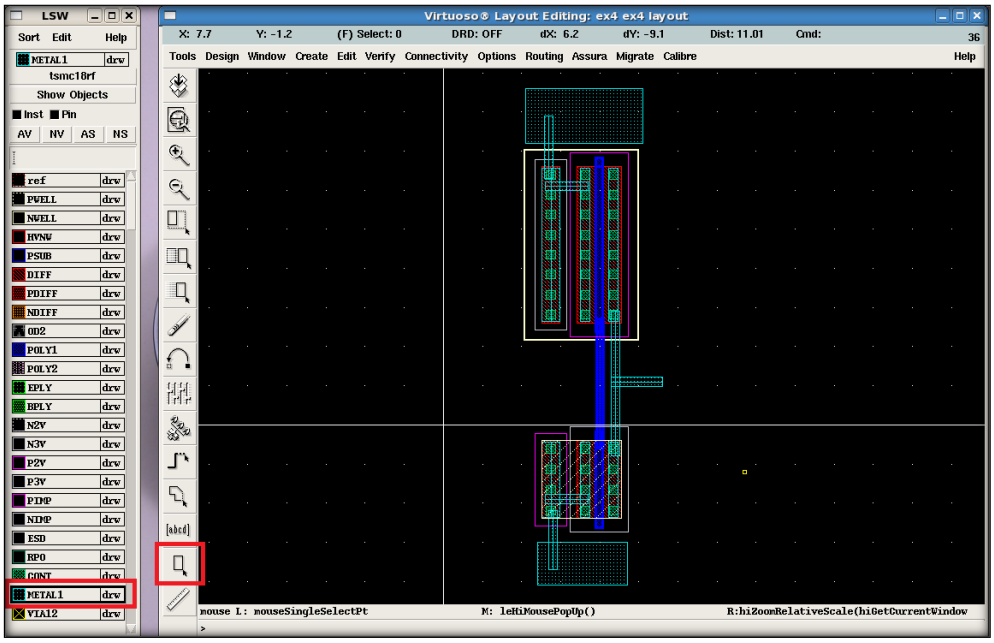
برای وصل کردن گیت دو ترانزیستور، از پنجره LSW، POLY1 از نوع drw را انتخاب می کنیم. سپس به پنجره Virtuso برگشته و کلید P را فشار می دهیم. حال می توانیم در لی اوت یک مسیر از جنس POLY1 رسم نماییم. بدین منظور بر روی نقطه ابتدایی مسیر مورد نظر کلیک می کنیم. سپس با دبل کلیک بر روی نقطه انتهایی، مسیر مورد نظر کشیده می شود. برای ایجاد یک زاویه قائمه، در نقطه مورد نظر کلیک می کنیم. توجه داشته باشید که همواره برای رسم مسیر باید نوع لایه انتخاب شده drw باشد.



برای اتصال دو درین ترانزیستورها نیز METAL1 ، از نوع drw را انتخاب کرده با رسم یک مسیر(path) دو درین ترانزیستورها را به هم وصل می کنیم. به طور پیش فرض بر روی درین، سورس و اتصال بدنه ترانزیستورها یک لایه METAL1 وجود دارد.

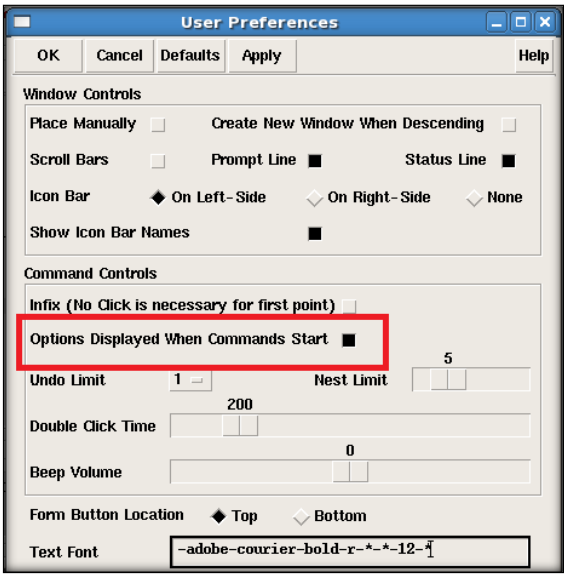


برای رینگ VDD و GND از منوی سمت چپ، گزینه Rectangle را انتخاب می کنیم و در بالا و پایین لی اوت دو مستطیل از جنس METAL1 رسم می کنیم. سپس با استفاده از مسیرهایی از جنس METAL1 اتصالات سورس و بدنه را می کشیم.

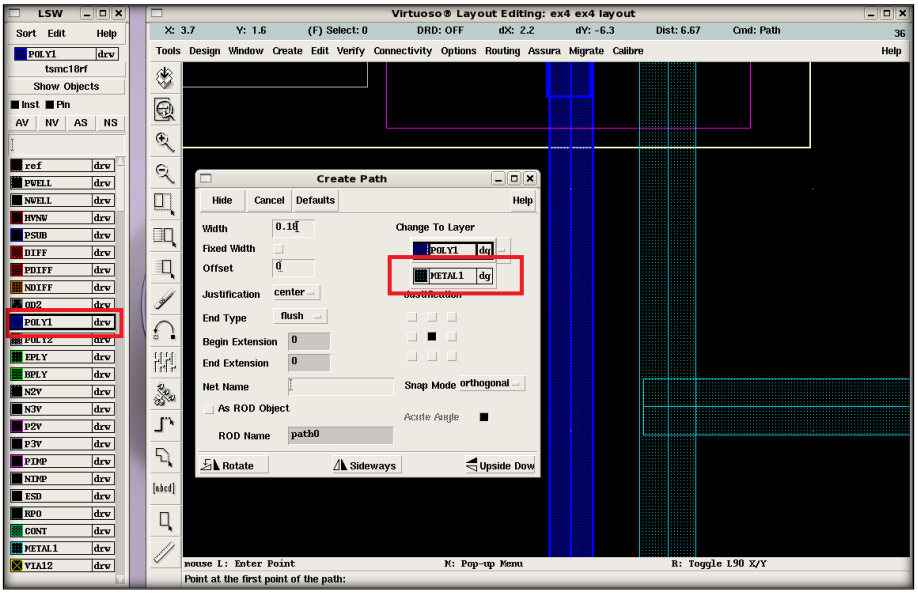


برای ایجاد یک اتصال از جنس METAL1 بر روی اتصال گیت ها، برای ایجاد کانتکت ورودی، به پنجره CIW رفته و از منوی Options، به آدرس Options -> User Preferences... می رویم.

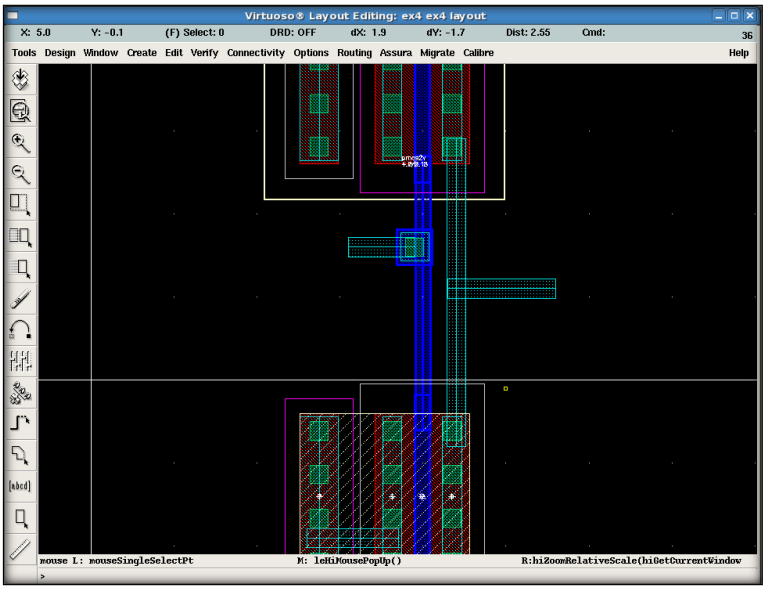
در پنجره ای که مطابق شکل زیر باز می شود، گزینه Options Displayed When Command Start را انتخاب می کنیم. بر روی دکمه OK کلیک کرده و به پنجره Virtuso برمی گردیم.



اکنون برای ایجاد کانتکت ورودی لایه POLY1 را انتخاب کرده و به پنجره Virtuso بر می گردیم. کلید P را فشار داده و در نقطه مورد نظر بر روی مسیر اتصال دهنده دو گیت کلیک می کنیم. پس از کلیک کردن، با توجه به تغییر تنظیمات در User Preferences ، پنجره Create Path باز می شود. در این پنجره در قسمت Change To Layer لایه METAL1 را انتخاب می کنیم. بدین ترتیب یک کانتک POLY1 به METAL1 ایجاد می شود که می توان از آن به عنوان اتصال ورودی استفاده نمود.

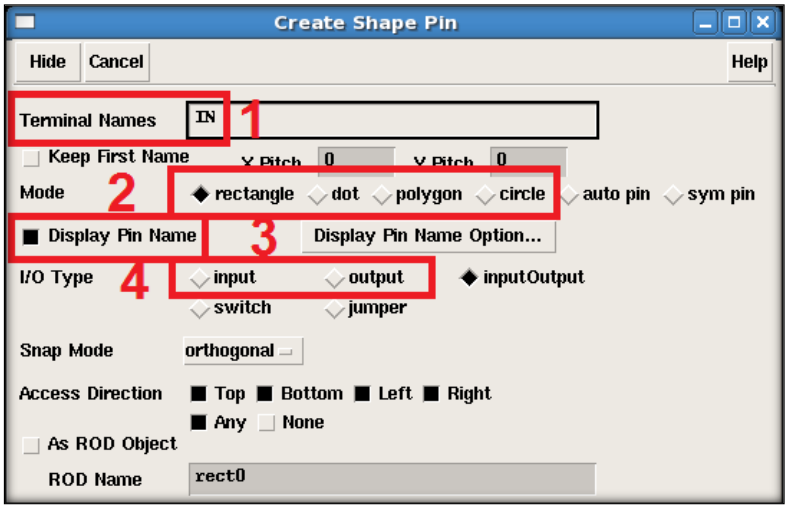


در نهایت اتصال ورودی مانند شکل زیر خواهد شد. در صورتی که تنظیمات User Preferences مانند بالا تغییر نمی کرد باید تمامی لایه های کانتک توسط طراح ایجاد می شد و کار سخت تر می گردید. برای ایجاد via بین لایه ها، با فشردن کلید O می توان اتصالی بین لایه ها ایجاد نمود.

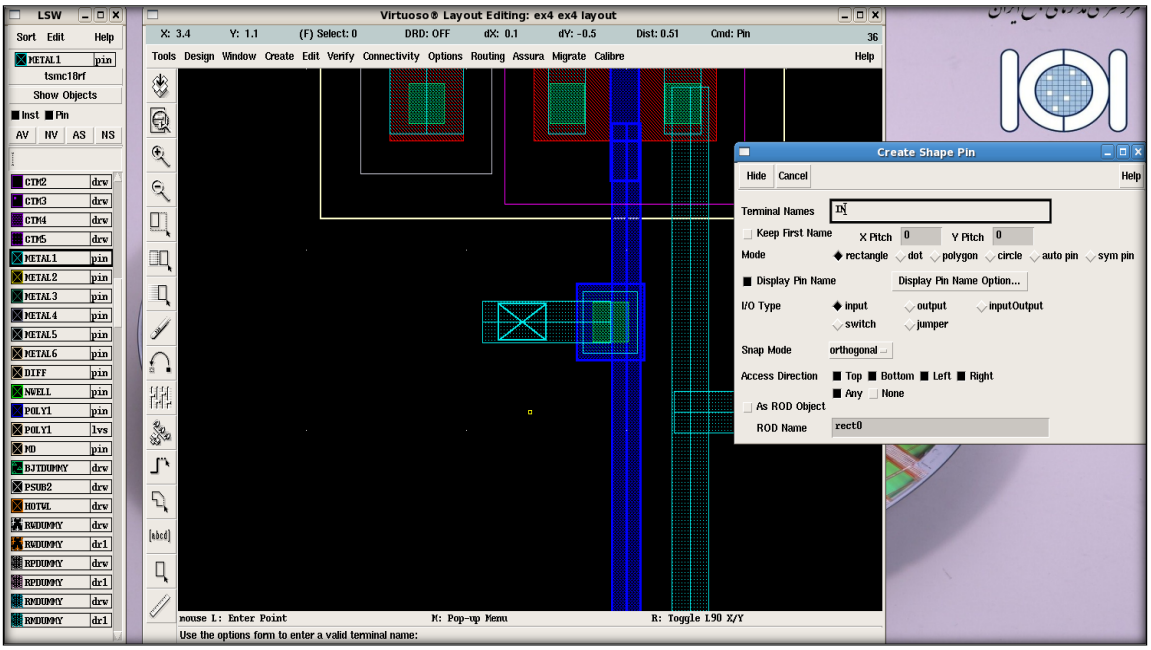


تا این جا تقریبا تمامی بخش های مختلف وارونگر را طراحی کرده ایم. اکنون باید پین های گیت را ایجاد کنیم.

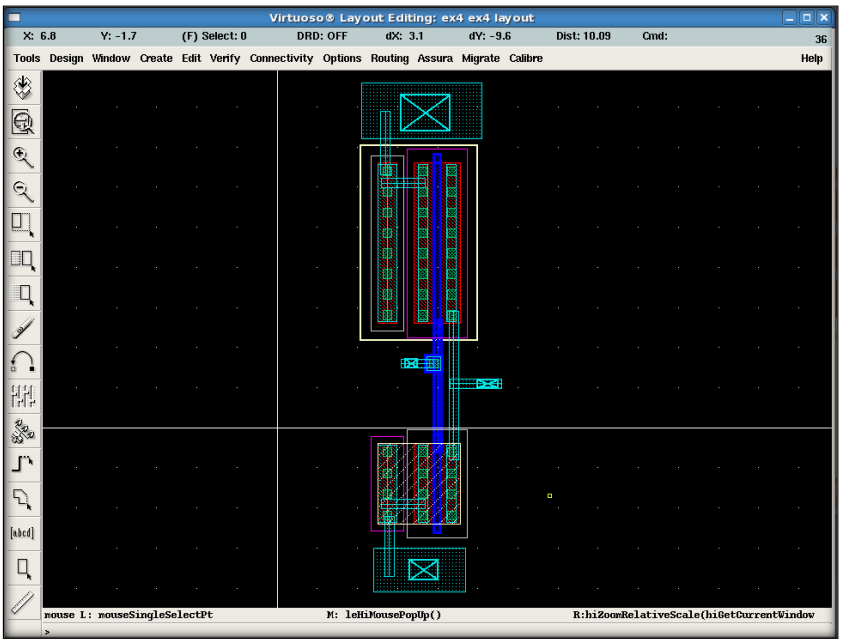
برای ایجاد پین در صفحه Virtuso کلید Ctrl+P را فشار می دهیم. پنجره ای مطابق شکل زیر باز می شود. در این پنجره در ابتدا باید نام پین را معین نمود. سپس مود پین را shape pin و سپس rectangle تعیین می کنیم. Display Pin Name را انتخاب کرده و در نهایت نوع پین (ورودی یا خروجی) را تعیین خواهیم کرد.



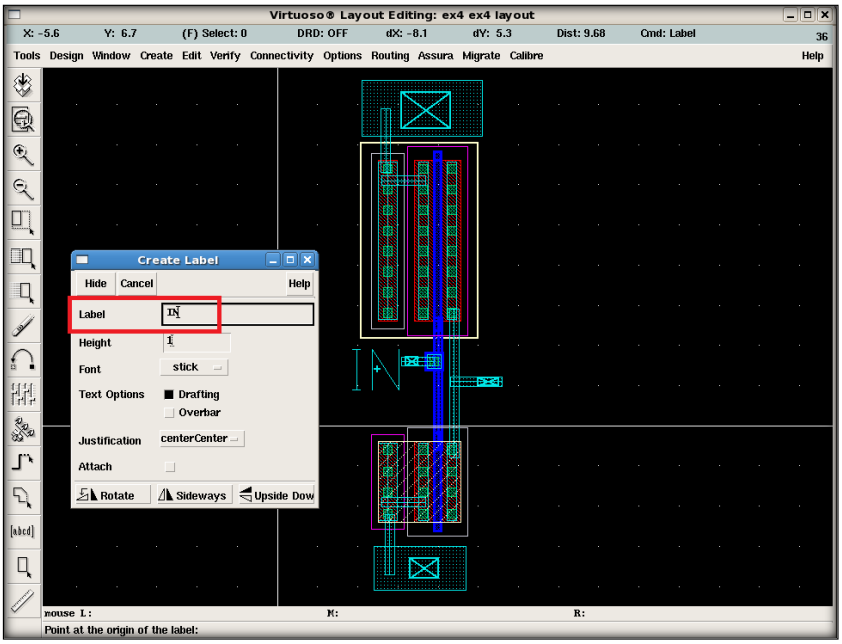
سپس در صفحه Virtuso در نقطه مورد نظر کلیک کرده و با یک کلیک دیگر پین مستطیلی شکل ایجاد خواهد شد.



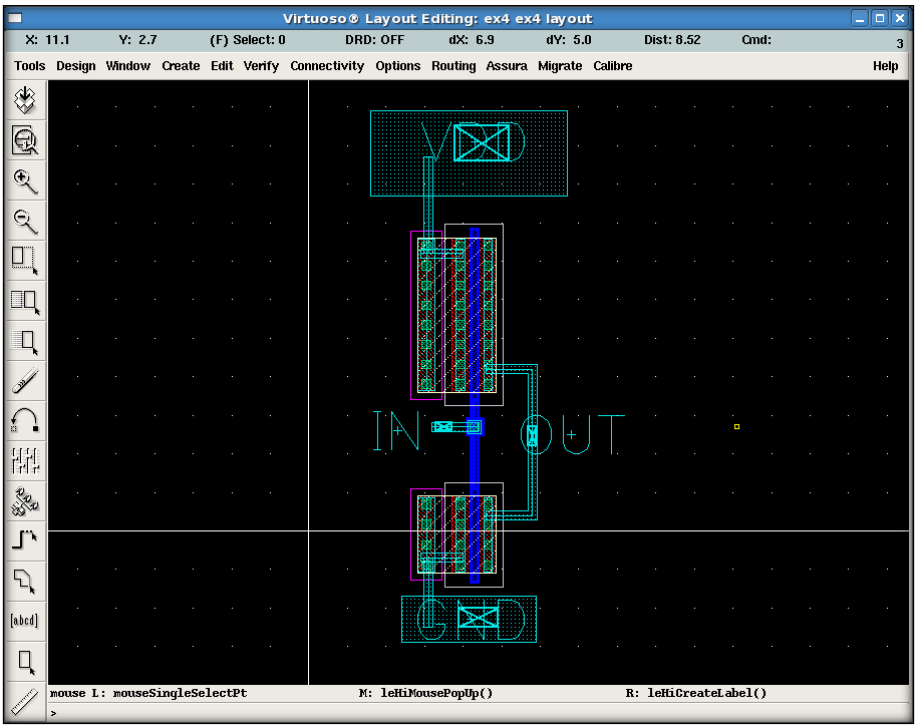
به همین ترتیب تمامی پین ها را ایجاد می کنیم.



برای ایجاد برچسب(Label) از منوی سمت چپ بر روی گزینه Label کلیک می کنیم. پنجره Create Label باز می شود، که در آن می توان متن برچسب را تعیین نمود. در قسمت Height نیز می توان اندازه برچسب را تغییر داد. دیگر پارامترهای لیبل نیز قابل تغییر می باشند.



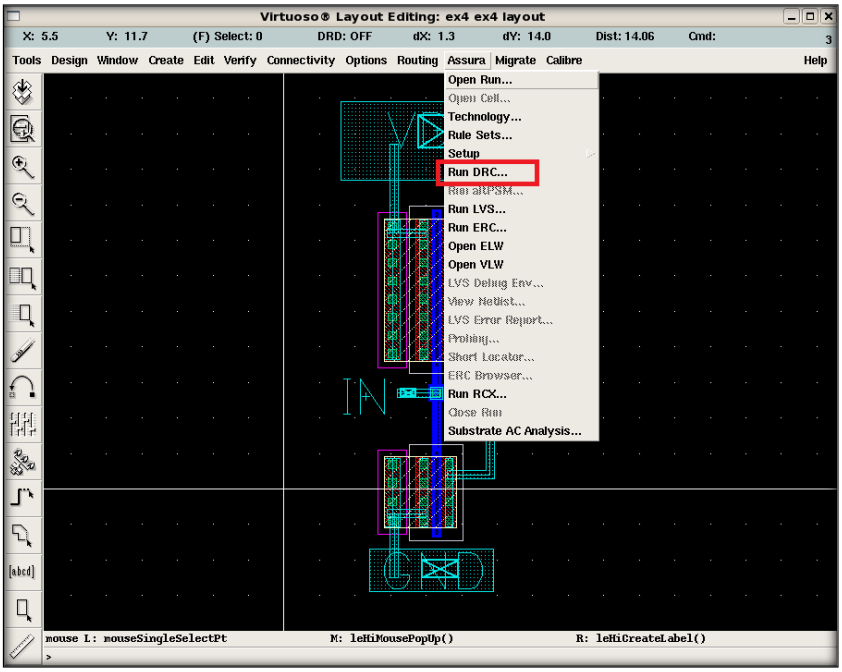
لی اوت نهایی مطابق شکل زیر به دست آمده است.



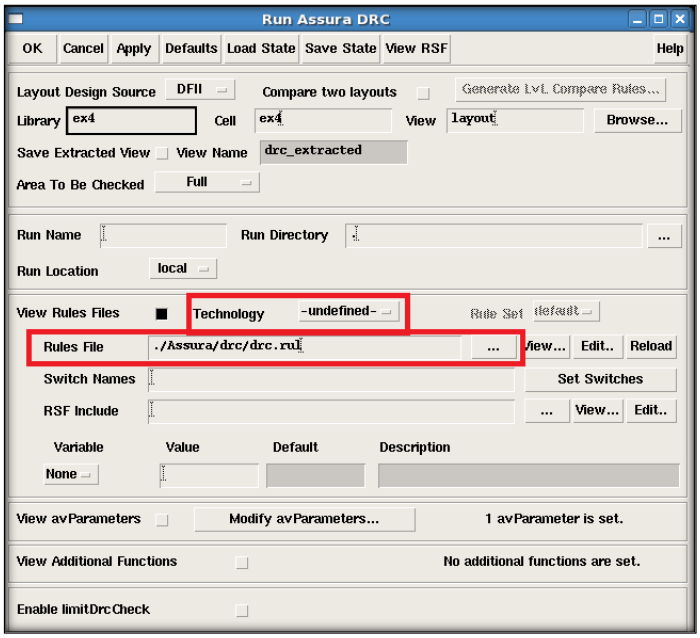
۳. اجرای DRC

حال نوبت به انجام تست های DRC و LVS برای حصول اطمینان از درستی لی اوت طراحی شده می باشد. DRC که مخفف Design Rule Check می باشد، قوانین طراحی را که توسط شرکت سازنده تعیین شده اند، چک می کند. LVS نیز که مخفف Layout vs. Schematic می باشد، تطابق لی اوت را با مدار شماتیک طراحی شده چک می نماید.

برای اجرای DRC از منوی Assura در پنجره Virtuso گزینه ...Run DRC را انتخاب می کنیم.

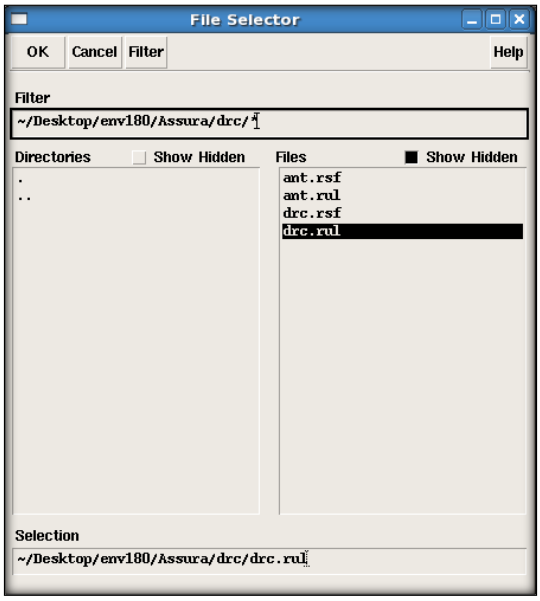


پنجره ای مطابق شکل زیر باز می شود.

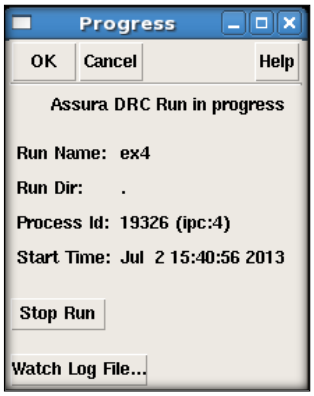


در این پنجره باید تکنولوژی را برابر assura_tech تنظیم نموده و مسیر Rules File را مطابق شکل زیر تعیین می نماییم.

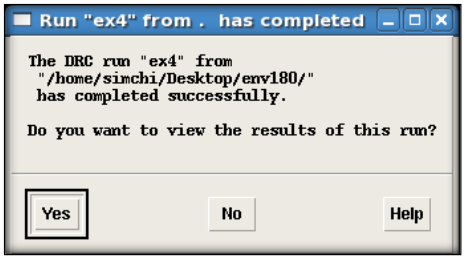
Rules File: ~/Desktop/env180/Assura/drc/drc.rul



پس از کلیک بر روی دکمه OK اجرای DRC شروع شده و پنجره زیر باز می شود. با کلیک بر روی دکمه Stop Run اجرای DRC متوقف می شود و با کلیک بر روی Watch Log File... می توان لاگ DRC را مشاهده نمود.



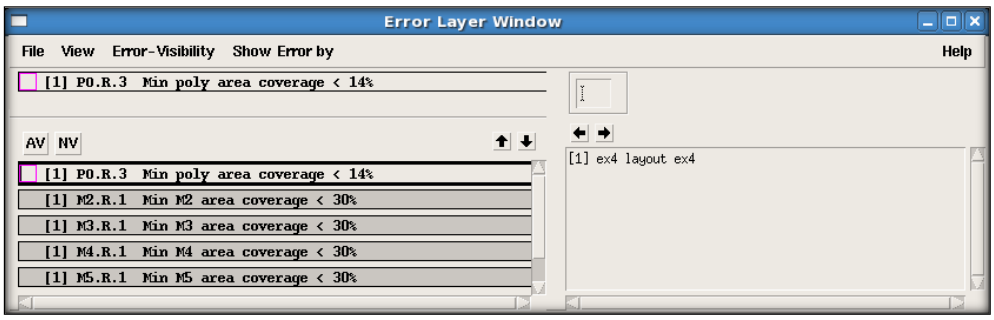
پس از اتمام کار پنجره زیر باز می شود. گزینه Yes را انتخاب می کنیم.



در پنجره ای که باز می شود خطاهای طراحی نشان داده می شوند. با کلیک راست کردن بر هر خطا و انتخاب رنگ مورد نظر خطای انتخاب شده در صفحه Virtuso نمایش داده می شود.

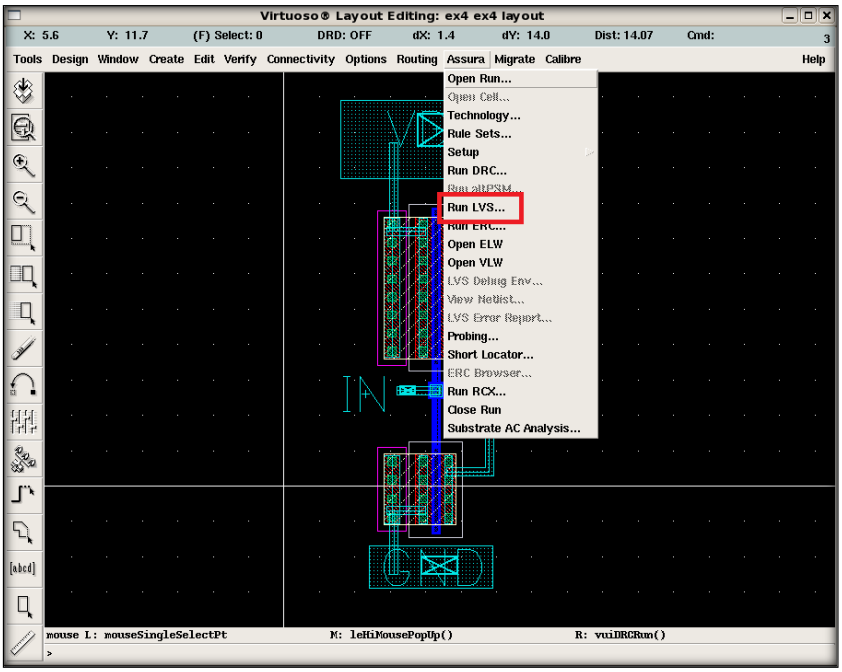
خطاهایی که در شکل زیر مشاهده می شوند مربوط به چگالی لایه ها می باشند. اگر چگالی لایه ها از حدی پایین تر باشند ممکن است، آی سی ساخته شده بر اثر اثر اعمال نیرو و فشار خارجی شکسته شود. به همین دلیل برای مرتفع نمودن این اشکال در هر لایه فضاهایی تحت عنوان dummy در طراحی لحاظ می شوند.

در صورتی که لی اوت شما قرار نیست ساخته شود احتیاجی به چک نمودن چگالی لایه ها نیست. به همین دلیل می توان تنظیمات را به گونه ای تغییر داد تا قوانین چگالی لایه ها چک نشوند و یا در صورت بروز خطاهای چگالی آن ها را مد نظر نگرفت.

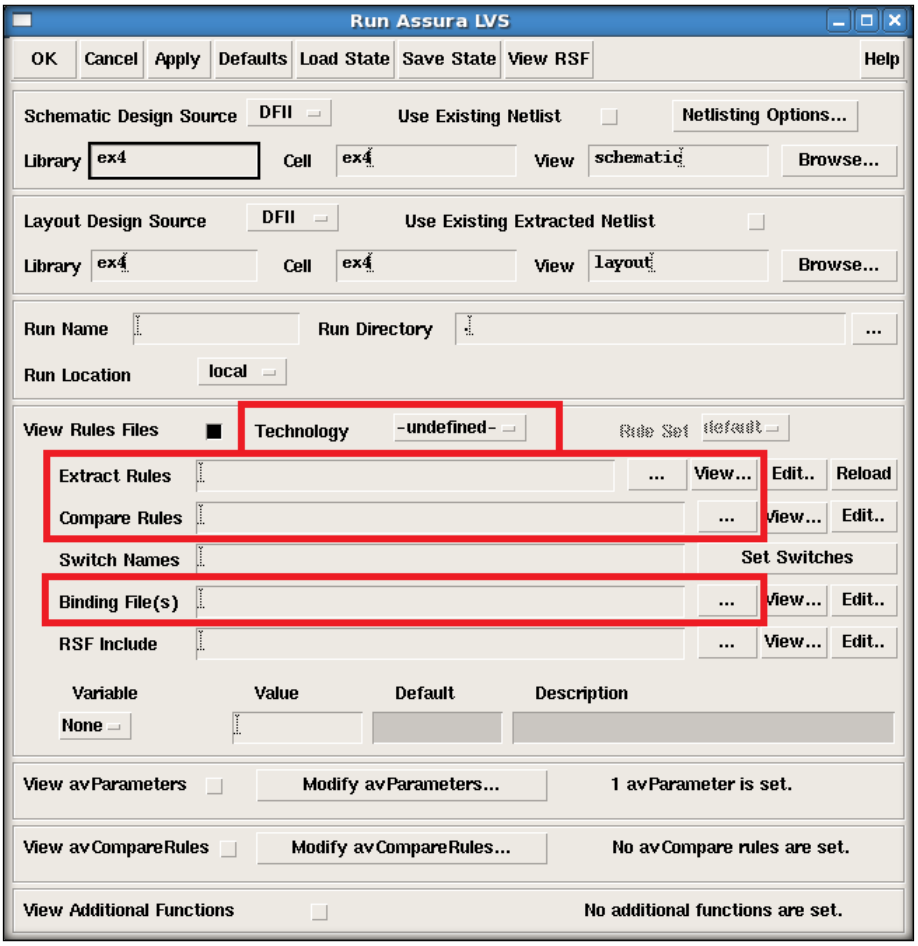


۴. اجرای LVS

برای اجرای LVS از منوی Assura در پنجره Virtuso گزینه Run LVS... را انتخاب می کنیم.

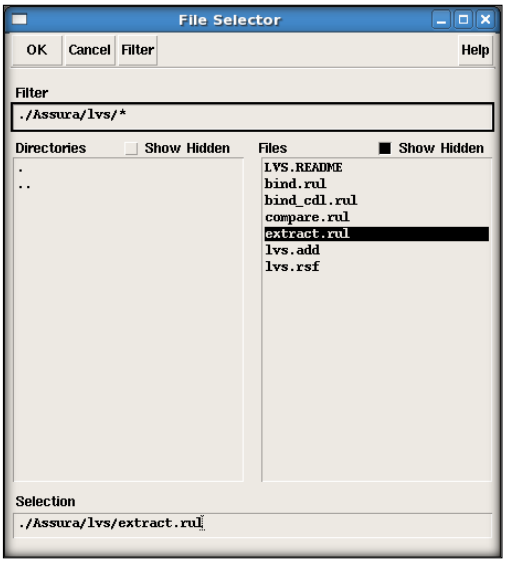


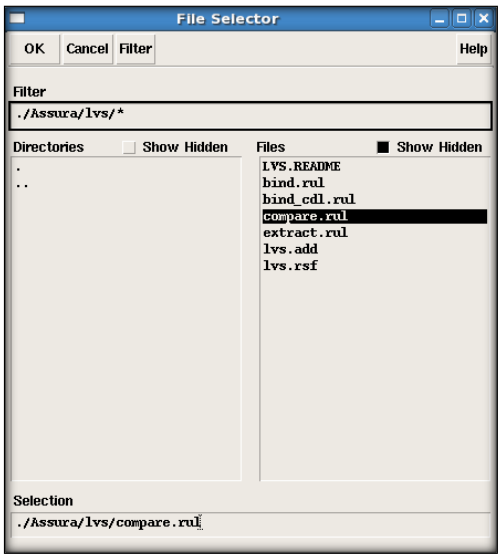
پنجره ای مطابق شکل زیر باز می شود.

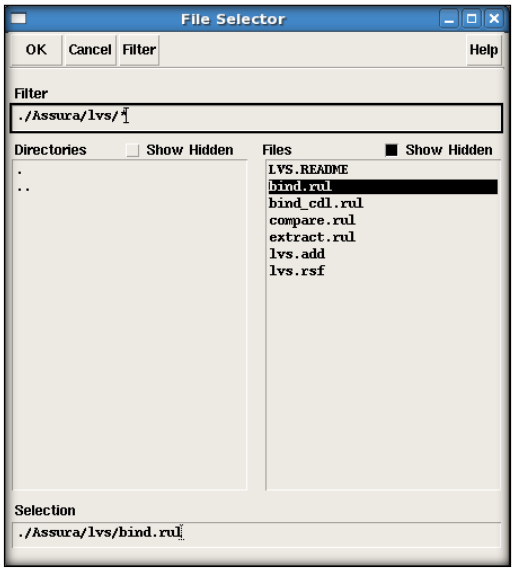


در این پنجره باید تکنولوژی را برابر با assura_tech تعیین نمود و سپس مطابق شکل های زیر مسیر Rule File های مشخص شده در شکل بالا را تنظیم کرد.

Extract Rules: ./Assura/lvs/extract.rul
Compare Rules: ./Assura/lvs/compare.rul
Binding File(s): ./Assura/lvs/bind.rul

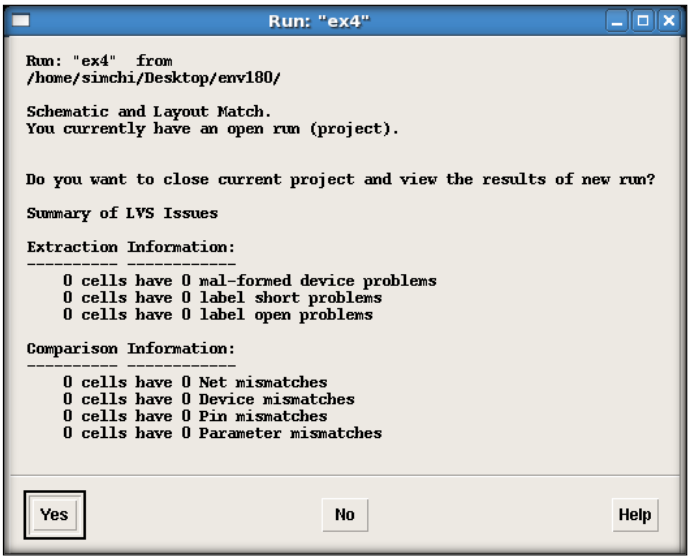

File Selector
OK
Cancel
Filter
Help
Filter
./Assura/lvs/*
Directories
Show Hidden
Files
Show Hidden
.
..
LVS.README
bind.rul
bind_cdl.rul
compare.rul
extract.rul
lvs.add
lvs.rsf
Selection
./Assura/lvs/extract.rul


File Selector
OK
Cancel
Filter
Help
Filter
./Assura/lvs/*
Directories
Show Hidden
Files
Show Hidden
.
..
LVS.README
bind.rul
bind_cdl.rul
compare.rul
extract.rul
lvs.add
lvs.rsf
Selection
./Assura/lvs/compare.rul



پس از انجام این تنظیمات بر روی دکمه OK کلیک می کنیم. LVS اجرا شده و پنجره زیر باز می شود.

پس از اتمام تست پنجره زیر باز خواهد شد. گزینه Yes را انتخاب می کنیم.



در نهایت پنجره زیر گشوده می شود. در صورتی که طراحی درست انجام شده باشد، پیغام *** Schematic and Layout Match ظاهر می شود. در غیر این صورت باید با انجام تغییرات لازم خطاهای موجود را از بین برد.