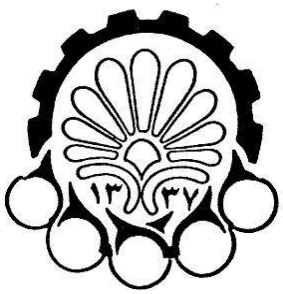


Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

MSc Thesis

Sigma-Delta A/D Converters with VCO Quantization

By:
Zohre Hajipour

Under Supervision of:
Dr. Mohammad Yavari

September 2015

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

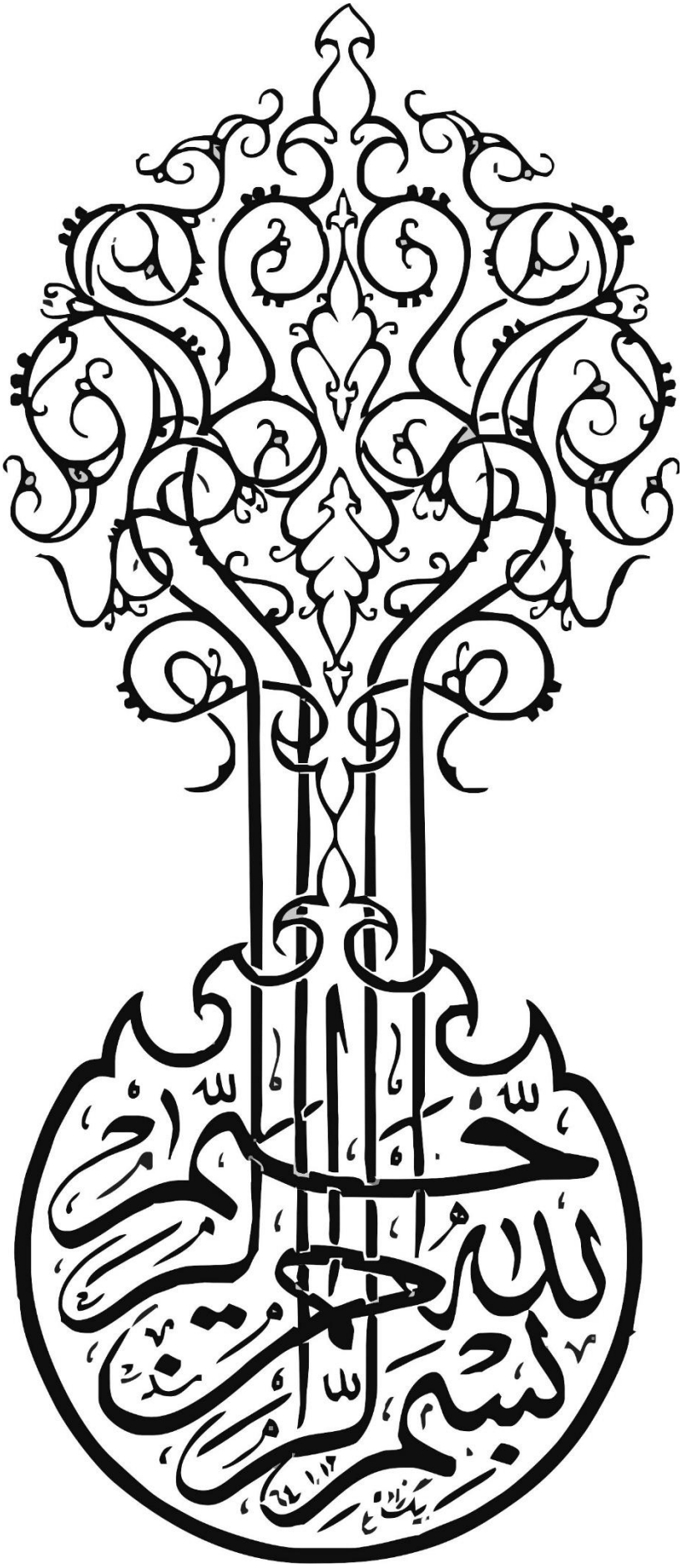
پایان‌نامه کارشناسی ارشد
(گرایش الکترونیک)

مبدل‌های آنالوگ به دیجیتال سیگما-دلتا با کوانتیزاسیون VCO

نگارش:
زهره حاجی‌پورزاده

استاد راهنما:
دکتر محمد یاوری

شهریور ۱۳۹۴


بسم الله الرحمن الرحيم

سپاس و گرامیداشت

به نام آفریدگار قلم

سپاس و ستایش از آن خداوندی است که بنده کوچکش را در دریای بیکران اندیشه، قطره‌ای ساخت تا گستره آن را از دریچه اندیشه‌های ناب آموزگارانی بزرگ به تماشا نشیند.

از استاد گران‌قدرم جناب آقای دکتر محمد یاوری که زحمت راهنمایی این پایان‌نامه را به عهده داشته‌اند و در تمامی مراحل صبورانه مرا پشتیبانی نموده‌اند، کمال تشکر و قدردانی را دارم. همچنین از دوستان خوبم در آزمایشگاه مدارهای مجتمع دانشگاه صنعتی امیرکبیر، آقای محسن تمدن و خانم زینب حجتی که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام سپاس‌گزارم و کامیابی روزافزونشان را از خداوند والا خواستارم.

رسیدن به این جایگاه جز با همدلی تک‌تک اعضای خانواده‌ام امکان‌پذیر نبود، همواره قدردان و شکرگزار وجودشان هستم.

همچنین از استادان گران‌قدر آقایان دکتر کمره‌ای و دکتر عبدی‌پور که زحمت داوری این پایان‌نامه را کشیده‌اند، سپاس‌گزاری می‌نمایم.

در پایان از کمیته نانو به خاطر پشتیبانی مالی این پژوهش سپاس‌گزارم.

اینجانب زهره حاجی‌پورزاده متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

زهره حاجی‌پورزاده

امضا

چکیده

امروزه کاربردهای مخابرات بی‌سیم نیازمند مبدل‌های آنالوگ به دیجیتال با توانایی پردازش سیگنال‌های پهن باند و گستره‌ی دینامیکی بالا هستند. هر چند پیشرفت تکنولوژی، کوچک‌شدن ابعاد فنّاوری و کاهش ولتاژ منبع تغذیه منجر به کاهش هزینه و توان مصرفی، افزایش مجتمع‌سازی و سرعت در مدارات دیجیتال می‌شود، ولی این کاهش ابعاد و بهره ذاتی ترانزیستورها طراحی مدارهای آنالوگ با محدوده دینامیکی و خطینگی بالا را دشوار می‌سازد.

در سال‌های اخیر به‌علت افزایش سرعت ترانزیستورها علاقه‌ی روزافزونی جهت استفاده از مدارات مبتنی بر زمان، مدارات دیجیتال و یا شبه آنالوگ به‌وجود آمده است. مبدل مبتنی بر VCO از جمله مبدل‌های مبتنی بر زمان است که از خاصیت تطبیق با مقیاس‌بندی CMOS دیجیتال، ویژگی شکل‌دهی نویز مرتبه اول بدون اثرات متداول اشباع‌شدن در تقویت‌کننده‌های عملیاتی مبتنی بر انتگرال‌گیرها، کاهش توان مصرفی و مساحت برخوردار است. اما آثار غیرخطی کوانتایزر VCO بازه‌ی دینامیکی سراسری مبدل آنالوگ به دیجیتال را محدود می‌سازند.

در این پایان‌نامه طراحی مبدل‌های سیگما-دلتا مبتنی بر VCO برای کاربردهای باند وسیع مورد بررسی قرارگرفته است و به ارتقای دو وجه اصلی خطی‌سازی و تطبیق در مدولاتورهای سیگما-دلتا در کاربردهای نوین می‌پردازد. دو معماری جدید برای مبدل آنالوگ به دیجیتال سیگما-دلتا MASH ارائه شده است که هر دو از یک مبدل آنالوگ به دیجیتال برمبنای VCO چند فاز در طبقه‌ی دوم خود بهره می‌برند. مدارها به‌صورت MASH چند نرخی طراحی شده‌اند تا طراحی تقویت کننده‌های طبقه‌ی اول راحت‌تر شود. از طرفی با افزایش فرکانس طبقه‌ی دوم، دقت VCO افزایش می‌یابد و طبقه‌ی دوم اثر بیش‌تری بر افزایش دقت کل مدولاتور خواهد داشت. از آنجا که ورودی طبقه دوم نویز کوانتایزر طبقه اول است، ورودی VCO دارای دامنه‌ی کوچک و مستقل از سیگنال ورودی است. این امر سبب کاهش اثرات غیرخطی VCO می‌شود.

مدولاتور موردنظر در فنّاوری TSMC ۹۰ نانومتر CMOS پیاده‌سازی شده و از نرم‌افزارهای Cadence و MATLAB-Simulink برای شبیه‌سازی آن استفاده شده است. SNDR مدولاتور پیشنهادی ۸۰/۷ دسی‌بل، نرخ نایکوئیست خروجی ۲۰ مگاهرتز، توان مصرفی آن ۱۷/۸ میلی وات با ولتاژ تغذیه ۱ ولت است.

واژه‌های کلیدی: مبدل آنالوگ به دیجیتال سیگما-دلتا بر پایه VCO، کوانتایزر VCO، مدولاتور چندطبقه، روش‌های جایگزین کوانتایزر فلش، تکنولوژی‌های نانومتر CMOS.

فهرست مطالب

عنوان **صفحه**

فهرست شکل‌ها ..... د

فهرست جدول‌ها ..... ح

۱- فصل اول مقدمه ۲

۱-۱- انگیزه ۲

۱-۲- ساختار پایان‌نامه ۳

۲- فصل دوم مبدلهای آنالوگ به دیجیتال سیگما-دلتا ۵

۲-۱- اساس کار مبدل‌های آنالوگ به دیجیتال ۶

۲-۱-۱- نمونه‌برداری ۶

۲-۱-۲- کوانتیزاسیون ۷

۲-۲- پارامترهای سنجش کارکرد یک مبدل ۸

۲-۳- مبدل‌های سیگما-دلتا ۹

۲-۴- مقایسه مدولاتور سیگما-دلتا گسسته در زمان و پیوسته در زمان ۱۲

۲-۵- انواع مدولاتورهای سیگما-دلتا ۱۳

۲-۵-۱- مدولاتور سیگما-دلتای تک حلقه ۱۳

۲-۵-۲- مدولاتور سیگما-دلتای چند MASH ۱۳

۲-۵-۳- مدولاتورهای چندنرخی ۱۵

۲-۶- چالش مدولاتورهای سیگما-دلتا با کاهش مقیاس تکنولوژی ۱۷

۲-۷- مبدل‌های بر پایه VCO و برتری آن‌ها نسبت به مدارات متداول ۱۹

۲-۷-۱- پیشینه ی مبدل سیگما-دلتا بر پایه VCO ۲۰

۲-۷-۲- چالش های غیرخطی بودن در مدولاتورهای سیگما-دلتا مبتنی بر VCO ۲۴

۲-۷-۳- روش های خطی سازی در مبدل مبتنی بر VCO ۲۴

۳- فصل سوم: طراحی سیستمی ساختارهای پیشنهادی ۲۸

۳-۱- ساختار مدولاتور ۱-۲ MASH چندنرخی پیشنهادی ۲۸

۳-۱- ساختار مدولاتور ۱-۳ MASH چندنرخی پیشنهادی ۳۴

۳-۲- مقایسه و مزایای ساختارهای پیشنهادی نسبت به کارهای پیشین: ۳۶

۳-۳- شبیه سازی خروجی مدولاتور ۱-۳MASH پیشنهادی ۳۸

۳-۴- شبیهسازی خروجی مدولاتور ۱-۲ MASH چندنرخی پیشنهادی ۴۰

۳-۵- اثرات غیرایده آل مدارهای تشکیل‌دهنده مدولاتور ۴۲
۳-۵-۱- اثر محدود و غیرخطی بودن بهره تقویت‌کننده ۴۲
۳-۵-۲- سوئینگ خروجی محدود تقویت کننده ها ۴۳
۳-۵-۱- نویز ۴۴
۳-۵-۱- اثرات غیرخطی مدار VBQ ۴۷

۴- فصل چهارم: طراحی مداری ساختارهای پیشنهادی ۵۱

۴-۱- مدار طبقه اول ۵۱
۴-۱-۱- مدار سوئیچ شونده خازنی طبقه اول مدولاتور ۵۱
۴-۱-۲- سوئیچ ها ۵۲
۴-۱-۳- انتگرال گیرها ۵۳
۴-۱-۴- اثرات کاهش مقیاس در مدارات آنالوگ ۵۴
۴-۱-۵- کاهش ابعاد سوئیچها ۵۴
۴-۱-۶- کاهش ولتاژ تغذیه مدار ۵۴
۴-۱-۷- کاهش بهره ذاتی ۵۴
۴-۱-۸- نویز حرارتی تقویت‌کننده ۵۴
۴-۱-۹- تقویت کننده ها ۵۹
۴-۱-۱۰- کوانتایزر ۶۲
۴-۲- مدار طبقه دوم ۶۷

۵- فصل پنجم: نتایج شبیه سازی،نتیجه گیری و پیشنهادات ۷۲

۵-۱- شبیه‌سازی کلی ۷۲
۵-۲- مقایسه‌ی عملکرد مبدل شبیه‌سازی شده با چند مبدل ۷۷
۵-۳- نتیجه‌گیری ۷۸

۶- مراجع ۸۰

فهرست شکل‌ها

عنوان **صفحه**

شکل (۲-۱): ساختار یک دستگاه الکترونیک با پردازش دیجیتال. ۵
شکل (۲-۲): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال. ۶
شکل (۲-۳): مقایسه‌ی باند گذر برای دو مبدل الف) نرخ نایکوئیست و ب) بیش‌نمونه‌بردار. ۷
شکل (۲-۴): الف) منحنی انتقالی کوانتایزر n بیتی. ب) خطای کوانتیزاسیون کوانتایزر n بیتی. ۸
شکل (۲-۵): نمودار دقت به پهنای باند در انواع مبدل های آنالوگ به دیجیتال [۳]. ۱۰
شکل (۲-۶): بلوک دیاگرام یک مدولاتور سیگما-دلتا. ۱۰
شکل (۲-۷): مقایسه توان نویز کوانتیزاسیون در خروجی مبدل نرخ نایکوئیست، بیش‌نمونه‌بردار و سیگما-دلتا. ۱۲
شکل (۲-۸): بلوک دیاگرام یک مدولاتور سیگما-دلتایMASH. ۱۴
شکل (۲-۹): ساختار مدولاتور MASH با کاهش حساسیت به اثرات غیر ایده آل مداری. ۱۵
شکل (۲-۱۰): دیاگرام مدولاتور تک حلقه چندنرخی متداول [۱۴]. ۱۶
شکل (۲-۱۱): دیاگرام مدولاتور MASH چندنرخی [۱۴]. ۱۶
شکل (۲-۱۲): مقایسه اثر کاهش ولتاژتغذیه بر حوزهی ولتاژ و حوزهی زمان. ۱۸
شکل (۲-۱۳): بلوک دیاگرام کلی مدولاتور سیگما-دلتا با الف) کوانتایزر فلش(ولتاژی) ب) کوانتایزر دیجیتال (زمانی). ۱۹
شکل (۲-۱۴): با تغییر ولتاژ ورودی نوسانگر کنترل شونده با ولتاژ(VCO) فرکانس خروجی آن تغییر میکند. ۱۹
شکل (۲-۱۵): مقایسه اثر کاهش مقیاس و ولتاژ تغذیه در کوانتایزر فلش و کوانتایزر VCO [۲۵]. . ۲۰
شکل (۲-۱۶): عملکرد اولین کوانتایزر بر پایه VCO [۲۶]. ۲۰
شکل (۲-۱۷): نویز کوانتایزر VCO ناشی از بازنشانی شمارنده[۲۶]. ۲۱
شکل (۲-۱۸): افزایش دقت کوانتایزر ناشی از افزایش فاز با استفاده از VCO چند طبقه [۲۷]. ۲۲
شکل (۲-۱۹): بلوک دیاگرام، ساختار مداری و مدل ریاضی کوانتایزر مبتنی بر VCO [۲۸]. ۲۲
شکل (۲-۲۰): گین تبدیل ولتاژ به فرکانس در VCO. ۲۴
شکل (۲-۲۱): استفاده از VBQ در ساختار فیدبک منفی جهت افزایش خطینگی مبدل. ۲۴
شکل (۲-۲۲): مقایسه ورودی و خروجی VBQ در ساختارحلقه باز و ساختار فیدبک منفی [۲۹]. ۲۵

شکل (۲-۲۳): خطی سازی VCO به روش کالیبراسیون دیجیتال. ۲۶
شکل (۲-۲۴): خطی سازی VCO به روش (PWM) دو سطحی کردن ورودی VCO. ۲۶
شکل (۲-۲۵): خطی سازی VCO به روش حذف سیگنال باقی مانده. ۲۷
شکل (۳-۱): ساختار مورد استفاده در مدولاتور پیشنهادی. ۲۹
شکل (۳-۲): بلوک دیاگرام ساختار مدولاتور ۱-۲ MASH چندنرخی پیشنهادی. ۳۰
شکل (۳-۳): بلوک دیاگرام کلی VBQو نمودار تغییر خروجی آن بر حسب تغییر فاز. ۳۲
شکل (۳-۴): ساختار مدولاتور MASH با کاهش حساسیت به اثرات غیرایده آل مداری [۱۲]. ۳۵
شکل (۳-۵): بلوک دیاگرام مدولاتور۱-MASH۳ چندنرخی پیشنهادی. ۳۶
شکل (۳-۶): طیف خروجی نرمالیزه شده مدولاتور۱-MASH۳ ایده آل شبیه‌سازی‌شده. ۳۸
شکل(۳-۷): SNDR خروجی مدولاتورایدهآل۱-MASH۳ برحسب توان ورودی آن. ۳۸
شکل (۳-۸):خروجی لاجیک زمانی VBQ تکفاز. ۳۹
شکل (۳-۹):خروجی لاجیک زمانی VBQ ۱۵فاز. ۳۹
شکل (۳-۱۰): مقایسه خروجی فرکانسی VBQ تکفاز و ۱۵فاز. ۴۰
شکل (۳-۱۱): طیف خروجی نرمالیزهشده مدولاتور ۱-۲ MASH ایدهآل شبیه‌سازیشده. ۴۰
شکل(۳-۱۲): SNDR خروجی مدولاتور۱-MASH۲ برحسب توان ورودی. ۴۱
شکل(۳-۱۳): ساختار شبه تفاضلی ADC مبتنی بر VCO برای کاهش غیرخطینگی مدولاتور. ۴۱
شکل(۳-۱۴): مقایسه طیف فرکانسی خروجی Ring VCO و مدار شبه تفاضلی Ring Vco. ۴۲
شکل(۳-۱۵): انتگرالگیر سوییچ خازنی با بهره *dc* محدود. ۴۲
شکل(۳-۱۶): بهره انتگرالگیر اول در مدولاتور ۱-۲ MASH پیشنهادی. ۴۳
شکل (۳-۱۷): نمودار هیستوگرام خروجی طبقات مختلف ۱-MASH۳ پیشنهادی. ۴۴
شکل (۳-۱۸): نمودار هیستوگرام خروجی طبقات مختلف ۱-MASH۲ پیشنهادی. ۴۴
شکل (۳-۱۹): الف) مدار سوئیچ خازنی. ب) مدار معادل سوئیچm خازنی در حالت روشن بودن سوئیچ. ۴۵
شکل (۳-۲۰): الف) مدار انتگرالگیر سوئیچ شونده خازنی با بهره DC محدود ب) فاز نمونه‌برداری ج) فاز انتگرالگیری. ۴۵
شکل (۳-۲۱): انتگرالگیر سوئیچ شونده خازنی با مدل کردن نویز تقویت کننده الف) فاز نمونه‌برداری ب) فاز انتگرالگیری. ۴۶
شکل ۳-۲۲: فاکتور ضریب گین فرکانس VCOبر حسب ولتاژ. ۴۷
شکل(۳-۲۳): اثرات غیر خطی بهره VCO(K_{VCO}) در فیلتر دیجیتال (STF_2). ۴۷

شکل(۳-۲۴): شبیه سازی مدار با در نظر گرفتن اثرات غیر ایده آلی VCO. ۵۰
شکل (۴-۱): پیاده سازی مدار سوئیچ شونده خازنی طبقه اول مدولاتور۱-MASH۳ ۵۲
شکل ۴-۲ پیاده‌سازی مدار سوئیچ شونده خازنی طبقه اول مدولاتور ۱-MASH۲ ۵۲
شکل (۴-۳): تقویت کنندهی مورد استفاده در انتگرال گیرهای اول تا سوم. ۶۰
شکل (۴-۴): مدار سوئیچ خازنی تنظیم مد مشترک خروجی. ۶۱
شکل (۴-۵): مدار بایاس تقویتکننده ها. ۶۱
شکل (۴-۶): یک نمونه مدار جمع کننده ی غیرفعال سوئیچ خازنی. ۶۳
شکل (۴-۷): مدار جمع کننده غیرفعال طبقه اول ۱-MASH۳ به همراه کوانتایزر آن. ۶۳
شکل (۴-۸): مدار جمع‌کننده غیرفعال طبقه اول ۱-MASH۲ به همراه کوانتایزر. ۶۴
شکل (۴-۹): مدار پیش تقویت کنندهی دو طبقه استفاده شده در ساختار کوانتایزر الف) طبقه اول ب) طبقه دوم. ۶۵
شکل (۴-۱۰): مدار لچ مورد استفاده در کوانتایزر طبقه ی اول. ۶۶
شکل (۴-۱۱): الف) مدار وارونگر ب) نردبان مقاومتی. ۶۷
شکل (۴-۱۲):بلوک افزاینده نمونه برداری بین طبقات سویچ بین طبقات در الف:MASH چند نرخی متداول. ب:MASH چند نرخی پیشنهادی ۶۸
شکل (۴-۱۳): مدار دیجیتال طبقه دوم (VBQ). ۶۹
شکل (۴-۱۴): شماتیک وارانگر تکسر ring vco (RVCO). ۷۰
شکل (۴-۱۵): دیاگرام کوانتایزر VCO تک فاز ۷۰
شکل (۴-۱۶): دیاگرام کوانتایزر VCO ۱۵ فاز ۷۰
شکل (۴-۱۷): مدار TSPC DFF ۷۱
شکل (۵-۱): خروجی فرکانسی مدار سوئیچ خازنی طبقه اول ۱-۳ MASH . ۷۲
شکل (۵-۲): تغییرات ضریب گین فرکانسی VCO بر واحد ولتاژ کنترل ورودی ۷۳
شکل (۵-۳):خروجی لاجیک VBQ تک فاز در واحد زمان ۷۴
شکل (۵-۴): خروجی فرکانسی VBQ تک فاز. ۷۴
شکل (۵-۵): خروجی لاجیک VBQ ۱۵ فاز در واحد زمان ۷۵
شکل (۵-۶): خروجی فرکانسی VBQ ۱۵ فاز. ۷۵
شکل (۵-۷): مقایسه خروجی فرکانسی Ring VBQ تک فاز و شبه تفاضلی ۷۶
شکل(۵-۸): مقایسه خروجی نهایی ۱-MASH۳ در گوشه تکنولوژی TT ۷۷

فهرست جدول‌ها

عنوان **صفحه**

جدول (۳-۱): بهره موردنیاز تقویت‌کننده‌های اول و دوم در مدولاتور ۱-۲ MASH پیشنهادی. ۴۳
جدول (۳-۲): بهره موردنیاز تقویت‌کننده‌های اول تا سوم در مدولاتور ۱-۳ MASH پیشنهادی. ۴۳
جدول (۴-۱): ابعاد بکاررفته در ترانزیستورهای تقویت کنندهی اول ۱-۲ MASH ۵۹
جدول (۴-۲): ابعاد بکاررفته در ترانزیستورهای تقویت کنندهی اول ۱-۳ MASH ۶۰
جدول (۴-۳): ابعاد بکاررفته در ترانزیستورهای تقویت کنندهی دوم ۱-۳ MASH ۶۰
جدول (۴-۴): ابعاد بکاررفته در ترانزیستورهای تقویت کنندهی سوم ۱-۳ MASH ۶۰
جدول (۴-۵): ابعاد ترانزیستورهای مدار بایاس تقویت کننده اول ۱-۳ MASH ۶۲
جدول (۴-۶): ابعاد ترانزیستورهای مدار بایاس تقویت کننده اول ۱-۲ MASH ۶۲
جدول (۴-۷): ابعاد ترانزیستورهای مدار پیش تقویت کننده ۶۵
جدول (۴-۸): ابعاد ترانزیستورهای لچ. ۶۶
جدول (۵-۱): مشخصات شبیهسازی مدار ۷۳
جدول (۵-۲): نتایج شبیهسازی مدولاتور طبقهی دوم شبه تفاضلی ۱۵ فاز بصورت مستقل ۷۶
جدول (۵-۳): خلاصه نتایج شبیهسازی مدولاتور. ۷۸
جدول (۵-۴): مقایسه مدولاتورهای مختلف با ساختار پیشنهادی ۷۹

فهرست علائم

ADC	Analog to Digital Converter
CMFB	Common Mode FeedBack
CDS	Correlated Double Sampling
DNL	Differential Non-Linearity
DAC	Digital to Analog Converter
DR	Dynamic Range
ENOB	Effective Number of Bits
FIR	Finite Impulse Response
GBW	Gain-Bandwidth product
INL	Integral Non-Linearity
LMS	Least Mean Square
LSB	Least Significant Bit
LFSR	Linear Feedback Shift Register
MSB	Most Significant Bit
MASH	MultistAge noise SHaping
NTF	Noise Transfer Function
OSR	Over Sampling Ratio
PVT	Process,Voltage,and Temperature
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SQNR	Signal to Quantization Noise Ratio
STF	Signal Transfer Function
SFDR	Spurious Free Dynamic Range
ΣΔ	Sigma-Delta
FOM	Figure Of Merit
VCO	Voltage Controlled Oscillator
DFF	D-Flip Flop
SC	Switched Capacitor
TDC	Time to Digital Converter

مراجع

[1] F. Maloberti, *Data converters*, Springer, 2007.

[2] D. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997.

[3] B. Murmann, "ADC Performance Survey 1997-2015," *http://web.stanford.edu/~murmann/adcsurvey.html*.

[4] J. Rosa, "Sigma- delta modulators: tutorial overview, design guide, and state-of-the-art survey," *IEEE Trans. Circuits Syst., I, Reg. Papers*, vol. 58, no.1, pp. 1-21, Jan. 2011.

[5] K. Vleugels, S. Rabii and B.A. Wooley, "A 2.5V Sigma Delta modulator for broadband communications applications," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1887-1899, Dec. 2001.

[6] R. Jiang and T.S. Fiez, "A 14bit delta sigma ADC with 8×OSR and 4-MHz conversion bandwidth in a 0.18μm CMOS process," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 63-74, Jan. 2004.

[7] I. Fujimori et al., "A 90-dB SNR 2.5MHz output-rate ADC using cascaded multibit deltasigma modulation at 8× oversampling," IEEE J. Solid-State Circuits, vol. 35, no. 12, pp.1820-1828, Dec. 2000.

[8] H. Pakniat and M. Yavari and R. Lotfi, "A digital background correction technique combined with DWA for DAC mismatch errors in multibit ΔΣ ADCs," in *International Symposium on Circuits and Systems (ISCAS)*, pp. 293-296, 2010.

[9] H. Pakniat, *Compensation and correction of DAC errors in Sigma Delta Modulators in low OSR in nano-meter CMOS technologies*, M.Sc. dissertation, Amirkabir University of Technology, 2010.

[10] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*, IEEE Press, Wiley, 2005.

[11] R. M. Tsang, *High-Performance sigma-delta Analog-to-Digital Conversion*, Ph.D. dissertation, The University of Texas at Austin, 2008

[12] M. Yavari, "MASH sigma delta modulators with reduced sensitivity to circuit non-idealities," *Int. Symp. Circuits and Systems (ISCAS)*, pp. 3126-3129, May. 2009.

[13] R. del Río, F. Medeiro, et al, *CMOS Cascade Sigma-Delta Modulators for Sensors and Telecom*. Dordrecht: Springer Netherlands, 2006.

[14] F. Colodro, A. Torralba, et al, "New class of multibit sigma-delta modulators using multirate architecture," *Electronics Letters*, vol. 36, no. 9, pp. 783–785, Apr. 2000.

[15] F. Colodro and A. Torralba, "Multirate Sigma-Delta modulators," *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 49, no. 3, pp. 170–176, Mar. 2002.

[16] J. G. Garcia-Sanchez and J. M. de la Rosa, "Multirate Downsampling Hybrid CT/DT Cascade Sigma-Delta Modulators," *IEEE Trans. Circuits Syst., I,: Reg Papers*, vol. 59, no. 2, pp. 285–294, Feb. 2012.

[17] L. Bos, G. Vandersteen, et al, "Multirate Cascaded Discrete-Time Low-Pass ΔΣ Modulator for GSM/Bluetooth/UMTS," *IEEE J.Solid-State Circuits*, vol. 45, no. 6, pp. 1198– 1208, Jun. 2010.

[18] S. Zaliasl,et al, "A 12.5-bit 4 MHz 13.8 mW MASH Modulator With Multirated VCO-Based ADC," *IEEE Trans. Circuits Syst., I,: Reg Papers*, vol. 59, , no. 8, pp. 1604-1613, Aug . 2012.

[19] M. Ortmanns, L. Samid, Y. Manoli, and F. Gerfers, "Multirate cascaded continuous time

Sigma-Delta modulators," in *Int Symp. Circuits and Systems (ISCAS)*, vol. 4, pp. 225-228, *2002*.

[20] M. H. Maghami and M. Yavari, "Multirate double-sampling hybrid CT/DT sigma-delta modulators for wideband applications," in *IEEE Int Sym on Circuits and Systems (ISCAS)*, pp. 2253–2256, 2009.

[21] G. Gielen, W. Dehaene, et al, "Analog and Digital Circuit Design in 65 Nm CMOS: End of the Road?," in *Proc. IEEE Conf. on Design, Automation and Test in Europe*, vol. 1, pp. 36–42, March 2005.

[22] B. Murmann and B. Boser, "Digitally Assisted Analog Integrated Circuits," *Queue*, vol. 2, no. 1, pp. 64–71, Mar. 2004.

[23] L. Hernandez and E. Prefasi, "Analog-to-Digital Conversion Using Noise Shaping and Time Encoding," *IEEE Trans. Circuits and Systems I: Reg. Papers*, vol. 55, no. 7, pp. 2026–2037, Aug. 2008.

[24] E. Prefasi, L. Hernandez, et al, "A 0.1 mm , Wide Bandwidth Continuous-Time ADC Based on a Time Encoding Quantizer in 0.13 m CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 10, pp. 2745–2754, Oct. 2009.

[25] Y. Ke, P. Gao, J. Craninckx, G. Van der Plas, and G. Gielen, "A 2.8-to-8.5mW GSM/bluetooth/UMTS/DVB-H/WLAN fully reconfigurable CT ΔΣ with 200kHz to 20MHz BW for 4G radios in 90nm digital CMOS," in *IEEE Symp. VLSI Circuits (VLSIC)*, pp. 153–154. June. 2010.

[26] A. Iwata, N. Sakimura, Makoto Nagata, and T. Morie, "The architecture of delta sigma analog-to-digital converters using a voltage-controlled oscillator as a multibit quantizer," *IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, no. 7, pp. 941–945, Jul. 1999.

[27] M. Z. Straayer, *Noise Shaping Techniques for Analog and Time to Digital Converters Using Voltage Controlled Oscillators*, Ph.D. dissertation, MIT, Cambridge, 2008.

[28] M. J. Park, *A 4th Order Continuous-Time ΔΣ ADC with VCO-Based Integrator and Quantizer*, Ph.D. dissertation, MIT, Cambridge, MA, Feb. 2009.

[29] M. Z. Straayer and M. H. Perrott, "A 12-bit, 10-MHz bandwidth, continuous- time ΔΣ ADC with a 5-bit, 950-MS/s VCO-based quantizer," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 805–814, Apr. 2008.

[30] G. Taylor and I. Galton, "A mostly-digital variable-rate continuous time ΔΣ modulator ADC," *IEEE J. Solid-State Circuits*, vol. 45, p. 2634–2646, 2010.

[31] E. Mensink, E. A. M. Klumperink, and B. Nauta, "Distortion cancellation by polyphase multipath circuits," *IEEE Trans. Circuits Syst. I*, vol. 52, pp. 1785–1794, Sept. 2005.

[32] Rao, Sachin, et al, "A 71 dB SFDR open loop VCO-based ADC using 2-level PWM modulation," *IEEE Symp. VLSI Circuits*, p. 270–271, 2011.

[33] S. Yan and E. Sanchez-Sinencio, "A Continuous-Time ΔΣ Modulator with 88-dB Dynamic Range and 1.1-MHz Signal Bandwidth," *IEEE J. Solid- State Circuits*, 39:75–86, January 2004.

[34] K. Reddy, S. Rao, R. Inti, B. Young, A. Elshazly, M. Talegaonkar, and P. Hanmolu, "A 16-mW 78-dB SNDR 10-MHz BW CT ΔΣ ADC Using Residue-Cancelling VCO-Based Quantizer," *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 2916–2927, Dec. 2012.

[35] J. Silva, U. Moon, J. Steensgaard and , and G. C. Temes "Wideband low-distortion delta-sigma ADC topology," *Electronics Letters*, vol. 37, no. 12, pp. 737-738, 2001.

[36] A. Gothenberg and H. Tenhunen, "Improved cascaded sigma-delta noise shaper architecture with reduced sensitivity to circuit nonlinearities," *Electronics Letters*, vol. 38, no. 14, pp. 683-685, Jul. 2002.

[37] S. Z. Asl, S. Saxena, P. K. Hanumolu, K. Mayaram, and T. S. Fiez, "A 77dB SNDR, 4MHz MASH ΔΣ modulator with a second-stage multi-rate VCO-based quantizer," in *IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4. 2011.

[38] J. Kim, T.-K. Jang, Y.-G. Yoon, and S. Cho, "Analysis and Design of Voltage Controlled Oscillator Based Analog-to-Digital Converter," *IEEE Trans. on Circuits and Systems I: Reg.*

Papers, vol. 57, no. 1, pp. 18–30, Jan. 2010.

[39] A. Hamoui and K. Martin, "High-order multibit modulators and pseudo data-weighted-averaging in low oversampling ΔΣ ADCs for broadband applications*," IEEE Trans.Circuits Syst., I,Regular Papers*, vol. 51, no.1, pp. 72-85, Jan. 2004.

[40] S. Brigati et al, "Modeling sigma-delta modulator non-idealities in SIMULINK," *Int. Symp. Circuits and Systems (ISCAS)*, vol.2, pp. 384-387, 1999.

[41] P. Malcovati et al, "Behavioral modeling of switched-capacitor sigma–delta modulators," *IEEE Trans. Circuits Syst., I*, vol. 50, no.3, pp. 352-364, Mar. 2003.

[42] M. Yavari, "*Data converters*," Class notes, Amirkabir University of Technology.

[43] J. Kim, T.-K. Jang, Y.-G. Yoon, and S. Cho, "Analysis and Design of Voltage Controlled Oscillator Based Analog-to-Digital Converter," *IEEE Trans. on Circuits and Systems I: Reg. Papers*, vol. 57, no. 1, pp. 18–30, Jan. 2010.

[44] B. Razavi, *Principals of data conversion system design*, IEEE Press, 1995.

[45] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio sigma-delta modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. Solid-Sate Circuits*, vol. 36, no. 3, pp. 349-355, Mar. 2001.

[46] L.L. Lewyn et al., "Analog circuit design in nanoscale CMOS technologies," *Proc. IEEE*, vol. 97, no. 10, pp. 1687–1714, Oct. 2009

[47] V. Vishvanathan, "Design Technology Challenges in the Sub-100 Nanometer Era," *VSI VISION*, vol.1, no.1, 2005.

[48] A. Matsuzawa, "Nanoscale CMOS and low voltage Analog-to-Digital converter design challenges," Int. *Conf. on Solid-State and Integrated Circuit Technology(ICSICT)*, pp.1676-1679, 2006.

[49] M. Yavari, "Hybrid cascode compensation for two-stage CMOS opamps," *IEICE Trans. Electron.*, vol. E88-C, no. 6, Jun. 2005.

[50] M. Yavari and O. Shoaei, "Low-voltage low-power fast-settling CMOS operational transconductance amplifiers for switched-capacitor applications," IEE Proceedings on Circuits, Devices and Systems, vol. 151, no.6, pp.573-578, Dec. 2004.

[51] M. Yavari, O. Shoaei, and A. Rodriguez-Vazquez, "Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation," Proc. on Design, Automation, and Test in Europe, vol. 1, Mar. 2006.

[52] B. Razavi and B. A. Wooley, "Design techniques for high-speed high-resoloution comparators," IEEE J. Solid-State Circuits, vol. 27, no.12, pp.1916-1926, Dec. 1992.

[53] M. Yavari, *Low-voltage high-performance sigma-delta modulators for broadband applications*, Ph.D. Dissertation, University of Tehran, 2006.

[54] A. Yukawa, "A CMOS 8-bit high-speed A/D converter IC," *IEEE J. Solid-State Circuits*, vol. 20, no.3, pp.775-779, Jun. 1985.

[55] M. Park and M. H. Perrott, "A 78 dB SNDR 87 mW 20 MHz Bandwidth ContinuousTime ADC With VCO-Based Integrator and Quantizer Implemented in 0.13 m CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3344–3358, Dec. 2009.

[56] O. Rajaee and U. Moon, "A 12-ENOB 6X-OSR noise-shaped pipelined ADC utilizing a 9-bit linear front-end," in *Symp. on VLSI Circuits (VLSIC)*, pp. 34–35, 2011

[57] N. Maghari and U.-K. Moon, "A Third-Order DT Modulator Using Noise-Shaped BiDirectional Single-Slope Quantizer," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2882–2891, Dec. 2011.

[58] K. Lee, J. Chae, M. Aniya, et al, "A Noise-Coupled Time-Interleaved ΔΣ ADC with 4.2MHz BW, -98dB THD, and 79dB SNDR," in *IEEE Solid-State Circuits Conference, (ISSCC) Dig. Tech. Papers*, pp. 494–631, 2008.

[59] Z. Sohrabi, *Design and Simulation of Sigma-Delta Modulators for Broadband Applications in 90-nm CMOS technology*, M.Sc. dissertation, Amirkabir University of Technology, 2010.

[60] Z.Sohrabi, M. Yavari, "A 13 bit 10 MHz bandwidth MASH 3–2 ΣΔ modulator in 90 nm

CMOS," *Int. J. Circuit Theory and Applications*, vol. 41, no. 11 ,pp. 1136-1153, 2013

Abstract

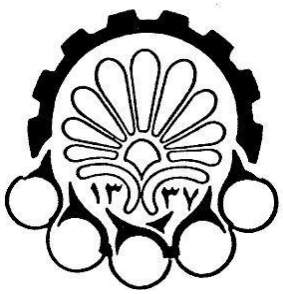
Nowadays, the wireless telecommunications applications require analog-to-digital converters (ADCs) with high dynamic range and the ability to process wideband signals. In modern VLSI technologies, smaller feature size and supply voltage lead to lower costs and power consumption and increase integration and speed of digital circuits. However, reduction of transistor intrinsic gain and size make design of analog circuits with high linearity and dynamic range more complicated.

In recent years, due to rapid increase in transistor speed, there is a growing interest for using time-based or pseudo-analog and digital circuits. VCO-based ADCs is one of time-based modulators which has the advantages of a scaled digital CMOS, reduced power consumption and less area. It also has first order inherent noise shaping without having saturation problems of operational amplifier-based integrators. But due to nonlinear effects of VCO, achieving to a high accuracy and dynamic range is a sophisticated task.

In this thesis, design of Sigma-delta VCO based ADCs for wideband applications has been discussed and two main aspects of linearity and adaptation of sigma-delta modulators has been improved. Two MASH Sigma-Delta ADC architecture are introduced, both having an open loop multi-phase VCO analog to digital converter on their second stages. The first stage has low sampling frequency which simplifies amplifier design. By increasing sampling frequency of second stage, VCO resolution is improved. VCO input signal is the quantization noise of the first stage, thus it has small amplitude that alleviates VCO nonlinearity effects.

The modulator is designed with TSMC 90 nm CMOS technology with 1V power supply, SNDR of proposed modulator is 80.7 dB, output Nyquist rate is 20 MHz with power consumption of 17.804 mW. Cadence and MATLAB-Simulink have been used to simulate and verify these results.

Keywords: Sigma-Delta A/D Converters with VCO Quantization, Analog to digital converters (ADCs), Sigma-Delta ADCs, VCO based Modulators, CMOS Nanometer technologies.



Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

MSc Thesis

Sigma-Delta A/D Converters with VCO Quantization

By:
Zohre Hajipour

Under Supervision of:
Dr. Mohammad Yavari

September 2015