Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

Integrated Circuit MSc Thesis

Title

Design of Analog Front-End and ADC for Fully Implantable Cochlear Prothesis with Piezoelectric Sensors

By
Zahra Yadegari

Supervisor
Dr. Mohammad Yavari

June 2024

دانشگاه صنعتی امیرکبیر

(پلی‌تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

رشته مهندسی برق گرایش مدار های مجتمع الکترونیک

طراحی AFE و مبدل آنالوگ به دیجیتال برای پروتز حلزون شنوایی یکپارچه با سنسورهای پیزوالکتریک

نگارش

زهرا یادگاری

استاد راهنما

محمد یاوری

تیر ۱۴۰۳

به نام خدا

تاریخ:

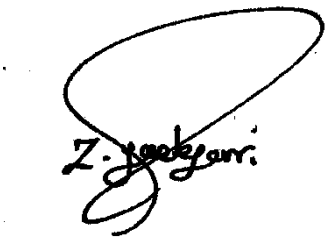
تعهدنامه اصالت اثر

اینجانب زهرا یادگاری متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

امضا



تشکر و قدردانی

از استاد محترم و گرانقدر جناب آقای دکتر محمد یاوری به عنوان استاد راهنما که همواره بنده را مورد لطف و محبت خود قرار داده‌اند، کمال تشکر را دارم.

از اساتید محترم و گرانقدر آقایان دکتر کاتوزیان و دکتر معزی که زحمت داوری پایان نامه اینجانب را پذیرفته‌اند، کمال تشکر و قدردانی را دارم.

این پایان نامه را ضمن تشکر فراوان و در کمال احترام تقدیم می‌نمایم:

- به محضر ارزشمند پدر، مادر و برادر عزیزم به خاطر تمامی تلاش‌هایی که در سراسر زندگی‌ام انجام داده‌اند.
- به استاد فرزانه و فرهیخته جناب آقای دکتر محمد یاوری که در طول مدت تحصیلم همراه و همگام من بوده است.

در انتها از جناب آقای مهندس کیانی به دلیل یاری‌ها و راهنمایی‌هایشان سپاسگذارم.

چکیده

با توجه به رشد روزافزون جمعیت ناشنوایان، اهمیت تولید دستگاه‌های کاشت حلزون برای اصلاح این مشکل با گذشت زمان در حال افزایش است. صنعت دستگاه‌های کمک شنوایی یکی از صنایع پر درآمد در سراسر جهان است. پیشرفت و توسعه در این صنعت علاوه بر کمک به افراد ناشنوا در جامعه، می‌تواند منجر به سودآوری و توسعه فناوری‌های نوین در جامعه شود. در این پایان‌نامه ابتدا به بررسی ساختار گوش انسان و مشکلات شنوایی انسان پرداخته می‌شود و در دسته‌ی مشکلات حسی‌عصبی دستگاه کاشت حلزون به عنوان یک راه‌حل کارآمد معرفی می‌شود. در ادامه معماری و ساختار داخلی دستگاه‌های کاشت حلزون بررسی و در معماری پروتز حلزون تمام‌کاشتی، بخش آنالوگ سرجلویی و مبدل آنالوگ به دیجیتال برای دستگاه با سنسور پیزوالکتریک به تفضیل بررسی می‌شود و ساختارهای پیشنهادی برای بخش‌های مذکور شرح داده خواهد شد. بر این اساس در این پایان نامه، مدار آنالوگ سرجلویی برای معماری حلزون تمام کاشتی معرفی و برای محدوده‌ی فرکانسی 300-5000 Hz با توان مصرفی کمتر از ۳/۷ میکرو وات به ترتیب دارای بهره‌ی 26 dB برای طبقه‌ی تقویت‌کننده شارژ، بهره متغیر بین 0-8 dB برای تقویت‌کننده با بهره‌ی متغیر و بهره‌ی 6 dB برای درایور مبدل آنالوگ به دیجیتال در ولتاژ ۱.۵ولت طراحی شده است و مبدل آنالوگ به دیجیتال SAR با دقت ۹ بیت، مقدار SNDR برابر با 50.68 dB، ENOB برابر با ۸/۱۲۷ بیت در فرکانس نمونه برداری ۱۶ کیلوهرتز به همراه روش کلیدزنی پیشنهادی به جهت کاهش توان مصرفی ساختار به میزان ۹۹/۵۶ درصد و کاهش مساحت مصرفی به میزان ۷۵ درصد نسبت به ساختار سنتی، طراحی و معرفی گردیده است. شبیه‌سازی‌ها در نرم افزار Cadence در تکنولوژی 180 nm صورت گرفته است.

واژه‌های کلیدی:

پروتز حلزون تمام کاشتی، کاشت حلزون، مبدل آنالوگ به دیجیتال، بخش آنالوگ سرجلویی، سنسور پیزوالکتریک، تقویت‌کننده فولدد کسکود، تقویت‌کننده با بهره متغیر.

فهرست مطالب

صفحه

چکیده..... أ

فصل اول مقدمه..... ۱

۱-۱- انگیزه..... ۱

۱-۲- اهداف تحقیق..... ۲

۱-۳- ساختار پایان‌نامه..... ۳

فصل دوم سیستم شنوایی انسان و مشکلات شنوایی..... ۴

۲-۱- سیستم شنوایی انسان..... ۴

۲-۲- تشخیص سطح شنوایی فرد..... ۵

۲-۳- مشکلات شنوایی انسان..... ۶

۲-۴- تاریخچه‌ی دستگاه کاشت حلزون و بخش‌های سازنده‌ی آن..... ۸

۲-۴-۱- تاریخچه‌ی کاشت حلزون..... ۹

۲-۴-۲- معماری ابتدایی دستگاه‌های پروتز حلزون..... ۱۰

۲-۴-۳- معماری پروتز تمام کاشتی حلزون..... ۱۲

فصل سوم مروری بر کارهای انجام شده برای پروتز حلزون تمام کاشتی..... ۱۸

۳-۱- معماری‌های معرفی شده برای ساختار پروتز حلزون تمام کاشتی..... ۱۸

۳-۱-۱- معماری‌های معرفی شده برای ساختار کلی پروتز با تمرکز بر روی بخش آنالوگ..... ۱۸

۳-۱-۲- معماری‌های معرفی شده برای ساختار کلی مبدل آنالوگ به دیجیتال..... ۲۹

فصل چهارم طراحی بخش آنالوگ و مبدل آنالوگ به دیجیتال..... ۳۹

۴-۱- طراحی بخش رابط آنالوگ..... ۳۹

۴-۱-۱- تعیین مشخصات سیستم..... ۴۰

۴-۱-۲- طراحی ساختار تقویت کننده شارژ..... ۴۱

۴-۱-۳- طراحی تقویت‌کننده با بهره متغیر..... ۴۷

۴-۱-۴- طراحی درایور مبدل آنالوگ به دیجیتال..... ۴۹

۴-۲- طراحی مبدل آنالوگ به دیجیتال..... ۵۱

۴-۲-۱- الگوریتم استخراج بیت دیجیتال در مبدل SAR..... ۵۲

۴-۲-۲- بررسی مشخصات مختلف مبدل آنالوگ به دیجیتال..... ۵۳

۴-۲-۳- بلاک نمونه بردار..... ۵۶

۴-۲-۴- طراحی بلاک مقایسه‌گر..... ۵۷

۴-۲-۵- طراحی بلاک کنترل‌کننده..... ۵۸

۴-۲-۶- مبدل DAC و روش کلید زنی..... ۶۰

فصل پنجم نتایج شبیه‌سازی ساختارهای پیشنهادی..... ۶۴
۵-۱- بررسی ساختار طبقه اول بخش آنالوگ..... ۶۴
۵-۱-۱- تحلیل تقویت‌کننده طبقه اول..... ۶۴
۵-۲- بررسی ساختار طبقه دوم بخش آنالوگ..... ۶۷
۵-۲-۱- تحلیل ساختار تقویت‌کننده طبقه دوم..... ۶۷
۵-۳- بررسی ساختار طبقه سوم بخش آنالوگ..... ۷۰
۵-۳-۱- تحلیل تقویت‌کننده طبقه سوم..... ۷۰
۵-۴- بررسی ساختار مبدل آنالوگ به دیجیتال..... ۷۲
۵-۴-۱- تحلیل ساختار سوییچینگ..... ۷۳
۵-۵- بررسی ساختار معرفی شده و مقایسه با ساختارهای مشابه..... ۷۵
فصل ششم جمع‌بندی و پیشنهادات..... ۷۷
۶-۱- نتیجه‌گیری..... ۷۷
۶-۲- ارائه پیشنهادات..... ۷۸
منابع و مراجع..... ۷۹
پیوست‌ها..... ۸۲
Abstract..... ۸۴

فهرست اشکال

صفحه

شکل (۲-۱): ساختار گوش انسان [1]..... ۵
شکل (۲-۲): نمودار شنوایی انسان [5]..... ۶
شکل (۲-۳): استفاده از سمعک برای رفع اختلال هدایتی..... ۷
شکل (۲-۴): روند از بین رفتن سلول‌های مویی گوش انسان [7]..... ۸
شکل (۲-۵): تاریخچه‌ی اختراع دستگاه کاشت حلزون [2]..... ۱۰
شکل (۲-۶): معماری اولیه‌ی دستگاه کاشت حلزون [10]..... ۱۱
شکل (۲-۷): مدار معادل سنسور پیزوالکتریک [15]..... ۱۴
شکل (۳-۱): معماری معرفی شده برای پروتز حلزون تمام کاشتی [21]..... ۱۸
شکل (۳-۲): ساختار معرفی شده برای تقویت کننده‌ی با نویز پایین و بهره بالا [21]..... ۲۰
شکل (۳-۳): ساختار معرفی شده برای تقویت‌کننده با بهره قابل تغییر [21]..... ۲۱
شکل (۳-۴): معماری حلزون تمام کاشتی با مبدل آنالوگ به دیجیتال [23]..... ۲۱
شکل (۳-۵): ساختار تقویت‌کننده معرفی شده در مرجع [23]..... ۲۲
شکل (۳-۶): ساختار یکسوساز مورد استفاده در مرجع [23]..... ۲۳
شکل (۳-۷): معماری پروتز حلزون تمام کاشتی با ادغام تقویت کننده و فشرده ساز [24]..... ۲۴
شکل (۳-۸): ساختار تقویت‌کننده لگاریتمی مورد استفاده در مرجع [24]..... ۲۵
شکل (۳-۹): ساختار یکسوساز مورد استفاده در مرجع [24]..... ۲۶
شکل (۳-۱۰): معماری پروتز حلزون تمام کاشتی معرفی شده در مرجع [10]..... ۲۷
شکل (۳-۱۱): معماری بخش آنالوگ مورد استفاده در مرجع [15]..... ۲۷
شکل (۳-۱۲): تقویت‌کننده دو طبقه مورد استفاده در مرجع [15]..... ۲۸
شکل (۳-۱۳): ساختار مقایسه‌گر حلقه باز [26]..... ۲۹
شکل (۳-۱۴): معماری مقایسه گر معرفی شده در مرجع [27]..... ۳۰
شکل (۳-۱۵): ساختار مقایسه‌گر دو طبقه شامل تقویت کننده و Latch [28]..... ۳۱
شکل (۳- ۱۶): ساختار DAC در روش کلیدزنی سنتی..... ۳۲
شکل (۳-۱۷): الگوریتم روش کلیدزنی سنتی برای مبدل ۳ بیت..... ۳۳
شکل (۳-۱۸): الگوریتم کلیدزنی به روش یکنواخت [29] برای مبدل ۳ بیت..... ۳۴
شکل (۳-۱۹): الگوریتم روش کدزنی معرفی شده در مرجع [31] برای مبدل ۳ بیت..... ۳۶
شکل (۳-۲۰): الگوریتم معرفی شده در مرجع [32] برای مبدل ۳ بیت..... ۳۷
شکل (۴-۱): نمای کلی از ساختار پیشنهادی برای بخش آنالوگ..... ۳۹
شکل (۴-۲): معماری بخش آنالوگ به همراه تقسیم بهره‌ها..... ۴۱
شکل (۴-۳): تقویت‌کننده شارژ..... ۴۱
شکل (۴-۴): ساختار تقویت‌کننده شارژ به همراه منابع نویز..... ۴۲

شکل (۴-۵): ساختار تقویت‌کننده فولدد کسکود با معماری سنتی. ۴۳
شکل (۴-۶): ساختار تقویت‌کننده فولدد کسکود به همراه source degeneration [33] ۴۵
شکل (۴-۷): ساختار تقویت‌کننده‌ی عملیاتی پیشنهادی برای طبقه‌ی اول ۴۶
شکل (۴-۸): ساختار مدار بایاس مورد استفاده برای تقویت‌کننده طبقه اول ۴۷
شکل (۴-۹): ساختار تقویت‌کننده با بهره قابل تغییر ۴۷
شکل (۴-۱۰): ساختار تقویت‌کننده پیشنهادی مورد استفاده در طبقه دوم ۴۹
شکل (۴-۱۱): ساختار مبدل تک سر به تفاضلی, رابط مدار آنالوگ به مبدل آنالوگ به دیجیتال ۵۰
شکل (۴-۱۲): ساختار تقویت‌کننده پیشنهادی مورد استفاده در طبقه سوم ۵۱
شکل (۴-۱۳): الگوریتم مبدل آنالوگ به دیجیتال SAR ۵۲
شکل (۴-۱۴): ساختار مبدل آنالوگ به دیجیتال SAR ۵۳
شکل (۴-۱۵): خطای کوانتیزاسیون مبدل ایده‌آل [25] ۵۴
شکل (۴-۱۶): ساختار سوییچ CMOS ۵۷
شکل (۴-۱۷): ساختار مقایسه‌گر طراحی شده ۵۸
شکل (۴- ۱۸): ساختار بلاک کنترل‌کننده مورد استفاده ۵۹
شکل (۴-۱۹): سیگنال‌های خروجی بلاک کنترل‌کننده ۵۹
شکل (۴-۲۰): الگوریتم کلیدزنی پیشنهادی برای مبدل دیجیتال به آنالوگ ۴ بیت ۶۲
شکل (۴-۲۱): مدارهای ثبت‌کننده بیت خروجی و سوییچ‌کننده صفحه بالا خازن‌ها ۶۳
شکل (۵-۱): تابع تبدیل تقویت‌کننده شارژ ۶۵
شکل (۵-۲): پاسخ زمانی تقویت‌کننده شارژ برای حداقل سیگنال ورودی ۶۶
شکل (۵-۳): پاسخ زمانی تقویت‌کننده شارژ برای حداکثر ورودی ۶۶
شکل (۵-۴): نمودار تابع تبدیل تقویت‌کننده با بهره قابل تغییر ۶۸
شکل (۵-۵): پاسخ زمانی تقویت‌کننده با بهره قابل تغییر در حالت حداقل و حداکثر ورودی ۶۹
شکل (۵-۶): نمودار پاسخ فرکانسی مبدل تک سر به تفاضلی ۷۱
شکل (۵-۷): پاسخ زمانی مبدل تک سر به تفاضلی ۷۱
شکل (۵-۸): نمودار پاسخ زمانی مقایسه‌گر برای ورودی تفاضلی ۱ میلی‌ولت ۷۳
شکل (۵-۹): انرژی سوئیچینگ برای طرح کلیدزنی پیشنهادی ۷۴
شکل (۵-۱۰): طیف خروجی مبدل آنالوگ به دیجیتال طراحی شده ۷۵

فهرست جداول

صفحه

جدول (۲-۱): مقایسه مزایا و معایب معماری‌های مختلف مبدل آنالوگ به دیجیتال [13]..... ۱۶
جدول (۵-۱): ابعاد ترانزیستورهای مدار طراحی شده برای تقویت‌کننده طبقه اول..... ۶۵
جدول (۵-۲): خلاصه‌ای از عملکرد تقویت‌کننده شارژ..... ۶۷
جدول (۵-۳): ابعاد ترانزیستورهای مورد استفاده در تقویت‌کننده طبقه دوم..... ۶۷
جدول (۵-۴): خلاصه‌ای از عملکرد تقویت‌کننده با بهره قابل تغییر..... ۶۹
جدول (۵-۵): ابعاد ترانزیستورهای مورد استفاده در تقویت‌کننده طبقه سوم..... ۷۰
جدول (۵-۶): خلاصه‌ای از عملکرد تقویت‌کننده طبقه سوم..... ۷۲
جدول (۵-۷): ابعاد ترانزیستورهای مورد استفاده در بلاک نمونه‌بردار و مقایسه‌گر..... ۷۲
جدول (۵-۸): مقایسه مشخصات الگوریتم‌های سوییچینگ مختلف در مبدل ۱۰ بیت..... ۷۴
جدول (۵-۹): خلاصه‌ای از نتایج شبیه‌سازی مبدل آنالوگ به دیجیتال..... ۷۵
جدول (۵-۱۰): مقایسه ساختارهای معرفی شده برای بخش آنالوگ و مبدل ADC پروتز حلزون تمام کاشتی..۷۶

اختصارنامه

ADC	Analog to Digital Converter
AFE	Analog Front End
CA	Compressed Analog
CHL	Conductive Hearing Loss
CIS	Continuous Interleaved Sampling
CMRR	Common Mode Rejection Ratio
CTAT	Complimentary to Absolute Temperature
DAC	Digital to Analog Converter
FC	Folded Cascode
FOM	Figure of Merit
LSB	Least Significant Bit
MSB	Most Significant Bit
NEF	Noise Efficiency Factor
Op-Amp	Operational Amplifier
PTAT	Proportional to Absolute Temperature
RSP	Reconfigurable Sound Processor
SAR	Successive Approximation Register
SNDR	Signal to Noise and Distortion Ratio
SNHL	Sensory Neural Hearing Loss
SP	Spectral Peak
SPL	Sound Pressure Level
THD	Total Harmonic Distortion
VGA	Variable Gain Amplifier

فهرست علائم

علائم لاتین

W	عرض کانال ترانزیستور
L	طول کانال ترانزیستور
K_{fp}	ثابت نویز فلیکر ترانزیستور PMOS
K_{fn}	ثابت نویز فلیکر ترانزیستور NMOS
K	عدد ثابت بولتزمن برابر با 1.38×10^{-23} (J/K)
T	دمای محیط بر حسب کلوین
g_m	ضریب ترارسانایی ترانزیستور ، نسبت تغییرات جریان به ولتاژ در تحلیل سیگنال کوچک
V_{thn}	ولتاژ آستانه ترانزیستور NMOS
V_{thp}	ولتاژ آستانه ترانزیستور PMOS
r_o	مقاومت معادل بین سورس و درین ترانزیستور در تحلیل سیگنال کوچک

علائم یونانی

γ	ضریب اضافه‌ی نویز گرمایی
Γ	ولتاژ Full scale در ورودی مبدل آنالوگ به دیجیتال

منابع و مراجع

[1] X.-H. Qian *et al.*, " Design and In Vivo Verification of a CMOS Bone-Guided Cochlear Implant Microsystem ," *IEEE Trans. Biomed. Eng.*, vol. 66, no. 11, pp. 3156–3167, 2019, doi: 10.1109/tbme.2019.2901374.

[2] F. G. Zeng, S. Rebscher, W. Harrison, X. Sun, and H. Feng, "Cochlear Implants: System Design, Integration, and Evaluation," *IEEE Rev. Biomed. Eng.*, vol. 1, no. dc, pp. 115–142, 2008, doi: 10.1109/RBME.2008.2008250.

[3] R. A. Fearn, "MUSIC AND PITCH PERCEPTION OF COCHLEAR IMPLANT RECIPIENTS," University of New South Wales, thesis, dec 2001 .

[4] R. Sarpeshkar and R. F. Lyon, "A Low-Power Wide-Dynamic-Range Analog VLSI Cochlea," *Analog Integr. Circuits Signal Process.*, vol. 60, pp. 1–60, 1996.

[5] Natarajan, N.; Batts, S.; Stankovic, K.M. Noise-Induced Hearing Loss. J. Clin. Med. 2023, 12, 2347. https://doi.org/10.3390/ jcm12062347 Academic

[6] H. A. Yigit *et al.*, "A Pulse-Width Modulated Cochlear Implant Interface Electronics with 513 μW Power Consumption," *Proc. Int. Symp. Low Power Electron. Des.*, vol. 2019-July, pp. 2–6, 2019, doi: 10.1109/ISLPED.2019.8824838.

[7] Y. Ninoyu, H. Sakaguchi, C. Lin, T. Suzuki, and T. Ueyama, "The integrity of cochlear hair cells is established and maintained through the localization of Dia1 at apical junctional complexes and stereocilia," *Cell Death Dis.*, 2020, doi: 10.1038/s41419-020-02743-z.

[8] S. H. Wang *et al.*, "Design of a Bone-Guided Cochlear Implant Microsystem with Monopolar Biphasic Multiple Stimulations and Evoked Compound Action Potential Acquisition and Its in Vivo Verification," *IEEE J. Solid-State Circuits*, vol. 56, no. 10, pp. 3062–3076, 2021, doi: 10.1109/JSSC.2021.3087629.

[9] D. P. David J. Edell, James W. Heller, "Implantable Electronic Systems of Tomorrow," *18th Annu. Int. Conf. IEEE Eng. Med. andedicine Biol. Soc.*, vol. 5, pp. 2174–2176, 1996.

[10] M. Yip, R. Jin, H. H. Nakajima, K. M. Stankovic, and A. P. Chandrakasan, "A fully-implantable cochlear implant SoC with piezoelectric middle-ear sensor and arbitrary waveform neural stimulation," *IEEE J. Solid-State Circuits*, vol. 50, no. 1, pp. 214–229, 2015, doi: 10.1109/JSSC.2014.2355822.

[11] N. Anabtawi, S. Freeman, and R. Ferzli, "An auditory nerve stimulation chip with integrated AFE, sound processing, and power management for fully implantable cochlear implants," *3rd IEEE EMBS Int. Conf. Biomed. Heal. Informatics, BHI 2016*, pp. 616–619, 2016, doi: 10.1109/BHI.2016.7455974.

[12] L. Pinna and M. Valle, "Charge Amplifier Design Methodology for PVDF-Based

Tactile Sensors," no. May 2015, 2013, doi: 10.1142/S0218126613500667.

[13] J. Hoon, J. Hyun, and J. Cho, "Implementation of integrated circuit and design of SAR ADC for fully implantable hearing aids," vol. 25, 2017, doi: 10.3233/THC-171309.

[14] B. S. Wilson, C. C. Finley, D. T. Lawson, and R. D. Wolford, "Design and evaluation of a continuous interleaved sampling (CIS) processing strategy for multichannel cochlear implants," Journal of Rehabilitation Research and Development Vol. 30 No. 1, 1993 Pages 110—116.

[15] M. Chilukuri, S. Jung, and H. J. Chung, "A charge amplifier based complementary metal-oxide-semiconductor analog front end for piezoelectric microphones in hearing aid devices," *J. Low Power Electron.*, vol. 15, no. 3, pp. 315–322, 2019, doi: 10.1166/jolpe.2019.1615.

[16] H. Kulah *et al.*, "A Fully-Implantable Mems-Based Autonomous Cochlear Implant," *IEEE Symp. Mass Storage Syst. Technol.*, vol. 2022-Janua, no. January, pp. 396–399, 2022, doi: 10.1109/MEMS51670.2022.9699689.

[17] R. Ottoboni, D. Elettrotecnica, and P. Milano, "Charge amplifiers for piezoelectric sensors," IEEE pp,1993 , page 0-3.

[18] E. Alnasser, "A Novel Low Output Offset Voltage Charge Amplifier for Piezoelectric Sensors," IEEE SENSORS JOURNAL, VOL. 20, NO. 10, MAY 15, 2020.

[19] F. H. Gebara, S. M. Martin, E. D. Marsman, K. L. Kraver, and R. B. Brown, "900MV programmable gain amplifier for cochlear implants," *2004 IEEE Int. Work. Biomed. Circuits Syst.*, pp. 3–6, 2004, doi: 10.1109/biocas.2004.1454112.

[20] X. Tong and M. Ghovanloo, "Energy-efficient switching scheme in SAR ADC for biomedical electronics," ELECTRONICS LETTERS 30th April 2015 Vol. 51 No. 9 pp. 676–678.

[21] B. Ozbek and H. Kulah, "A 9.03 μW Low Noise Highly Tunable Analog Front-End for Fully Implantable Cochlear Prosthesis," *BioCAS 2022 - IEEE Biomed. Circuits Syst. Conf. Intell. Biomed. Syst. a Better Futur. Proc.*, pp. 349–353, 2022, doi: 10.1109/BioCAS54905.2022.9948682.

[22] H. Ulusan, A. Muhtaroglu, and H. Kulah, "A Sub-500 μ W Interface Electronics for Bionic Ears," *IEEE Access*, vol. 7, pp. 132140–132152, 2019, doi: 10.1109/ACCESS.2019.2940744.

[23] H. A. Yigit, H. Ulusan, M. Koc, M. B. Yuksel, S. Chamanian, and H. Kulah, "Single Supply PWM Fully Implantable Cochlear Implant Interface Circuit with Active Charge Balancing," *IEEE Access*, vol. 9, pp. 52642–52653, 2021, doi: 10.1109/ACCESS.2021.3070107.

[24] H. Ulusan, S. Chamanian, B. Ilik, A. Muhtaroglu, and H. Kulah, "Fully Implantable Cochlear Implant Interface Electronics with 51.2-uW Front-End Circuit," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 27, no. 7, pp. 1504–1512, 2019, doi: 10.1109/TVLSI.2019.2898873.

[25] R. H. Reg, "A Study of Successive Approximation Registers and Implementation of

an Ultra- A Study of Successive Approximation Registers and Implementation of an Ultra- Low Power 10-bit SAR ADC in 65nm CMOS Technology," 2017, Master's thesis, Performed in Electronic Devices, Dept. of Electrical Engineering ,Linköping Institute of Technology.

[26] C. Patel, "Study of comprator and their Architectures," *Int. J. multidisiplinary Consort* , International Journal of Multidisciplinary Consortium, Volume – 1, Issue – 1 , June 2014 .

[27] B. Razavi, "Principles of Data Conversion System Design , Wiley-Interscience," *IEEE Press*, 1995.

[28] A. Graupner, "A Methodology for Offset Simulation of Comparators," *Des. Guid. Community, Version 1, October 1, 2006*.

[29] C.C. Liu, S.J. Chang, G.Y. Huang and Y. Z. L, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," *IEEE J. Solid-State Circuits*, vol. 45, pp. 731–740, 2010.

[30] Zhu, C.H. Chan, U.F. Chio, S.W. Sin, U. Seng-Pan , R.P. Martins and F. M. Y, "A 10-bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 45, pp. 111–1121, 2010.

[31] T. Rabuske and J. F. "Charge-Sharing SAR ADCs for Low-Voltage Low-Power Applications," *Switz. Springer*, 2017.

[32] E. Rahimi and M. Yavari, "Energy-efficient high-accuracy switching method for SAR ADCs," *Electron. Lett.*, vol. 50, no. 7, pp. 499–501, 2014, doi: 10.1049/el.2013.3451.

[33] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An Energy-Efficient Micropower Neural Recording Amplifier," *IEEE Trans. Biomed. circuits Syst.*, vol. 1, no. September, pp. 136–147, doi: 10.1109/ISCAS.2015.7169229.

[34] Marcel Pelgrom, 2010, "*Analog to Digital conversion" ,Springer.*

[35] B. P. Ginsburg and A. P. Chandrakasan, "An Energy-Efficient Charge Recycling Approach for a SAR Converter With Capacitive DAC," *Proc. - IEEE Int. Symp. Circuits Syst.*, pp. 184–187, 2005, doi: 10.1109/ISCAS.2005.1464555.

[36] Z. Zhu, Y. Xiao, and X. Song, "VCM-based monotonic capacitor switching scheme for SAR ADC," *Electron. Lett.*, vol. 49, no. 5, pp. 327–329, 2013, doi: 10.1049/el.2012.3332.

[37] C. Yuan and Y. Lam, "Low-energy and area-efficient tri-level switching scheme for SAR ADC," *Electron. Lett.*, vol. 48, no. 9, pp. 482–483, 2012, doi: 10.1049/el.2011.4001.

[38] S. Im and S. Park, "A 154 uW, 80 dB SNDR analog to digital front end for digital hearing aids," *Analog Integr. Circuits Signal Process.*, vol. 89, pp. 383–393, 2016.

Abstract

Given the increasing growth of the deaf population, the importance of producing cochlear implant devices to address this issue has been on the rise over time. The industry of hearing aid devices is one of the highly profitable industries worldwide. Advancement and progress in this industry, besides aiding the hearing-impaired individuals in society, can lead to profitability and the development of innovative technologies in the community. In this thesis, an initial investigation is conducted into the structure of the human ear and the auditory problems of humans are addressed. Within the category of sensory-nerve problems, the cochlear implant device is introduced as an efficient solution. Subsequently, the architecture and internal structure of cochlear implant devices are examined. In the architecture of the fully implantable cochlear prosthesis, the analog front-end section and the analog-to-digital converter for the device with a piezoelectric sensor are meticulously reviewed. Proposed structures for the mentioned sections will be elucidated.

Therefore, in this thesis, the front-end analog circuit for the fully implantable cochlear architecture is introduced. It is designed for the frequency range of 300-5000 Hz with a power consumption of less than 3.7 micro watts. It includes gains of 26 dB for the charge amplifier stage, variable gain between 0-8 dB for the variable gain amplifier, and 6 dB gain for the analog-to-digital converter driver. Moreover, the analog-to-digital converter SAR with 9-bit precision, along with the proposed pulse modulation method, is designed to reduce power consumption of the structure by 99.56% and reduce the area consumption by 75% compared to the traditional design. Simulations have been carried out using Cadence software on a 180 nm technology.

Key Words: fully implantable cochlear implant, cochlear implant, analog to digital converter, analog front-end, piezoelectric sensor, folded cascode amplifier, variable gain amplifier.

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

Integrated Circuit MSc Thesis

Title

Design of Analog Front-End and ADC for Fully Implantable Cochlear Prothesis with Piezoelectric Sensors

By
Zahra Yadegari

Supervisor
Dr. Mohammad Yavari

June 2024