Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of Sigma-Delta Modulators for Broadband Applications in 90-nm CMOS technology

By:
Zahra Sohrabi

Under Supervision of:
Dr. Mohammad Yavari

February 2010

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

(گرایش الکترونیک)

طراحی و شبیه‌سازی مدولاتورهای سیگما–دلتا برای کاربردهای باند وسیع در تکنولوژی ۹۰ نانومتر CMOS

نگارش:

زهرا سهرابی

استاد راهنما:

دکتر محمد یاوری

اسفند ۱۳۸۹

بسم الله الرحمن الرحیم

تقدیم به

پدر عزیزم و مادر مهربانم

تشکر و قدردانی

با یاد و نام آرام بخش جان‌ها

در آغاز لازم می‌دانم که از زحمات استاد عزیز جناب آقای دکتر محمد یاوری که انجام این تحقیق را مدیون راهنمایی‌های ارزشمند ایشان هستم تشکر و قدردانی نمایم. همچنین از دوستان خوبم در آزمایشگاه مدارهای مجتمع دانشگاه صنعتی امیرکبیر آقای مهندس حسین پاک‌نیت، آقای مهندس محمدرضا اشرف و خانم مهندس سیدحسین زاده که درطول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام سپاسگزارم و توفیق روزافزونشان را خداوند متعال خواستارم.

همچنین لازم می‌دانم از زحمات پدر و مادر عزیز، مهربان و دلسوزم که همواره پشتیبان و مایه‌ی دلگرمی‌ام بوده‌اند تشکر و قدردانی نمایم.

در نهایت از کمیته نانو به دلیل حمایت مالی در انجام پروژه سپاس‌گزارم و امیدوارم این کمیته در ارتقاء علمی و توسعه فناوری در کشورمان موفق باشد.

چکیده

امروزه در مخابرات بدون سیم، ویدئوی دیجیتال و بسیاری از کاربردهای الکترونیکی دیگر، نیازبه مبدل‌های داده با پهنای باند و دقت بالا افزایش یافته است. نسل آینده کاربردهای بی‌سیم نیاز به مبدل‌های آنالوگ به دیجیتال با پهنای باند درمحدوده‌ی چند مگا هرتز و محدوده‌ی دینامیکی بالا دارد و این شرایط می‌بایست در توان مصرفی پایین تحقق یابد.

مبدل‌های سیگما دلتا می‌توانند کارایی بالا و توان مصرفی پایین را در کاربردهای سرعت پایین همچون صوت دیجیتال داشته باشند. در این پایان‌نامه پیاده‌سازی مدولاتورهای سیگما دلتا برای کاربردهای باند وسیع بررسی می‌شوند و ساختارهای مختلف این مبدل به ویژه آن دسته از ساختارها که برای کاربردهای باند وسیع مناسب هستند معرفی شده و محدودیت‌های آن‌ها مورد بررسی قرار می‌گیرد. سپس یک ساختار چند حلقه که برای پیاده‌سازی در سرعت‌های بالا و نرخ بیش‌نمونه برداری کم مناسب است و حساسیت کمتری نسبت به اثرات غیرایده‌آل مداری دارد، معرفی می‌شود.

مدولاتور مورد نظر در تکنولوژی ۹۰ نانومتر CMOS پیاده‌سازی شده و از نرم‌افزارهای HSPICE و MATLAB-Simulink برای شبیه‌سازی آن استفاده می‌شود. SNDR مدولاتور طراحی شده ۷۹/٤ دسیبل، نرخ نایکوئیست خروجی آن ۲۰ مگاهرتز و توان مصرفی آن ۳۵/٤ میلی وات در ولتاژ تغذیه ۱ ولت می‌باشد.

کلمات کلیدی: مبدل آنالوگ به دیجیتال سیگما دلتا، سرعت بالا، دقت بالا، مدارهای سوئیچ شونده‌ی خازنی.

فهرست مطالب

فهرست شکل‌ها ..... ه

فهرست جداول ..... ز

۱- مقدمه ۱

۱-۱- انگیزه ۱

۱-۲- ساختار پایان‌نامه ۲

۲- مبدل‌های سیگما دلتا ۳

۲-۱- اساس کار مبدل‌های آنالوگ به دیجیتال ۳

۲-۱-۱- نمونه‌برداری ٤

۲-۱-۲- کوانتیزاسیون ٥

۲-۲- پارامترهای سنجش عملکرد یک مبدل آنالوگ به دیجیتال ۷

۲-۳- مبدل‌های بیش نمونه‌بردار ۸

۲-٤- مبدل‌های سیگما دلتا ۹

۲-۵- ساختارهای مدولاتورهای سیگما دلتا ۱۱

۲-۵-۱- مدولاتورهای سیگما دلتای تک حلقه ۱۲

۲-۵-۱-۱- فیلتر حلقه با مسیرهای فیدبک توزیع شده ۱۲

۲-۵-۱-۲- فیلتر حلقه با مسیرهای پیش خور توزیع شده ۱۳

۲-۵-۲- مدولاتورهای سیگما دلتای چند حلقه ۱۳

۲-۵-۳- مدولاتورهای سیگما دلتا مناسب برای کاربردهای باند وسیع ۱۵

۲-۵-۳-۱- ساختار اعوجاج پایین ۱۵

۲-۵-۳-۲- ساختار SMASH ۱۵
۲-۵-۳-۳- کوانتیزاسیون دو مرحله‌ای ۱۷
۲-۵-۳-٤- مدولاتور سیگما دلتا با استفاده از تکنیک کوپل‌کردن نویز ۱۸
۳- طراحی سیستمی مدولاتور ۲۰
۳-۱- ساختار مدولاتور ۲۰
۳-۱-۱- ساختار کسکید پیشنهادی با کاهش حساسیت نسبت به اثرات غیر ایده‌آل مداری ۲۲
۳-۲- اثرات غیرایده‌آل مدارهای تشکیل دهنده مدولاتور ۲۷
۳-۲-۱- نویز ۲۸
۳-۲-۱-۱- نویز سوئیچها ۲۸
۳-۲-۱-۲- نویز تقویت‌کننده ۳۰
۳-۲-۲- اثر محدود بودن بهره تقویت‌کننده ۳۱
۳-۲-۳- سوئینگ خروجی محدود تقویت‌کننده‌ها ۳۲
۳-۲-٤- اثر عدم تطبیق ضرایب ۳۳
۳-۲-۵- اثر غیر خطی مبدل دیجیتال به آنالوگ ۳٤
٤- پیاده‌سازی مداری مبدل آنالوگ به دیجیتال نمونه ۳۷
٤-۱- دشواری های طراحی مدارات در تکنولوژیهای نانومتری ۳۷
٤-۱-۱- کاهش ولتاژ آستانه ۳۷
٤-۱-۲- کاهش ولتاژ تغذیه مدار ۳۸
٤-۱-۳- کاهش مقاومت درین ۳۸
٤-۲- ساختار مداری مدولاتور ۳۹
٤-۲-۱- سوئیچ‌ها ۳۹
٤-۲-۲- انتگرال‌گیرها ٤۲

٤-٢-٢-١- انتگرال‌گیر اول ٤٢
٤-٢-٢-٢- انتگرال‌گیردوم ٤٣
٤-٢-٢-٣- انتگرال‌گیرسوم ٤٤
٤-٢-٢-٤- انتگرال‌گیر چهارم ٤٤
٤-٢-٢-٥- انتگرال‌گیر پنجم ٤٧
٤-٢-٢-٦- جمع‌کننده‌ی فعال طبقه دوم ٤٨
٤-٢-٣- تقویت‌کننده‌ها ٤٩
٤-٢-٣-١- مدار تنظیم سطح ولتاژ مد مشترک خروجی ٥٣
٤-٢-٣-٢- مدار بایاس ٥٤
٤-٢-٤- کوانتایزر ٥٥
٤-٢-٤-١- مدار جمع‌کننده سوئیچ خازنی در ورودی کوانتایزر اول ٥٥
٤-٢-٤-٢- پیش تقویت‌کننده ٥٦
٤-٢-٤-٣- لچ مورد استفاده در طبقه اول ٥٧
٤-٢-٤-٤- لچ مورد استفاده در طبقه دوم ٥٨
٤-٢-٤-٥- لچ SR ٥٩
٤-٢-٤-٦- نردبان مقاومتی ٥٩
٥- نتایج شبیه‌سازی، نتیجه گیری و پیشنهادات ٦١
٥-١- شبیه‌سازی کلی ٦١
٥-٢- مقایسه‌ی عملکرد مبدل شبیه‌سازی شده با چند مبدل ٦٤
٥-٣- نتیجه‌گیری ٦٥
٥-٤- ارائه‌ی پیشنهادات ٦٦
٦- محاسبات مربوط به نویز ٦٧

٧- مراجع ٧٢

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال. ٤

شکل (۲-۲): مقایسه‌ی باند گذر برای دو مبدل الف) نرخ نایکوئیست و ب) بیش نمونه‌بردار..... ٤

شکل (۲-۳): الف) منحنی انتقالی کوانتایزر n بیتی. ب) خطای کوانتیزاسیون برای یک کوانتایزر n بیتی..... ٦

شکل (۲-٤): الف)مدل کوانتایزر. ب) تابع چگالی احتمال خطای کوانتیزاسیون..... ۷

شکل (۲-۵): منحنیهای SNR و SNDR و DR در یک مبدل آنالوگ به دیجیتال..... ۸

شکل (۲-٦): بلوک دیاگرام کلی یک مدولاتور سیگما دلتا..... ۹

شکل (۲-۷): توزیع توان نویز در خروجی مبدل‌های نرخ نایکوئیست، بیش نمونه‌بردار و سیگما دلتا. ۱۰

شکل (۲-۸): مدولاتور مرتبه بالای تک حلقه با ساختار CRFB..... ۱۲

شکل (۲-۹): مدولاتور مرتبه بالای تک حلقه با ساختار CRFF..... ۱۳

شکل (۲-۱۰): بلوک دیاگرام یک مدولاتور سیگما دلتای چند طبقه. ۱٤

شکل (۲-۱۱): ساختار مدولاتور سیگما دلتای اعوجاج پایین..... ۱۵

شکل (۲-۱۲): بلوک دیاگرام ساختار مدولاتور SMASH. ۱٦

شکل (۲-۱۳): استفاده از کوانتیزاسیون دو مرحله‌ای در مدولاتور سیگما دلتای تک حلقه..... ۱۸

شکل (۲-۱٤): بلوک دیاگرام یک مبدل سیگما دلتا با استفاده از تکنیک کوپل کردن نویز. ۱۹

شکل (۲-۱۵): استفاده از تکنیک کوپل کردن نویز در یک مدولاتور سیگما دلتای تک حلقه..... ۱۹

شکل (۳-۱) : ساختار یک مدولاتور کسکید. ۲۱

شکل (۳-۲): مدولاتور کسکید با کاهش حساسیت نسبت به اثرات غیرایده‌آل مداری [28]. ۲۲

شکل (۳-۳): مدولاتور کسکید ۲–۳ مورد استفاده در پایان نامه..... ۲٤

شکل (۳-٤): بلوک دیاگرام مدولاتور کسکید ۱–۳ با استفاده از تابع انتقال سیگنال واحد در هر دو طبقه..... ۲٦

شکل (۳-۵): طیف خروجی مدولاتورایده‌آل شبیه‌سازی شده..... ۲٦

شکل(۳-٦): SNDR خروجی مدولاتور برحسب توان ورودی آن. ۲۷

شکل (۳-۷): مقایسه محدوده‌ی دینامیکی ساختارهای مختلف. ۲۷
شکل (۳-۸): الف) مدار نمونه‌بردار سوئیچ خازنی ساده. ب) مدار معادل آن. ۲۸
شکل (۳-۹): الف) مدار انتگرال‌گیر سوئیچ شونده خازنی ب) فاز نمونه‌برداری ج) فاز انتگرال‌گیری. ۲۹
شکل (۳-۱۰): انتگرال‌گیر سوئیچ شونده خازنی با مدل کردن نویز تقویت‌کننده الف) فاز نمونه‌برداری ب) فاز انتگرال‌گیری. ۳۰
شکل (۳-۱۱): نمودار SNDR برحسب تغییرات بهره انتگرال‌گیر اول در ساختار ۳-۲ مورد استفاده و ساختار ۲-۲ مرسوم. ۳۱
شکل (۳-۱۲): نمودار هیستوگرام خروجی طبقات مختلف مدولاتور. ۳۲
شکل (۳-۱۳): تغییر SNDR را بر حسب عدم تطبیق بین ضریب β و $\hat{\beta}$ در ساختار ۲-۳ پیشنهادی و ساختار ۲-۲ مرسوم. ۳۳
شکل (۳-۱٤): SNDR خروجی مدولاتور برای ۵۰۰ بار شبیه‌سازی مونت کارلو با در نظر گرفتن ۰/۲ درصد عدم تطبیق بین ضرایب آن. ۳٤
شکل (۳-۱۵): طیف خروجی مدولاتور با در نظرگرفتن DAC واقعی. ۳۵
شکل (۳-۱٦): طیف توان خروجی مدولاتور با ۰/۲ درصد عدم تطبیق بین خازن های واحد DAC در دو حالت استفاده و عدم استفاده از DWA. ۳٦
شکل (٤-۱): تغییر مقاومت حالت وصل سوئیچ‌ها برحسب ولتاژ کانال. ۳۹
شکل (٤-۲): مدل مفهومی سوئیچ بوت استرپ. ٤۰
شکل (٤-۳): سوئیچ بوت استرپ مورد استفاده در این پروژه. ٤۱
شکل (٤-٤): مدار مورد استفاده برای ارزیابی خطینگی سوئیچ. ٤۲
شکل (٤-۵): مدار سوئیچ شونده خازنی انتگرال‌گیر اول. ٤۳
شکل (٤-٦): مدار سوئیچ شونده خازنی انتگرال‌گیر دوم. ٤٤
شکل (٤-۷): مدار سوئیچ شونده خازنی انتگرال‌گیر سوم. ٤۵
شکل (٤-۸): ساختار تغییر یافته مدولاتور ۲-۳ مورد استفاده در پایان نامه بدون استفاده از انتگرال-گیرهای بدون تاخیر در طبقه دوم. ٤٦
شکل (٤-۹): مدار سوئیچ شونده خازنی انتگرال‌گیر چهارم. ٤۷
شکل (٤-۱۰): مدار سوئیچ شونده خازنی انتگرال‌گیر پنجم. ٤۸

شکل (٤-١١): مدار سوئیچ شونده خازنی جمع‌کننده‌ی فعال طبقه‌ی دوم. ٤٩
شکل (٤-١٢): تقویت‌کننده‌ی مورد استفاده در انتگرال‌گیرهای اول تا سوم. ٥٠
شکل (٤-١٣): تقویت‌کننده‌ی کسکود تاشده مورد استفاده در انتگرال‌گیرهای چهارم و پنجم. ٥٣
شکل (٤-١٤): مدار سوئیچ خازنی تنظیم مد مشترک خروجی. ٥٤
شکل (٤-١٥): مدار بایاس تقویت‌کننده‌ها. ٥٤
شکل (٤-١٦): یک نمونه مدار جمع‌کننده‌ی غیرفعال سوئیچ خازنی. ٥٥
شکل (٤-١٧): مدار جمع‌کننده غیرفعال طبقه اول به همراه کوانتایزر آن ٥٦
شکل (٤-١٨): مدار پیش تقویت‌کننده‌ی دو طبقه استفاده شده در ساختار کوانتایزر الف) طبقه اول ب) طبقه دوم ٥٧
شکل (٤-١٩): مدار لچ مورد استفاده در کوانتایزر طبقه‌ی اول. ٥٨
شکل (٤-٢٠): مدار لچ مورد استفاده در طبقه دوم. ٥٩
شکل (٤-٢١): الف) مدار SRLATCH ب) مدار NAND ٦٠
شکل (٤-٢٢): نردبان مقاومتی استفاده شده در ساختار کوانتایزر ٦٠
شکل (٥-١): پیاده‌سازی سوئیچ شونده خازنی فیلتر حلقه کل مدولاتور. ٦٢
شکل (٥-٢): طیف توان خروجی مدولاتور در گوشه معمولی تکنولوژی و دمای ٢٧°C. ٦٣
شکل (٥-٣): طیف توان خروجی مدولاتور در گوشه کند تکنولوژی و دمای ٨٥°C. ٦٣
شکل (٥-٤): طیف توان خروجی مدولاتور در گوشه سریع تکنولوژی و دمای-٤٠°C. ٦٤
شکل (٥-٥): محدوده دینامیکی مدولاتور در گوشه معمولی تکنولوژی و دمای ٢٧°C. ٦٤

فهرست جداول

جدول (۳-۱): بهره مورد نیاز تقویت کننده‌های اول تا پنجم در مدولاتور کسکید ۲-۳ مورد استفاده در پایان نامه. ۳۲

جدول (٤-۱): اندازه ترانزیستورهای سوئیچ بوت استرپ ورودی. ٤۲

جدول (٤-۲): ابعاد افزاره‌های به‌کار رفته در انتگرال‌گیر اول. ٤۳

جدول (٤-۳): ابعاد افزاره‌های به‌کار رفته در انتگرال‌گیر دوم. ٤٤

جدول (٤-٤): مقادیر افزاره‌های به‌کار رفته در انتگرال‌گیر سوم. ٤٥

جدول (٤-٥): ابعاد افزاره‌های به‌کار رفته در انتگرال‌گیر چهارم. ٤۷

جدول (٤-٦): ابعاد افزاره‌های به‌کار رفته در انتگرال‌گیر پنجم. ٤۸

جدول (٤-۷): ابعاد افزاره‌های به‌کار رفته در جمع‌کننده‌ی فعال طبقه‌ی دوم. ٤۸

جدول (٤-۸): اندازه ترانزیستورهای تقویت‌کننده‌ی اول. ٥۱

جدول (٤-۹): اندازه ترانزیستورهای تقویت‌کننده‌ی دوم. ٥۱

جدول (٤-۱۰): مشخصات تقویت‌کننده‌ی اول در سه گوشه‌ی تکنولوژی. ٥۱

جدول (٤-۱۱): مشخصات تقویت‌کننده‌ی دوم در سه گوشه‌ی تکنولوژی. ٥۱

جدول (٤-۱۲): اندازه ترانزیستورهای تقویت‌کننده‌ی سوم. ٥۲

جدول (٤-۱۳): مشخصات تقویت‌کننده‌ی سوم در سه گوشه‌ی تکنولوژی. ٥۲

جدول (٤-۱٤): اندازه ترانزیستورهای تقویت‌کننده‌ی چهارم و پنجم. ٥۲

جدول (٤-۱٥): مشخصات تقویت‌کننده‌ی چهارم و پنجم در سه گوشه‌ی تکنولوژی. ٥۲

جدول (٤-۱٦): ابعاد ترانزیستورهای مدار بایاس تقویت‌کننده اول. ٥٥

جدول (٤-۱۷): ابعاد ترانزیستورهای مدار پیش تقویت‌کننده ٥۷

جدول (٤-۱۸): ابعاد ترانزیستورهای لچ. ٥۸

جدول (٤-۱۹): ابعاد ترانزیستورهای لچ مورد استفاده در طبقه دوم. ٥۹

جدول (٥-۱): مقایسه مدولاتور پیاده‌سازی شده با سایر مدولاتورهای موجود با $BW \geq 4MHz$ و $SNDR \geq 70dB$ ٦٥

جدول (٥-۲): خلاصه نتایج شبیه‌سازی مدولاتور. ٦٦

مراجع

[1] S. Kwon, "*A Multi-bit Hybrid DSM over Full-Scale Range without Feedback DEM,"* Ph.D. Dissertation, Oregon State University, 2009.

[2] S. Rabii and B.A. Wooley, *The Design of Low-Voltage, Low- Power Sigma-Delta Modulators,* Norwell, MA: Kluwer, 1999.

[3] D. Johns and K. Martin, "*Design of analog integrated circuits and systems*," John Wiley & Sons, 1997.

[4] S. Northworthy, R. Schreier, and G. Temes, *Delta-Sigma Data Converters*, IEEE Press, Piscataway, NJ, 1997.

[5] J.M. de la Rosa, "Sigma- delta modulators: tutorial overview, design guide, and state-of-the-art survey," *IEEE Trans. Circuits Syst., I, Regular Papers,* vol. 58, no.1, pp. 1-21, Jan. 2011.

[6] K. Vleugels, S. Rabii and B.A. Wooley, "A 2.5V Sigma Delta modulator for broadband communications applications," *IEEE J. Solid-State Circuits,* vol. 36, no. 12, pp. 1887-1899, Dec. 2001.

[7] R. Jiang and T.S. Fiez, "A 14bit delta sigma ADC with 8×OSR and 4-MHz conversion bandwidth in a 0.18μm CMOS process," *IEEE J. Solid-State Circuits,* vol. 39, no. 1, pp. 63-74, Jan. 2004.

[8] I. Fujimori et al., "A 90-dB SNR 2.5MHz output-rate ADC using cascaded multibit delta-sigma modulation at 8× oversampling," *IEEE J. Solid-State Circuits,* vol. 35, no. 12, pp. 1820-1828, Dec. 2000.

[9] F. Medeiro, B. Perz-Verdu, and A. Rodriquez-Vazquez, "A 13-bit 2.2-MS/s 55-mW multibit cascaded sigma-delta modulator in CMOS 0.7μm single-poly technology," *IEEE J. Solid-State Circuits,* vol. 34, pp.748-760, Jun. 1999.

[10] R.M. Grey et al., "Quantization noise spectra," *IEEE Trans. On information theory,* vol. 36, pp. 1220-1244, Nov. 1990.

[11] H. Pakniat, "*Compensation and correction of DAC errors in Sigma Delta Modulators in low OSR in nano-meter CMOS technologies*", M.Sc. dissertation, Amirkabir University of Technology, 2010.

[12] R. Schreier and G.C. Temes, "*Understanding delta sigma data converters*," IEEE Press/Wiley, 2005

[13] M. Yavari, "*Low-voltage high-performance sigma-delta modulators for broadband applications*", Ph.D. Dissertation, University of Tehran, 2006.

[14] J. Silva, U. Moon, J. Steensgaard, and G. Temes, "Wideband low distortion delta-sigma ADC topology," *Electronics Letters*, vol. 37, no. 12, pp. 737-738, Jun. 2001.

[15] A. Gothenberg and H. Tenhunen, "Improved cascaded sigma-delta noise shaper architecture with reduced sensitivity to circuit nonlinearities," *Electronics Letters*, vol. 38, no. 14, pp. 683-685, Jul. 2002.

[16] N. Maghari, S. Kwon, G.C. Temes and U. Moon, "Sturdy mash delta-sigma modulator," *Electronics Letters*, vol. 42, no. 22, pp. 1269-1270, Oct. 2006.

[17] N. Maghari, S. Kwon and U. Moon, "74dB SNDR multi-loop sturdy-mash delta-sigma modulator using 35dB open-loop opamp gain," *IEEE J. Solid-State Circuits,* vol. 44, no.8, pp.2212-2221, Aug. 2009.

[18] A. Morgado, R. del Rio and J.M.de la Rosa, "Cascaded sigma delta modulators for low-voltage wideband applications," *Electronics Letters*, vol. 43, no. 17, Aug. 2007.

[19] A. Morgado, R. del Rio and J.M.de la Rosa, "Novel topologies of cascade sigma delta modulators for low-voltage wideband applications," *European Conf. on Circuit theory and Design (ECCTD)*, pp.136-139, 2007.

[20] N. Maghari, G.C. Temes and U. Moon, "Single-loop delta-sigma modulator with extended dynamic range," *Electronics Letters*, vol. 44, no. 25, Dec. 2008.

[21] Y. Cheng et al., "Multi bit delta-sigma modulator with two step quantization and segmented DAC," *IEEE Trans. Circuits Syst., II,* vol. 53, no.9, pp. 848-852, Sep. 2006.

[22] S. Lindfors and K.A.I. Halonen, "Two-step quantization in multibit ΔΣ modulators," *IEEE Trans. Circuits Syst., II,* vol. 48, no.2, pp. 171-176, Feb. 2001.

[23] A. Gharbiya and D.A. Johns, "A 12-bit 3.125MHz bandwidth 0-3 MASH delta-sigma modulator," *IEEE J. Solid-State Circuits,* vol. 44, no.7, pp.2010-2018, July 2009.

[24] K. Lee, M. Bonu, and G.C. Temes, " Noise-coupled ΔΣ ADCs," *Electronics Letters*, vol. 42, no. 24, pp. 1381-1382, Nov. 2006.

[25] K. Lee, G.C. Temes, and F. Maloberti, "Noise coupled multi-cell delta-sigma ADCs," *Int. Symp. on Circuits and Systems (ISCAS)*, pp. 249-252, May 2007.

[26] K. Lee and G.C. Temes, "Enhanced split-architecture delta-sigma ADC," *Electronics Letters*, vol. 42, no. 13, pp. 737-738, Dec. 2006.

[27] K. Lee and G.C. Temes, "Enhanced split-architecture delta-sigma ADC," *Int. Conf. on Electronics, Circuits and Systems(ICECS),* pp.45-48, 2006.

[28] M. Yavari, "Mash sigma delta modulators with reduced sensitivity to circuit non-idealities," *Int. Symp. on Circuits and Systems (ISCAS)*, pp. 3126-3129, May 2009.

[29] Y. Yin and H. Klar, "A cascade 3-1-1 Multi-bit sigma-delta a/d modulator with reduced sensitivity to non-idealities," *Proc. ISCAS*, pp. 3087-3090, May 2005.

[30] K. Cornelissens and M. Steyaert, "Design considerations for cascade ΔΣ ADCs," *IEEE Trans. Circuits Syst., II, Expr. Briefs,* vol. 55, no.5, pp. 389-393, May 2008.

[31] A. Hamoui and K. Martin, "High-order multibit modulators and pseudo data-weighted-averaging in low oversampling ΔΣ ADCs for broadband applications," *IEEE Trans. Circuits Syst., I,Regular Papers,* vol. 51, no.1, pp. 72-85, Jan. 2004.

[32] M. Oberst and R. Weigel, "Delta-sigma feedforward topology," *Electronics Letters,* vol. 44, no. 8, Apr. 2008.

[33] A. Gharbiya and D. Johns, "On the implementation of input feedforward delta-sigma modulators," *IEEE Trans. Circuits Syst., II,* vol. 53, no.6, pp. 453-457, Jun. 2006.

[34] A. Morgado, R. del Rio and J.M. de la Rosa, "Two novel ΣΔ Modulators for broadband low voltage A/D conversion," *Midwest Symp. on Circuits and Systems(MWSCAS)*, pp.478-481 Apr. 2008.

[35] M. Sanchez-Renedo, S. Paton, and L. Hernandez, "A 2-2 Discrete Time Cascaded Modulator With NTF Zero Using Interstage Feedback," *Int. Conf. on Electronics, Circuits and Systems(ICECS),* pp.954-957, 2006.

[36] B. Brandt and B. Wooley, "A 50-MHz multibit sigma delta modulator for 12-b 2-MHz A/D conversion," *IEEE J. Solid-State Circuits,* vol. 26, pp.1746-1756, Dec. 1991.

[37] M. Yavari, "*Data converters*," Class notes, Amirkabir University of Technology, Spring 2009.

[38] O. Oliaei, "Noise Analysis of correlated double sampling SC-Integrators," *Int. Symp. on Circuits and Systems (ISCAS)*, vol.4, pp. 445-448, 2002.

[39] C. Enz and G.C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proc. Of IEEE,* vol.48, no.11, pp.1584-1614, Nov. 1996.

[40] K. Nam, *High-speed, Design of low-voltage low-power sigma-delta modulators for broadband high-resolution A/D conversion*, Ph.D. Dissertation, Stanford University, 2005.

[41] S. Brigati et al, "Modeling sigma-delta modulator non-idealities in SIMULINK," *Int. Symp. on Circuits and Systems (ISCAS)*, vol.2, pp. 384-387, 1999.

[42] P. Malcovati et al, "Behavioral modeling of switched-capacitor sigma–delta modulators," *IEEE Trans. Circuits Syst., I,* vol. 50, no.3, pp. 352-364, Mar. 2003.

[43] R. Baird and T. Fiez, "Linearity enhancement of multibit delta-sigma A/D and D/A converters using data weighted averaging," *IEEE Trans. Circuits Syst., II,* vol. 42, pp. 753-762, Dec. 1995.

[44] L.L. Lewyn et al., "Analog circuit design in nanoscale CMOS technologies," *Proc. IEEE*, vol. 97, no. 10, pp. 1687–1714, Oct. 2009

[45] V. Vishvanathan, "Design Technology Challenges in the Sub-100 Nanometer Era," *VSI VISION*, vol.1, no.1, 2005.

[46] A. Matsuzawa, "Nanoscale CMOS and low voltage Analog-to-Digital converter design challenges," *Int. Conf. on Solid-State and Integrated Circuit Technology(ICSICT),* pp.1676-1679, 2006.

[47] B. Razavi, "*Principals of data conversion system design*," IEEE Press, 1995.

[48] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio sigma-delta modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. Solid-Sate Circuits*, vol. 36, no. 3, pp. 349-355, Mar. 2001.

[49] M. Dessouky, M. M. Louerat, and A. Kaiser, "Switch sizing for very low-voltage switched capacitor circuits," *Int. Conf. on Electronics, Circuits and Systems(ICECS),* vol. 3, pp. 1549-1552, 2001.

[50] M. Yavari and O. Shoaei, "Low-voltage low-power fast-settling CMOS operational transconductance amplifiers for switched-capacitor applications," *IEE Proceedings on Circuits, Devices and Systems*, vol. 151, no.6, pp.573-578, Dec. 2004.

[51] M. Yavari, "Hybrid cascode compensation for two-stage CMOS opamps," *IEICE Trans. Electron.*, vol. E88-C, no. 6, Jun. 2005.

[52] M. Yavari, O. Shoaei, and A. Rodriguez-Vazquez, "Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation," *Proc. on Design, Automation, and Test in Europe*, vol. 1, Mar. 2006.

[53] B. Razavi and B. A. Wooley, "Design techniques for high-speed high-resoloution comparators," *IEEE J. Solid-State Circuits,* vol. 27, no.12, pp.1916-1926, Dec. 1992.

[54] A. Yukawa, "A CMOS 8-bit high-speed A/D converter IC," *IEEE J. Solid-State Circuits,* vol. 20, no.3, pp.775-779, Jun. 1985.

[55] T. B. Cho, P. R. Gray, "A 10b, 20MS/s, 35mW pipeline A/D converter," *IEEE J. Solid-State Circuits,* vol. 30, no.5, pp.166-172, Mar. 1995.

[56] P. Ballemali and Q. Huang, "A 25-MS/s 14-b 200-mW ΣΔ modulator in 0.18-µm CMOS," *IEEE J. Solid-Sate Circuits*, vol. 39, pp. 2161-2169, Dec. 2004.

[57] A. Bosi et al., "An 80MHz 4x oversampled cascaded ΔΣ-pipelined ADC with 75dB DR and 87dB SFDR," in *IEEE ISSCC Dig. Tech. Papers*, pp.174-175, Feb. 2005.

[58] Y. Fujimoto et al., "A 80/100MS/s 76.3/70.1dB SNDR ΔΣ ADC for digital TV receivers," *ISSCC Dig. Tech. Papers*, pp.201-210, Feb. 2006.

[59] Y.Y. Du and K. T. Tiew, "A low oversampling ratio 11-bit, 10.6MHz switched capacitor delta-sigma modulator for wideband applications," *Int. Symp. on Integrated circuits(ISIC),*2007.

[60] K. Lee et al., "A noise-coupled time-interleaved delta-sigma ADC with 4.2MHz bandwidth, -98dB THD, and 79dB SNDR," *IEEE J. Solid-Sate Circuits*, vol. 43, no. 12, pp. 2601-2612, Dec. 2008.

[61] P. Malla et al., "A 28-mW spectrum-sensing reconfigurable 20MHz 72dB-SNR 70dB-SNDR DT ΔΣ ADC for 802.11n/WIMAX receivers," in *IEEE ISSCC Dig. Tech. Papers*, pp.496-631, Feb. 2008.

[62] W. Yang et al., "A 100mW 10MHz-BW CT ΔΣ Modulator with 87dB DR and 91dBc IMD," *ISSCC Dig. Tech. Papers*, pp.498-631, Feb. 2008.

[63] S. Kulchycki et al., "A 77dB dynamic range, 7.5-MHz hybrid continuous-time/discrete-time cascaded ΣΔ modulator," *IEEE J. Solid-Sate Circuits*, vol. 43, no.4, pp. 796-804, Apr. 2008.

[64] O. Rajaee et al., "A 79dB 80MHz8x-OSR Hybrid delta-sigma/pipeline ADC," *Symp. on VLSI circuits*, pp.74-75*,* 2009.

[65] K. Matsukawa et al., "A fifth-order Continuous-time delta-sigma modulator with single-opamp resonator," *IEEE J. Solid-Sate Circuits*, vol. 45, no.4, pp. 697-706, Apr. 2010.

[66] A. Nilchi and D. A. Johns, "Charge pump based switched-capacitor integrator for ΔΣ modulators," *Electronics Letters,* vol. 46, no. 6, Mar. 2010.

[67] F. A. Amoroso, G. Cappuccino, A. Pugliese, "Efficient architecture for high-speed low-power SC ΣΔ modulator," *Conf. on Ph.D Research in Microelectronics (PRIME)*, pp.1-4, 2010

[68] Y. Chae and G. Han, "Low voltage, low power, inverter-based switched capacitor delta-sigma modulator," *IEEE J. Solid-Sate Circuits*, vol. 44, no. 2, pp. 458-472, Feb. 2009.

[69] J. K. Fiorenza, T. Sepke, P. Holloway, C. G. Sodini, and H. S. Lee, "Comparator-based switched-capacitor circuits for scaled CMOS technologies," *IEEE J. Solid-Sate Circuits*, vol. 41, no. 12, pp. 2658-2668, Dec. 2006.

ABSTRACT

Sigma-Delta A/D converters have obtained a big interest from researchers in industry and academia in recent years. Their popularity is derived from their reduced analog processing and relaxed sensitivity to analog circuit errors relative to other A/D converter approaches. Conventional Sigma-Delta A/D converters achieved a great success in low-bandwidth applications. To achieve high-bandwidth delta-sigma, it requires a very high speed circuitry, which might be very difficult to achieve due to technology limitations. So, oversampling ratio should decline in order to design a good performance Sigma-Delta ADC. To meet the required accuracy under this condition high-order noise shaping and multi-bit quantization are highly desirable. Multi-stage noise shaping (MASH) modulators enable high order noise shaping without any stability problem. However, MASH performance is limited by circuit non-idealities which cause incomplete cancellation of low-order quantization errors at the modulator output.

In this dissertation, some techniques are employed to relax the analog circuit requirements such as the amplifier dc gain and capacitors matching in MASH sigma delta modulators. With the aid of the proposed technique, a Sigma-Delta ADC with the sampling frequency of 160MHz, 13-bit resolution, in 90nm CMOS technology with 1 V supply voltage is designed and simulated. The simulation of this structure is done by the HSPICE software. The results show that the designed ADC has 79.4 dB SNDR, 99.2 dB SFDR while it is consuming only 35.4 mW.

Keywords: Sigma-Delta Analog-to-Digital Converter (ADCs), High speed, High resolution, Switched capacitor circuits.

Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of Sigma-Delta Modulators for Broadband Applications in 90-nm CMOS technology

By:
Zahra Sohrabi

Under Supervision of:
Dr. Mohammad Yavari

February 2010