Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of a Low Power High Resolution Pipelined Analog-to-Digital Converter in 90-nm CMOS

By:
Tohid Moosazadeh Hamzekandi

Under Supervision of:
Dr. Mohammad Yavari

July 2010

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

(گرایش الکترونیک)

طراحی و شبیه‌سازی یک مبدل آنالوگ به دیجیتال توان پایین و دقت بالا با معماری Pipeline در تکنولوژی ۹۰ نانومتر CMOS

نگارش:

توحید موسی‌زاده حمزه‌کندی

استاد راهنما:

دکتر محمد یاوری

تیرماه ۱۳۸۹

بسم الله الرحمن الرحیم

تقدیم به

پدر عزیزم و مادر مهربانم

تشکر و قدردانی

در آغاز لازم می‌دانم که از زحمات استاد بزرگوارم جناب آقای دکتر محمد یاوری که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، کمال تشکر و قدردانی را داشته باشم. همچنین از زحمات دوستان عزیزم، خانم مهندس سیدحسین‌زاده، آقای مهندس حسین پاک‌نیت، آقای مهندس حسین مقامی، آقای مهندس فرهاد فخار ایزدی و برادر عزیزم سعید موسی‌زاده تشکر می‌نمایم و از خداوند متعال، موفقیت و سعادتشان را خواستارم. ضمن آنکه از آقای دکتر حاج صادقی و آقای دکتر کاتوزیان که اساتید دفاع این پایان‌نامه بودند، سپاسگزاری می‌کنم.

در نهایت از کمیته نانو به دلیل حمایت مالی در انجام این پایان‌نامه سپاسگزارم و پیشرفت روز افزون این کمیته را آرزومندم.

چکیده

امروزه سیستم‌های ارتباطی WLAN که بر اساس استانداردهای IEEE 802.11 کار می‌کنند، نقش مهمی در تبادل اطلاعات دارند. این سیستم‌ها نیاز به مدار آنالوگ به دیجیتالی دارند که باید بصورت بهینه طراحی شود. در این پایان‌نامه یک مبدل آنالوگ به دیجیتال نرخ نایکوئیست[1] با معماری Pipeline برای استفاده در استانداردهای IEEE 802.11 طراحی شده است. فرکانس نمونه‌برداری این مبدل 80 MS/s و قدرت تفکیک‌پذیری آن ۱۲ بیت است که با مدارهای سوئیچ‌شونده‌ی خازنی[2] در تکنولوژی ۹۰ نانومتر CMOS پیاده‌سازی شده است. در این مبدل آنالوگ به دیجیتال، دستیابی به دقت‌های بالاتر از ۱۰ بیت به صورت بهینه، در تکنولوژی‌های نانومتر امکان‌ناپذیر نبوده و به همین دلیل از روش‌های کالیبراسیون خطا برای این منظور استفاده شده است. عدم تطبیق خازن‌ها، بهره‌ی DC محدود و تغییرات بهره‌ی تقویت‌کننده‌ها از مهمترین عوامل محدودکننده‌ی دقت در این نوع از مبدل‌ها می‌باشد که برای غلبه بر آنها، روش‌های کالیبراسیون خطا به دو صورت آنالوگ یا دیجیتال مورد استفاده قرار می‌گیرند.

در این پایان‌نامه، دو روش جدید برای کالیبراسیون خطاهای مبدل پیشنهاد شده است. روش اول یک روش تطبیقی[3] می‌باشد که به صورت دیجیتالی و پس‌زمینه[4]، بدون توقف عملکرد مبدل پیاده‌سازی می‌شود. این روش فقط خطاهای خطی ناشی از عدم تطبیق خازن‌ها و بهره‌ی DC محدود تقویت‌کننده‌ها را جبران‌سازی می‌کند. روش دوم نیز مانند روش اول یک روش تطبیقی، دیجیتالی و پس‌زمینه بوده که علاوه بر خطاهای خطی، خطاهای غیرخطی ناشی از تغییرات بهره‌ی DC تقویت‌کننده‌ها را نیز جبران‌سازی می‌کند.

ابتدا هر یک از روش‌های پیشنهادی برای کالیبراسیون خطاها در نرم‌افزار MATLAB پیاده‌سازی شده و کارایی آنها مورد مطالعه قرار گرفته است سپس، مدار یک مبدل Pipeline در تکنولوژی ۹۰ نانومتر CMOS با ولتاژ تغذیه‌ی یک ولت به کمک نرم‌افزار HSPICE شبیه‌سازی شده است که دقت مدارهای آنالوگ سازنده‌ی آن در حدود ۶ بیت می‌باشد. سپس خطاهای خطی و غیرخطی این مبدل با استفاده از روش دوم پیشنهادی کالیبره شده است بطوریکه SNDR[5] و SFDR[6] آن به ترتیب برابر با 72 dB و 78 dB بدست آمده است. با استفاده از روش کالیبراسیون دوم و تکنیک‌های مداری شامل Scale کردن خازن‌های طبقات و حذف مدار نمونه‌بردار[7] موجود در ورودی، این مبدل تنها 57.8 mW توان مصرف می‌کند.

کلمات کلیدی: مبدل آنالوگ به دیجیتال Pipeline، کالیبراسیون دیجیتالی پس‌زمینه، سیستم‌های WLAN.

---

[1] Nyquist rate
[2] Switched Capacitor
[3] Adaptive
[4] Background
[5] Signal-to-Noise-Distortion Ratio
[6] Spurious Free Dynamic Range
[7] Sample and hold

فهرست مطالب

چکیده ..... أ
فهرست مطالب ..... ب
فهرست شکل‌ها ..... ه
فهرست جداول ..... ط
فصل اول ۱
مقدمه ۱
۱-۱ انگیزه ۱
۱-۲ هدف پایان‌نامه ۲
۱-۳ ساختار پایان‌نامه ۲
فصل دوم ٤
مبدل‌های آنالوگ به دیجیتال Pipeline ٤
۲-۱ اساس مبدل‌های آنالوگ به دیجیتال ۵
۲-۱-۱ فیلتر آنتی‌الیاسینگ ۵
۲-۱-۲ مدار نمونه‌بردار ۵
۲-۱-۳ کوانتایزر ۷
۲-۱-۴ فیلتر دیجیتال ۱۰
۲-۲ معیارهای عملکردی مبدل‌های آنالوگ به دیجیتال ۱۱
۲-۳ انواع مبدل‌های آنالوگ به دیجیتال نرخ نایکوئیست ۱۳
۲-۳-۱ مبدل آنالوگ به دیجیتال Flash ۱۳
۲-۳-۱ مبدل آنالوگ به دیجیتال Two-Step ۱٤
۲-۴ مبدل‌های آنالوگ به دیجیتال Pipeline ۱٦
۲-۴-۱ اساس مبدل‌های آنالوگ به دیجیتال Pipeline ۱٦
۲-۴-۲ بررسی اجزای سازنده‌ی مبدل Pipeline ۲۰
۲-۴-۳ ملاحظات لازم در طراحی طبقات مبدل Pipeline ۲۷
۲-۴-۴ روش معمول در طراحی مبدل Pipeline ۳۵
۲-۴-۵ تکنیک‌های پیشرفته در طراحی مبدل Pipeline ۳٦
فصل سوم ۳۸

مروری بر روش‌های کالیبراسیون خطاها ۳۸
۳-۱ روش‌های کالیبراسیون آنالوگ ٤۲
۳-۲ روش‌های کالیبراسیون دیجیتال ٤٦
فصل چهارم ۵۳
روش‌های پیشنهاد شده برای کالیبراسیون خطاها ۵۳
۴-۱ تصحیح خطاهای خطی ۵٤
۴-۱-۱ مدل سازی خطاهای خطی در ساختار ۱/۵ بیتی ۵٤
۴-۱-۲ اساس روش تصحیح خطاهای خطی ۵٦
۴-۱-۳ تصحیح دیجیتالی و پیش‌زمینه‌ای خطاهای خطی ۵۸
۴-۱-۴ تصحیح دیجیتالی و پس‌زمینه‌ای خطاهای خطی ٦۱
۴-۲ تصحیح خطاهای خطی و غیرخطی ٦٦
۴-۲-۱ مدل‌سازی رفتاری تقویت‌کننده ٦٦
۴-۲-۲ مدل‌سازی خطاهای خطی و غیرخطی در ساختار ۱/۵ بیتی ٦۷
۴-۲-۳ اساس روش تصحیح خطاهای خطی و غیرخطی ٦۸
۴-۲-۳ روش اندازه‌گیری دیجیتالی و پیش‌زمینه‌ای ضرایب سیستم معکوس طبقه‌ی iام ٦۹
۴-۲-۴ روش اندازه‌گیری دیجیتالی و پس‌زمینه‌ای ضرایب سیستم معکوس طبقه‌ی iام ۷۳
۴-۲-۵ روش درون‌یابی داده‌های حذف شده در ورودی مبدل ۷۵
فصل پنجم ۷٦
طراحی یک مبدل Pipeline نمونه ۷٦
۵-۱ طراحی اجزای سازنده‌ی مبدل Pipeline ۷٦
۵-۱-۱ تعیین اندازه‌ی خازن‌های طبقات مبدل ۷۷
۵-۱-۲ نحوه‌ی حذف مدار نمونه‌بردار ورودی مبدل ۸۰
۵-۱-۳ طراحی تقویت کننده‌ها ۸۱
۵-۱-۴ طراحی مقایسه‌گرها ۸٦
۵-۱-۵ انتخاب نوع سوئیچ‌ها و طراحی آنها ۸۷
۵-۱-۶ طراحی کدگشا و تسهیمکنندههای مورد نیاز در زیر مبدل‌های طبقات ۸۹
۵-۱-۷ تعیین ولتاژهای مرجع مبدل ۹۰
۵-۲ پیاده‌سازی روش کالیبراسیون ۹۱
۵-۲-۱ نحوه‌ی تولید سیگنال کالیبراسیون ۹۱

۵-۲-۲ نحوه دو حالته کردن طبقات ۹۱
۵-۲-۳ زمان‌بندی الگوریتم کالیبراسیون ۹۲
۵-۲-۴ پیاده‌سازی الگوریتم درون‌یابی نمونه‌ی حذف شده ۹۲
فصل ششم ۹٤
نتایج شبیه‌سازی ۹٤
۶-۱ شبیه‌سازی مبدل با روش کالیبراسیون پیشنهادی اول ۹٤
۶-۱-۱ شرایط و فرض‌های شبیه‌سازی ۹۵
۶-۱-۲ شبیه‌سازی سیستمی ۹۵
۶-۱-۲ مقایسه با روش‌های موجود ۹۸
۶-۲ شبیه‌سازی مبدل با روش کالیبراسیون پیشنهادی دوم ۱۰۰
۶-۲-۱ شبیه‌سازی سیستمی ۱۰۰
۶-۲-۲ مقایسه‌ی روش کالیبراسیون پیشنهادی دوم با روش‌های موجود ۱۰٤
۶-۲-۳ شبیه‌سازی مداری مبدل ۱۰۵
۶-۲-۴ مقایسه‌ی مبدل طراحی شده با چند مبدل موجود ۱۱۲
۶-۳ نتیجه‌گیری ۱۱۳
۶-۴ پیشنهادات ۱۱٤
واژه نامه ۱۱٦
مراجع ۱۲۱

واژه نامه

Accumulator	انباشتگر
Adaptive	تطبیقی
Algorithmic	الگوریتمی
Analog to Digital Converters (ADCs)	مبدل‌های آنالوگ به دیجیتال
Analog trimming	تنظیم کردن آنالوگ
Anti-aliasing filter	فیلتر آنتی الیاسینگ
Aperture error	خطای روزنه‌ای
Arithmetic Logic Unit (ALU)	واحد حسابگر
Arithmetic Logic Unit (ALU)	واحد حسابگر
Backend	انتهایی
Background	پس‌زمینه
Bootstrap	بوت‌استرپ
Buffer	بافر
Capacitive coupling	تزویج خازنی
Capacitor error averaging	میانگین‌گیری خطای خازن
Capacitor Flip Around (CFA)	خازن حالت چرخش به دور
Capacitor Non Flip Around (CNFA)	خازن حالت عدم چرخش به دور
Channel charge injection	تزریق بار کانال
Charge distribution	توزیع بار
Clock	کلاک
Clock buffer	بافر کلاک
Coarse convertor	مبدل دقت پایین
Common mode	مد مشترک

Common mode feedback	فیدبک مد مشترک
Common Mode Rejection Ratio (CMRR)	نسبت حذف مد مشترک
Comparator	مقایسه‌گر
Correlated double sampling	نمونه‌برداری دوگانه‌ی وابسته
Correlation	همبستگی
Data sheet	برگه‌ی اطلاعاتی
Decimation	کاهش نرخ
Decoder	کدگشا
Differential Non-Linearity (DNL)	غیرخطینگی تفاضلی
Distortion	اعوجاج
Dynamic comaparator	مقایسه‌گر پویا
Dynamic Range	محدوده‌ی پویایی
Effective Number Of Bits (ENOB)	تعداد بیت موثر
Encoder	کد گذار
Fast Fourier Transform (FFT)	تبدیل فوریه سریع
Figure of Merit (FoM)	معیار شایستگی
Fine convertor	مبدل دقیق
Finite Impulse Response (FIR)	پاسخ ضربه محدود
Flash	مبدل فلش
Flicker noise	نویز فلیکر
Flip around	چرخش به دور
Float	شناور
Folded cascade Amplifier	تقویت‌کننده‌ی کسکود تا شده
Folding	تا شدن
Foreground	پیش‌زمینه
Gain-boosting	افزایش بهره
Hybrid cascode compensation	جبران‌سازی کسکود مختلط

Integral Non-Linearity	غیرخطینگی جمع‌شونده
Integrated circuits	مدارهای مجتمع
Interpolation	درون‌یابی
Isolation	ایزولاسیون
Latch	قفل‌کننده
Latched comoparator	مقایسه‌گر قفل شونده
Latency	تاخیر در تولید
Layout	جانمایی
Least Significant Bit (LSB)	بیتِ با کمترین ارزش
Linearity	خطینگی
Lithography	لیتوگرافی
Lookup table	جدول مراجعه‌ای
Metastability	ثبات
Mismatch	عدم تطبیق
Multiplexer	تسهیم‌کننده
Multiplying Digital to Analog Converter (MDAC)	مبدل دیجیتال به آنالوگ ضرب‌کننده
Nonlinear polynomial interpolation	درون‌یابی چندجمله‌ای غیرخطی
Non-overlap	غیرهمپوشا
Normalized power consumption	توان مصرفی نرمالیزه شده
Nyquist rate	نرخ نایکوئیست
Orthogonal Frequency Division Multiplexing (OFDM)	نوعی مدولاسیون
Operational Transconductance Amplifier	تقویت‌کننده‌ی عملیاتی هدایت انتقالی
Overload	بیش‌بارشدگی
Oversampling	بیش نمونه‌برداری
Parasitic	پارازیتی
Power Supply Rejection Ratio (PSRR)	نسبت حذف منبع تغذیه
Processor	پردازش‌گر

Pseudo random noise	نویز نیمه تصادفی
Pulse train	قطار ضربه
Quantizer	کوانتایزر
Queue	صف
Radix	مبنا، پایه
Ramp	شیب
Ratio-independent multiplication	ضرب مستقل از نسبت
Redundancy bit	بیت تکراری
Reference refreshing	بازتعریف مرجع
Register	رجیستر، ثبات
Reliability	قابلیت اطمینان
Resistor ladder	نردبان مقاومتی
Resolution	قدرت تفکیک‌پذیری
Sample and hold	نمونه‌بردار و نگه‌دار
Sampling circuit	مدار نمونه‌برداری
Sampling frequency	فرکانس نمونه‌برداری
Scale	مقیاس رو به پایین
Settling time	زمان نشست
Shift register	شیفت‌رجیستر
Signal to Noise Ratio (SNR)	نسبت سیگنال به نویز
Signal-to-Noise-Distortion Ratio (SNDR)	نسبت سیگنال به نویز- اعوجاج
Slew rate	سرعت چرخش
Slot	شکاف
Spurious Free Dynamic Range (SFDR)	محدوده‌ی پویای تمیز
Stand by	حالت انتظار
Static comoparator	مقایسه‌گر ایستا
subatrate	بستر

Sub-convereter	زیر مبدل
swing	سوئینگ
Switched Capacitor	سوئیچ‌شونده‌ی خازنی
Tap	مولفه
Telescopic Amplifier	تقویت‌کننده‌ی تلسکوپی
Thermal code	کد حرارتی
Threshold	آستانه
Track	دنبال کردن
Track and Hold	دنبال کردن و نگه‌داشتن
Tracsciever	فرستنده- گیرنده
Trade off	مصالحه
Transfer curve	منحنی انتقالی
Transition band	باند گذر
Two-Step	مبدل دو مرحله‌ای
Unity gain frequency	فرکانس بهره واحد
Wireless Local Area Network (WLAN)	سیستم‌های مخابراتی بی‌سیم
xDSL digital subscriber lines	تکنولوژی انتقال دیجیتال داده

مراجع

[1] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu, and J. Barbolla, "Low-Power Pipeline ADC for Wireless LANs," *IEEE J. Solid-Sate Circuits*, vol. 39, no. 8, pp. 1338-1340, Aug. 2004

[2] F. Maloberti, "Data converters," Springer-Verlag, 2007.

[3] B. Razavi, "Principals of data conversion system design," IEEE Press, 1995.

[4] M. Yavari, "Data converters," class notes, Amirkabir University of Technology, 2008.

[5] Maxim-IC, "Understanding Pipelined ADCs," Application note 1023, Oct 2001.

[6] D. Johns, and K. Martin, "Design of analog integrated circuits and systems," John Wiley & Sons, 1997.

[7] J. Li, "Accuracy enhancement techniques in low-voltage high-speed pipelined ADC," Ph.D. dissertation, Oregon State University, 2003.

[8] L. Sumanen, "Pipeline analog-to-digital converters for wide-band wireless communications," Ph.D. dissertation, Helsinki University of Technology, 2002.

[9] A. M. Abo, "Design for reliability of low-voltage, switched-capacitor circuits", Ph.D. dissertation, University of California, Berkeley, 1999.

[10] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang and Y. Guo, "A 1.8-V 22-mW 10-bit 30-MS/s subsampling Pipelined CMOS ADC," *IEEE Custom Intergrated Circuits Conference*, pp. 513-516, 2006.

[11] Grace, Paul J. Hurst, and Stephen H. Lewis, "A 12-bit 80-msample/s pipelined ADC with bootstrapped digital calibration," *IEEE J. Solid-State Circuits*, vol. 40,no. 5, pp. 1038–1046, May 2005.

[12] J. Li and U. Moon, "Background calibration technique for multi-stage pipelined ADCs with digital redundancy," *IEEE Trans. Circuits Syst. II*, vol 50, pp. 531 – 538, Sep. 2003.

[13] M. Yavari, "Hybrid cascode compensation for two-stage CMOS opamps," *IEICE Trans. Electron*, vol. E88-C, no. 6, Jun. 2005.

[14] K. Bult, G. Geelen, "A fast- settling CMOS opamp for SC circuits with 90-dB gain," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. 1379-1384, Dec 1990.

[15] L. Sumanen, M. Waltari, V. Hakkarainen, and K. Halonen, "CMOS dynamic comparators for pipeline A/D converters," *IEEE International Symposium on Circuits and Systems*, vol. 5, pp. 157-160. 2002.

[16] W. Yang, D. Kelly, I. Mehr, M. Sayuk, and L.signer, "A 3-V 340mW 14-b 75Msample/s CMOS ADC with 85-dB SFDR at Nyquist Input," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1931-1936, Dec. 2001.

[17] R.Lotfi, M. Taherzadeh-S., M.Y. Azizi, O. Shoaie, "A low power design methodology for high- resolution pipelined analog-to-digital converters" *Int. Symposium on Low Power Electronics and Design*, pp. 334-339, 2003.

[18] Y. Chiu, "Analysis and design of pipeline analog-to-digital converters," Springer-Verlag New York Inc, 2010.

[19] I. Ahmed, "Pipelined ADC Design and Enhancement Techniques," Springer Heidelberg Dordrecht London New York, 2010.

[20] B. Razavi, "Design of analog CMOS integrated circuits," Mc Graw Hill, 2001.

[21] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio sigma-delta modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. SolidSate Circuits*, vol. 36, pp. 349-355, Mar. 2001.

[22] D. Cline, "Noise, speed, and power trade-offs in pipelined analog to digital converters," Ph.D. dissertation, University of California, Berkeley, 1995.

[23] S. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE Tans. Circuits Syst. II*, vol. 39, no.8, pp. 516-523, Aug. 1992.

[24] P. Yu and H. Lee, "2.5-V, 12-b, 5MS/s pipelined CMOS ADC," *IEEE J. Solid State Circuits*, vol. 31, no. 12, pp. 1854-1861, Dec. 1996.

[25] A.M.a. Ali, C. Dillon, R. Sneed, A.S. Morgan, S. Bardsley, J. Kornblum, L. Wu, "A 14-bit 125 MS/s IF/RF Sampling Pipelined ADC With 100 dB SFDR and 50 fs Jitter", *IEEE J. Solid-Sate Circuits*, vol. 41, no. 8, pp. 1846-1855, Aug. 2006.

[26] L. Sumanen, M. Waltari, and K. Halonen, "A 10-b 200-MS/s CMOS parallel pipeline A/D converter," *IEEE J. Solid-Sate Circuits*, vol. 36, pp. 1048-1055, Jul. 2001.

[27] B. Murmann, B.E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 2040-2050, December 2003.

[28] E. Iroaga and B. Murmann, "A 12b, 75MS/s pipelined ADC using incomplete settling," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 748-756, April 2007.

[29] B. Nejati, A. Khakifirooz, S.J. Ashtiani, and O. Shoaei, "Pipeline Analog-to-Digital Converters with radix <2," *International Conference on Microelectronics*, pp. 39-42, Oct. 2000.

[30] U. Moon and G. Temes, "Digital redundancy/correction and calibration," *IEEE communication magazine*, pp. 137- 139, Oct. 1999.

[31] P. Li, M. Chin, and P. Gray, "A ratio independent algorithmic analog-to-digital conversion technique," IEEE J. Solid-State Circuits, vol. sc-19, pp. 828-836, Dec. 1984.

[32] B. Song, M. Tompsett, and K. Lakshmikumar, "A 12-b 1-Msample/s capacitor error-averaging pipelined A/D converter," *IEEE J. Solid-State Circuits*, vol. 23, pp. 1324-1333, Dec. 1988.

[33] Y. Lin, B. Kim, and P. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3um CMOS," *IEEE J. Solid-State Circuits*, vol. sc-26, pp. 628-636, Apr. 1991.

[34] C. Shih and P. Gray, "Reference refreshing cyclic analog-to-digital and digital-to-analog converters," *IEEE J. Solid-State Circuits*, vol. sc-21, pp. 544-554, Aug. 1986.

[35] C. Enz and G. Ternes, "Circuit techniques for reducing the effects of opamp imperfections: audozeroing, correlated double sampling and chopper stabalization," Proc. Of IEEE, pp.1584-1614, Nov. 1996.

[36] S. Lee and B. Song, "Digital-domain calibration of multi-step analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.

[37] A. Karanicolas and H. Lee, "A 15-b 1-Msample/s digitally self-calibrated pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1207-1215, Dec. 1993.

[38] S. Lee and B. Song, "Interstage gain proration technique for digital-domain multi-step ADC calibration," *IEEE Trans. Circuits Syst. II*, vol. 41, pp. 12-18, Jan. 1994.

[39] Y.S. Shu, and B.S. Song, "A 15-bit linear 20-MS/s Pipelined ADC digitally calibrated with signal-dependent dithering," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp.342-350, Feb 2008.

[40] J. Ingino and B. Wooley, "A continuously calibrated 12-b l0-Ms/s 3.3-V A/D converter," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1920-1931, Dec. 1998.

[41] U. Moon and B. Song, "Background digital calibration techniques for pipelined ADCs," *IEEE Trans. Circuits Syst. II*, vol.44, pp.102-109, Feb. 1997.

[42] O. Erdogan, P. Hurst, and S. Lewis, "A 12-b digital-background-calibrated algorithmic ADC with -90-dB THD," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1812-1820, Dec. 1999.

[43] T. Shu, B. Song, and K. Bacrania, "A 13-b, 10-Msample/s ADC digitally calibrated with oversampling delta-sigma converter," IEEE J. Solid-State Circuits, vol. 32, pp. 1866-1875, Dec. 1997.

[44] R. Jewett, K. Poulton, K. Hsieh, and J. Doemberg, "A 12-b 128Msamples/s ADC with 0.05LSB DNL," *Proc Int. Solid-State Circuits Conference*, pp. 138-139, Feb. 1997.

[45] J. Ming and S. Lewis, "An 8-bit 80-Msample/s Pipelined analog-to-digital converter with background calibration," *IEEE J. Solid-Sate Circuits*, vol. 36, pp. 1489- 497, Oct. 2001.

[46] I. Galton, "Digital cancelation of D/A converter noise in Pipelined A/D converters," *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 185-196, Mar. 2000.

[47] A. Panigada and I. Galton, "Digital background correction of harmonic distortion in pipelined ADCs," *Trans. Circuits Syst. I*: Regular papers, vol. 53, no. 9, Sep. 2006.

[48] B. Murmann and B. Boser, "A 12-b 75MS/s pipelined ADC using open-Loop residue amplifier," *International Solid-State Circuits Conference Digest of Tech. papers*, pp. 330-331, Feb. 2003.

[49] D. Y. Chang, J. Li, and U.-K. Moon, "Radix-based digital calibration techniques for multi-stage recycling Pipelined ADCs," *IEEE Trans. Circuits Syst. I*, vol. 51, no. 11, Nov. 2004.

[50] J. McNeill, M. C. W. Coln, and B. J. Larivee, "Split ADC architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, Dec. 2005.

[51] M. Taherzadeh-Sani and A. Hamoui, "Digital background calibration of a 0.4-pJ/step 10-bit Pipelined ADC without PN generator in 90-nm Digital CMOS," IEEE Asian Solid-State Circuits Conference, Nov. 2008.

[52] Bibhu Datta Sahoo, and Behzad Razavi, "A 12-bit 200-MHz CMOS ADC," *IEEE J. Solid-State Circuits*, vol.44, no. 9, pp. 2366–2380, Sep. 2009.

[53] S.S. Haykin, "Adaptive Filter Theory", 3rd ed. Upper Saddle River, Prentice-Hall, 1996.

[54] K. El-sankary and M. Sawan, "A background calibration technique for multibit/stage pipelined and time-interleaved ADCs" *IEEE Trans. Circuits Syst. II*, vol. 53, no. 6, pp. 448-452, June 2006.

[55] X. Wang, Paul J. Hurst, and Stephen H. Lewis, "A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration," *IEEE J. Solid-State Circuits*, vol. 39,no. 11, pp. 1799–1808, Nov 2004.

[56] B.G. Lee, B.M. Min Manganaro, G. Valvano, "A 14-b 100-MS/s Pipelined ADC With a merged SHA and first MDAC," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2613-2619, Dec. 2008.

[57] D.Y. Chang, "Design techniques for a pipelined ADC without using a front-end sample-and-hold amplifier," *IEEE Trans. Circuits Syst. I*: Regular papars, vol. 51, pp. 2123-2132, Apr. 2004.

[58] M.Yavari, N. Maghari, O. Shoaei, "An accurate analysis of slew rate for two-stage CMOS opamps," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 3, pp. 164-167, Mar. 2005.

[59] S. Abdinia, "Design and simulation of a low-power and high-speed pipelined analog-to-digital converter in 90-nm CMOS", M.Sc. dissertation, K. N. Toosi University of Technology, 2009.

[60] S. Hashemi, O. Shoaei, "A 0.9V 10-bit 100 MS/s switched-RC pipelined ADC without using a front-end S/H in 90nm CMOS," *IEEE International Symposium on Circuits and Systems*, pp. 13-16, 2008.

[61] R. G. Massolini, G. Cesura, and R.Castello, "A fully digital fast convergence algorithm for nonlinearity correction in multistage ADC," *IEEE Trans. Circuits Syst. II*, vol. 53, no. 5, pp. 389-393, MAY 2006.

[62] Maxim-IC, "Histogram testing determines DNL and INL errors," Application note 2085, Jun 2003.

[63] M. dessouky, M.-M. Louerat, and A. kaiser, "Switch sizing for very low-voltage switched-capacitor circuits," *IEEE International Conference on Electronics, Circuits, and Systems*, vol.3, pp. 1549- 1552, 2001.

[64] N. Sasidhar, Y.J. Kook, S. Takeuchi , K. Hamashita , K. Takasuka , P. K. Hanumolu and Un-Ku Moon, "A 1.8V 36-mW 11-bit 80MS/s pipelined ADC using capacitor and opamp Sharing," *IEEE Asian Solid-State Circuits Conference,* pp. 240-243, Nov. 2007.

[65] H. van der Ploeg, G. Hoogzaad, H. Termeer, M. Vertregt, and R. Roovers, "A 2.5-V 12-b 54-Msample/s 0.25-um CMOS ADC in 1-mm^2 with mixed-signal chopping and calibration," *IEEE J. Solid-State Circuits*, vol. 36,no. 12, pp. 1859–1867, Dec. 2001.

[66] T.H. Tomas T. Liechti, A. Tajalli, O. Can Akgun, Z. Toprak, and Y. Leblebici, "A 1.8V 12-bit 230-MS/s Pipeline ADC in 0.18µm CMOS technology," *IEEE International Symposium on Circuits and Systems*, pp. 21-24, 2008.

[67] T. Ito, D. Kurose, T. Ueno, T. Yamaji and T. Itakura, "55-mW 1.2-V 12-bit 100-MSPS pipeline ADCs for wireless receivers," *IEEE International Symposium on Circuits and Systems*, pp. 540-543, 2006.

[68] T.N. Andersen, B. Hernes, A. Briskemyr, F. Telsto, J. Bjornsen, Th.E. Bonnerud, and O. Moldsvor, "A cost-efficient high-speed 12-bit pipeline ADC in 0.18-µm Digital CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, July 2005.

[69] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enrquez, D. Bisbal, M. Banu, and J. Barbolla "Low-power pipeline ADC for wireless LANs," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, Agu. 2004.

[70] S. Kulhalli, V. Penkota, and R. Asv, "A 30mW 12b 21MSample/s Pipelined CMOS ADC," *International Solid-State Circuits Conference*, vol. 1, 2002.

[71] H. Wang, X. Wang, P.J. Hurst, and S.H. Lewis, "Nested digital background calibration of a 12-bit pipelined ADC without an input SHA," *IEEE J. Solid-State Circuits*, vol. 44, no. 10, Oct. 2009.

[72] A.Verma, and Behzad Razavi, "A 10-Bit 500-MS/s 55-mW CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, Nov. 2009.

[73] S.Yu. Chuang, and T. L. Sculley, "A digitally self-calibrating 14-bit 10-MHz CMOS Pipelined A/D Converter" *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 674-683, june 2002.

[74] M.H Liu, W.Y. Ou, T.Y. Su, K.C. Huang, and S.I Liu, "A 1.5 V 12-bit 16 MSPS CMOS pipelined ADC with 68 dB dynamic range," *Analog Integrated Circuits and Signal Processing*, Kluwer Academic Publishers, 2004.

[75] H. Yu, S. W. Chin, and B.C. Wong, "A 12b 50MSPS 34mW pipelined ADC," *IEEE Custom Intergrated Circuits Conf*, pp. 297-300, 2008.

Abstract

Nowadays wireless LAN systems working in IEEE 802.11 standards have an important role in communications. These systems need an analog to digital converter which should be designed optimally. Here a pipelined ADC as a Nyquist rate converter is designed to be used in IEEE 802.11 standards. Sampling rate of the ADC is 80MS/s achieving 12 bits of resolution. To obtain the required specifications, the most limiting factors containing capacitor's mismatch, finite DC gain and its variations are decreased using error calibration techniques.

Here two new digital adaptive calibration methods are proposed for pipelined ADCs. The first method is a background calibration technique compensating for linear errors. While the second proposed calibration technique compensates for both linear and nonlinear errors to increase the ADC resolution.

Proposed calibration methods are studied using MATLAB simulations and second method is implemented on the circuit of pipelined ADC. In fact a pipelined ADC is designed using switched-capacitor circuits in 90-nm CMOS technology with 1V of power supply and then its linear and nonlinear errors are decreased using the second proposed calibration technique. The ADC achieves 72dB SNDR and 78dB SFDR after calibration while consuming only 57.8mW power dissipation. This low power consumption is because of the ADC relaxed circuits, input sample and hold circuit elimination and also scaling of stages capacitors.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of a Low Power High Resolution Pipelined Analog-to-Digital Converter in 90-nm CMOS

By:
Tohid Moosazadeh Hamzekandi

Under Supervision of:
Dr. Mohammad Yavari

July 2010