Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

PhD dissertation in electrical engineering

Design and Calibration of Opamp-Less Pipelined Analog-to-Digital Converters

By:
Tohid Moosazadeh Hamzehkandi

Under Supervision of:
Dr. Mohammad Yavari

September 2015

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی برق

رساله دکترا
(گرایش الکترونیک)

طراحی و کالیبراسیون مبدل‌های آنالوگ به دیجیتال Pipeline بدون استفاده از تقویت‌کننده عملیاتی

نگارش:
توحید موسی زاده حمزه‌کندی
(۸۹۱۲۳۹۲۴)

استاد راهنما:
دکتر محمد یاوری

شهریور ۱۳۹۴

بسم الله الرحمن الرحيم

تقدیم به

پدر و مادر عزیز و همسر مهربانم

تشکر و قدردانی

از درگاه خداوند دانا کمال حمد و سپاس را دارم که امید به او همواره انگیزه‌بخش و یادش آرامش‌بخش مسیر زندگی‌ام بوده است. از خانواده‌ی صبورم که از آغاز دوران تحصیل با محبت و حمایت بی‌دریغشان همواره حامی و مشوق اصلی من بوده‌اند بینهایت سپاسگزارم و از همسر مهربانم که در تمام مراحل انجام این رساله همراه و همگامم بود و همفکری با وی موجب تسریع در روند اجرای رساله گردید متشکرم.

همچنین از زحمات استاد ارجمندم جناب آقای دکتر یاوری و راهنمایی‌های ایشان نهایت تشکر و قدردانی را دارم.

از درگاه خدای منان برای همه ایشان سلامتی و بهروزی آرزومندم.

چکیده

مبدل‌های آنالوگ به دیجیتال با معماری Pipeline به صورت وسیع در کاربردهای با دقت ۱۰ تا ۱۴ بیت و سرعت ۱۰ MS/s تا ۵۰۰ MS/s مورد استفاده قرار می‌گیرند. بخش عمده‌ی توان مصرفی این مبدل‌ها ناشی از تقویت‌کننده‌های با عملکرد بسیار خطی در طبقات آن‌ها می‌باشد. در تکنولوژی‌های مدرن نانومتر CMOS به دلیل کاهش حداکثر مقدار منبع تغذیه، طراحی تقویت‌کننده‌های عملیاتی با بهره و سوئینگ بالا عملا بسیار سخت بوده و تبدیل به چالشی بزرگ در پیاده‌سازی مبدل‌های Pipeline با کارایی بالا شده است. به منظور غلبه بر این چالش، می‌توان تقویت‌کننده‌های موجود در ساختار مبدل Pipeline را با ساختاری جدید که توان پایین و پیاده‌سازی راحت‌تری دارد، جایگزین کرد و یا از تقویت‌کننده‌های ضعیف‌تری استفاده نموده و خطاهای آنها را با کمک تکنیک‌های کالیبراسیون دیجیتال جبران کرد.

در این رساله، ابتدا روش‌های مختلف جایگزینی تقویت‌کننده‌ها در مبدل‌های Pipeline با کارایی بالا بررسی شده و سپس چند روش برای جایگزینی تقویت‌کنندها با ساختارهای شبه - تفاضلی پیشنهاد می‌شوند. در روش اول، مدار یک اینورتر برای جایگزینی تقویت‌کننده‌ی عملیاتی معرفی می‌شود. سپس با استفاده جداگانه از ورودی‌های این اینورتر، تقویت‌کننده‌ی جدیدی با قابلیت استفاده مجدد از جریان پیشنهاد شده است که ساختار بهتری برای تکنیک اشتراک گذاری تقویت‌کننده‌ها ایجاد کرده و تعداد تقویت کننده‌های مبدل را به نصف کاهش می‌دهد. در نهایت یک روش کالیبراسیون دیجیتال پیشنهاد شده است که به کمک آن می‌توان از یک اینورتر ساده به جای تقویت کننده استفاده کرده و خطاهای آن را در حوزه‌ی دیجیتال جبران کرد.

کارایی هر سه ساختار پیشنهادی در بستر سه مبدل ۱۰ بیتی با سرعت نمونه‌برداری ۱۰۰ MS/s و با کمک نرم افزارهای شبیه ساز Spectre/Cadence و HSPICE مورد بررسی قرار گرفته است.

دو مبدل اولی در تکنولوژی ۹۰nm با ولتاژ تغذیه‌ی ۱V پیاده‌سازی شده‌اند و مبدل نهایی در تکنولوژی ۰/۱۸ µm با دو ولتاژ تغذیه‌ی ۱/۲V و ۱/۸V به عنوان یک نمونه عملی پیاده‌سازی شده است. این مبدل از ساختار اینورتر ساده و تکنیک کالیبراسیون دیجیتال پیشنهادی استفاده می‌کند. ابتدا مبدل‌ها در سطح مداری طراحی و شبیه‌سازی شده‌اند و پس از جانمایی[1] مبدل نهایی توسط نرم افزار شبیه ساز Spectre/Cadence، شبیه سازی‌های بعد از جانمایی صورت گرفته است. توان مصرفی مبدل Pipeline نهایی ۹/۴۵ mW، مساحت تراشه‌ی آن بدون در نظر گرفتن پدها ۰/۸۱mm^2، SNDR و SFDR آن به ترتیب dB ۵۹/۱ و dB ۶۴ می‌باشد. با توجه به نتایج حاصل از این شبیه‌سازی‌ها، اینورتر ساده به همراه کالیبراسیون دیجیتال می‌تواند جایگزین مناسبی برای تقویت کننده‌ی عملیاتی در مبدل‌های Pipeline باشد.

واژه‌های کلیدی: مبدل‌های آنالوگ به دیجیتال Pipeline، روش‌های جایگزینی تقویت‌کننده عملیاتی، ساختارهای شبه - تفاضلی، روش‌های کالیبراسیون پس‌زمینهِ دیجیتال، تکنولوژی‌های نانومتر CMOS.

[1] Layout

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... ه
فهرست شکل‌ها ..... و

فصل ۱ مقدمه ۱
۱-۱ انگیزه ۱
۱-۲ اهداف رساله ۳
۱-۳ نوآوری‌های رساله ۳
۱-۴ ساختار رساله ۴

فصل ۲ مبدل‌های Pipeline با کارایی بالا ۵
۲-۱ مقدمه ۵
۲-۲ مبدل‌های آنالوگ به دیجیتال Pipeline ۷
۲-۳ چالش‌های طراحی مبدلهای Pipeline ۱۲
۲-۳-۱ بهره‌ی DC محدود تقویت‌کننده‌ها ۱۲
۲-۳-۲ پهنای باند تقویت‌کننده‌ها ۱۳
۲-۳-۳ آفست تقویت‌کننده‌ها ۱۳
۲-۳-۴ اعوجاج تقویت‌کننده‌ها ۱۴
۲-۳-۵ آفست مقایسه‌گرها ۱۴
۲-۳-۶ خطینگی زیر مبدل دیجیتال به آنالوگ ۱۵
۲-۳-۷ خطینگی و میزان تزریق بار سوئیچ‌ها ۱۵
۲-۴ روش‌های متداول طراحی مبدل Pipeline با عملکرد بالا ۱۶
۲-۴-۱ اشتراک‌گذاری تقویت‌کننده بین طبقات متوالی ۱۷
۲-۴-۲ مقیاس‌گذاری خازن‌های طبقات مبدل ۱۸
۲-۴-۳ نمونه‌برداری دوگانه ۱۸
۲-۵ ساختارهای جایگزین برای تقویت‌کننده عملیاتی ۱۹
۲-۵-۱ تقویت‌کننده حلقه باز ۲۰
۲-۵-۲ تقویت‌کننده بر اساس مقایسه‌گر ۲۳
۲-۵-۳ تقویت‌کننده بر اساس پمپ بار خازنی ۲۴
۲-۵-۴ تقویت‌کننده‌ی چرخش بار ۲۵
۲-۶ کالیبراسیون دیجیتال مبدل‌های Pipeline با کارایی بالا ۲۷
۲-۶-۱ اندازه‌گیری خطاها بر مبنای همبستگی ۲۸

۲-۶-۲ اندازه‌گیری خطاها بر مبنای معادل سازی ۲۸
۲-۶-۳ اندازه‌گیری خطاها بر مبنای هیستوگرام خروجی مبدل ۲۹
فصل ۳ ساختارهای پیشنهادی برای مبدل‌های Pipeline با کارایی بالا ۳۱
۳-۱ مقدمه ۳۱
۳-۲ ساختارهای شبه - تفاضلی ۳۲
۳-۳ مدار MDAC1 ۳۵
۳-۳-۱ بررسی نویز حرارتی MDAC1 ۳۷
۳-۳-۲ بررسی اثرات غیر ایده‌آلی در عملکرد MDAC1 ۳۸
۳-۴ مدار MDAC2 ۴۰
۳-۴-۱ بررسی اثرات غیر ایده‌آلی در عملکرد MDAC2 ۴۲
۳-۴-۲ گسترش مدار MDAC2 به حالت چند بیتی ۴۲
۳-۵ تقویت کننده بر اساس اینورتر ۴۳
۳-۵-۱ ساختار اینورتر پیشنهادی ۴۴
۳-۵-۲ بررسی محدوده‌ی سیگنال خروجی و نویز حرارتی ۴۶
۳-۶ تقویت‌کننده با قابلیت استفاده‌ی مجدد از جریان ۴۸
۳-۶-۱ اثرات حافظه در اشتراک گذاری تقویت کننده‌ها ۴۹
۳-۶-۲ تقویت کننده‌ی پیشنهادی با قابلیت استفاده‌ی مجدد از جریان ۵۳
۳-۷ پیاده‌سازی مداری و نتایج شبیه‌سازی ۵۴
۳-۷-۱ مبدل Pipeline اول ۵۵
۳-۷-۲ مبدل Pipeline دوم ۶۱
۳-۸ جمع بندی و مقایسه ۶۴
فصل ۴ کالیبراسیون دیجیتال مبدل‌های Pipeline ۶۹
۴-۱ مقدمه ۶۹
۴-۲ روش کالیبراسیون دیجیتال پیشنهادی ۷۰
۴-۲-۱ مدلسازی خطاها ۷۰
۴-۲-۲ حالت اول از جبران سازی پیش زمینه‌ای خطاها ۷۳
۴-۲-۳ حالت دوم از جبران سازی پیش زمینه‌ای خطاها ۷۷
۴-۲-۴ روش پیشنهادی برای دنبال کردن تغییرات ضرایب کالیبراسیون ۸۰
۴-۲-۵ سخت افزار مورد نیاز برای روش پیشنهادی ۸۴
۴-۳ نتایج شبیه‌سازی رفتاری ۸۵
۴-۴ جمع‌بندی و مقایسه ۸۸
فصل ۵ پیاده‌سازی یک مبدل Pipeline نمونه ۹۰
۵-۱ مقدمه ۹۰

۵-۲ مدارهای مبدل Pipeline بر اساس اینورتر ساده ۹۰
۵-۲-۱ نحوه‌ی حذف مدار SHA مجزای ورودی ۹۲
۵-۲-۲ اینورتر ساده به عنوان تقویت کننده‌ی طبقات ۹۳
۵-۲-۳ مدار سوئیچ شونده‌ی خازنی MDAC ۹۵
۵-۲-۴ زیر مبدل آنالوگ به دیجیتال ۹۷
۵-۲-۵ زیر مبدل دیجیتال به آنالوگ ۱۰۰
۵-۲-۶ طراحی سوئیچ‌های مورد نیاز ۱۰۱
۵-۲-۷ مدار بایاس مرجع ۱۰۴
۵-۲-۸ مدار تولید کلاک‌های مبدل ۱۰۴
۵-۲-۹ درایورهای خروجی ۱۰۶
۵-۳ پیاده‌سازی روش کالیبراسیون پیشنهادی ۱۰۸
۵-۳-۱ نحوه‌ی تولید سیگنالهای کالیبراسیون ۱۰۸
۵-۳-۲ زمان‌بندی الگوریتم کالیبراسیون (ماشین حالت) ۱۰۹
۵-۴ جمع بندی ۱۱۳

فصل ۶ نتایج شبیه‌سازی مبدل نمونه ۱۱۴
۶-۱ جانمایی مبدل ۱۱۴
۶-۲ نتایج شبیه‌سازی ۱۱۷
۶-۳ مقایسه‌ی عملکرد مبدل پیاده‌سازی شده با مبدل‌های دیگر ۱۲۱
۶-۴ جمع بندی ۱۲۳

فصل ۷ نتیجه‌گیری، پیشنهادات و دستاوردها ۱۲۴
۷-۱ جمع بندی کلی و نتیجه‌گیری ۱۲۴
۷-۲ پیشنهادات برای ادامه‌ی کار ۱۲۵
۷-۳ دستاوردهای رساله ۱۲۶

واژه‌نامه ۱۲۸

فهرست مراجع ۱۳۲

فهرست جدول‌ها

عنوان **صفحه**

جدول (۳-۱): اندازه‌ی المان‌های استفاده شده در اینورتر پیشنهادی. ۵۶
جدول (۳-۲): مشخصات بدست آمده از شبیه‌سازی MDAC1 و اینورتر پیشنهادی. ۵۹
جدول (۳-۳): ابعاد ترانزیستورهای تقویت‌کننده‌ی طبقات. ۶۱
جدول (۳-۴): نتایج شبیه‌سازی تقویت‌کننده‌ی پیشنهادی و MDAC2. ۶۲
جدول (۳-۵): مقایسه ساختار پیشنهادی برای به اشتراک‌گذاری تقویت‌کننده‌ها با ساختارهای مشابه. ۶۵
جدول (۳-۶): خلاصه‌ی مشخصات مبدل اول. ۶۵
جدول (۳-۷): خلاصه‌ی مشخصات مبدل دوم. ۶۵
جدول (۳-۸): مقایسه‌ی مشخصات بدست آمده از شبیه‌سازی مبدل‌های پیشنهادی و مبدل‌های دیگر. ۶۶
جدول (۴-۱): مقایسه‌ی مهمترین پارامترهای روش کالیبراسیون پیشنهادی با روش‌های دیگر. ۸۹
جدول (۵-۱): ابعاد افزاره‌های تقویت‌کننده‌ی طبقه‌ی اول. ۹۴
جدول (۵-۲): ابعاد افزاره‌های تقویت‌کننده‌ی طبقه‌ی دوم. ۹۴
جدول (۵-۳): ابعاد افزاره‌های تقویت‌کننده‌ی طبقه‌ی سوم. ۹۴
جدول (۵-۴): ابعاد ترانزیستورهای لچ دینامیکی. ۹۹
جدول (۵-۵): حالت‌های مختلف خروجی مقایسه‌گرها، دیکودر و مالتی پلکسر در طبقه‌ی ۱/۵ بیتی. ۱۰۱
جدول (۵-۶): اندازه‌ی افزاره‌های سوئیچ بوت استرپ طبقه‌ی اول. ۱۰۳
جدول (۵-۷): اندازه‌ی افزاره‌های سوئیچ بوت استرپ طبقه‌ی دوم. ۱۰۳
جدول (۵-۸): اندازه‌ی افزاره‌های سوئیچ بوت استرپ طبقه‌ی سوم. ۱۰۳
جدول (۵-۹): اندازه‌ی افزاره‌های سوئیچ بوت استرپ استفاده شده در زیر مبدل آنالوگ به دیجیتال. ۱۰۳
جدول (۵-۱۰): اندازه‌ی افزاره‌های مدار بایاس مرجع. ۱۰۴
جدول (۵-۱۱): ابعاد ترانزیستورهای تقویت کننده‌ی LVDS استفاده شده در مدار مولد کلاک. ۱۰۶
جدول (۵-۱۲): ابعاد ترانزیستورهای درایور خروجی. ۱۰۷
جدول (۵-۱۳): ورودی گیت‌های ترکیبی به ازای سیگنال‌های کنترلی طبقات. ۱۱۲
جدول (۵-۱۴): ارتباط منطقی خروجی‌های شمارنده و سیگنال‌های کنترلی نردبان مقاومتی. ۱۱۲
جدول (۶-۱): توضیح پین‌های مبدل پیاده‌سازی شده. ۱۱۵
جدول (۶-۲): خلاصه مشخصات مبدل شبیه‌سازی شده. ۱۲۰
جدول (۶-۳): مقایسه‌ی عملکرد مبدل نمونه و مبدل‌های دیگر با $Resolution \geq 10$ Bits. ۱۲۲

فهرست شکل‌ها

عنوان **صفحه**

شکل (۱-۱): مقایسه انواع مبدل‌های آنالوگ به دیجیتال از نظر سرعت تبدیل و دقت تفکیک. ۲
شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال. ۶
شکل (۲-۲): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال دو مرحله‌ای. ۷
شکل (۲-۳): بلوک دیاگرام مبدل آنالوگ به دیجیتال Pipeline. ۹
شکل (۲-۴): مدار MDAC با بهره‌ی ۲. الف) CNFA و ب) CFA. ۱۰
شکل (۲-۵): مدار مقایسه‌گر تزویج خازنی. ۱۱
شکل (۲-۶): مشخصه‌های انتقالی ایده‌آل و با آفست تقویت‌کننده برای طبقه‌ی ۱/۵ بیتی. ۱۴
شکل (۲-۷): مشخصه انتقالی طبقه ۱/۵ بیتی با در نظر گرفتن اعوجاج تقویت‌کننده. ۱۴
شکل (۲-۸): اثر آفست ولتاژ مقایسه‌گر در طبقه‌ی ۱/۵ بیتی. ۱۵
شکل (۲-۹): تکنیک به اشتراک‌گذاری تقویت‌کننده در طبقات متوالی مبدل. ۱۷
شکل (۲-۱۰): تکنیک نمونه‌برداری دوگانه در MDAC ۱/۵ بیتی. ۱۹
شکل (۲-۱۱): بیان مفهومی بهره‌ی توان پایین تقویت‌کننده‌های کلاس A. ۲۰
شکل (۲-۱۲): پیاده‌سازی یک طبقه از Pipeline با تقویت‌کننده حلقه باز. ۲۱
شکل (۲-۱۳): الف- مدل ساده شده یک MDAC با تقویت‌کننده حلقه باز و ب- تابع تبدیل تقویت‌کننده حلقه باز. ۲۲
شکل (۲-۱۴): ساختار تقویت کننده بر اساس مقایسه‌گر الف- فاز نمونه‌برداری ب- فاز تقویت. ۲۳
شکل (۲-۱۵): ساختار نیم‌مدار طبقه ۱/۵ بیتی با استفاده از پمپ بار خازنی. ۲۴
شکل (۲-۱۶): تقویت‌کننده‌ی دینامیکی. ۲۵
شکل (۲-۱۷): الف- تقویت‌کننده‌ی چرخش بار ساده و ب- شکل موج خروجی آن. ۲۶
شکل (۲-۱۸): الف- تقویت‌کننده‌ی چرخش بار دو طبقه و ب- شکل موج خروجی آن. ۲۷
شکل (۲-۱۹): هیستوگرام کدهای مبدل پشتی حول نقطه‌ی تصمیم گیری طبقه. ۳۰
شکل (۳-۱): مدار تک سر MDAC ۱/۵ بیتی CFA و CNFA. ۳۴
شکل (۳-۲): ساختار سوئیچ شونده‌ی خازنی MDAC1 ۱/۵ بیتی. ۳۵
شکل (۳-۳): الف- فاز نمونه برداری و ب- فاز تقویت MDAC1. ..... ۳۶
شکل (۳-۴): مدل نویز سوئیچ‌های MDAC1 الف- در فاز نمونه‌برداری و ب- در فاز تقویت. ۳۹
شکل (۳-۵): ساختار MDAC2 ۱/۵ بیتی پیشنهادی. ۴۱
شکل (۳-۶): ساختار MDAC ۲/۵ بیتی الف) متداول و ب) پیشنهادی. ۴۳
شکل (۳-۷): ساختار اینورتر [۵۰]. ۴۴

شکل (۳-۸): ساختار اینورتر پیشنهادی. ۴۵
شکل (۳-۹): الف- ساختار نهایی اینورتر پیشنهادی و ب- ولتاژهای بایاس مورد نیاز. ۴۶
شکل (۳-۱۰): ساختار متداول برای اشتراک‌گذاری تقویت کننده‌ها در طبقات ۱/۵ بیتی. ۴۹
شکل (۳-۱۱): ساختار اشتراک‌گذاری تقویت کننده با دو زوج ورودی در طبقات متوالی مبدل. ۵۲
شکل (۳-۱۲): الف و ب- ساختار ساده‌شده‌ی تقویت‌کننده‌های استفاده شده در [۵۸] و [۱۹] و پ - تقویت کننده با قابلیت استفاده‌ی مجدد جریان. ۵۲
شکل (۳-۱۳): ساختار تقویت کننده‌ی نیمه تفاضلی Current-reuse پیشنهادی. ۵۳
شکل (۳-۱۴): ساختار مبدلهای Pipeline شبیه‌سازی شده. ۵۴
شکل (۳-۱۵): الف- ساختار مقایسه‌گرهای استفاده شده در زیر مبدلهای آنالوگ به دیجیتال و ب- ساختار لچ دینامیکی. ۵۵
شکل (۳-۱۶): ولتاژ آفست ورودی لچ دینامیکی الف- هیستوگرام ب- به ازای هر بار تکرار شبیه سازی مونت-کارلو. ۵۶
شکل (۳-۱۷): تابع تبدیل اینورترهای پیشنهادی، کسکود و ساده. ۵۶
شکل (۳-۱۸): پاسخ فرکانسی اینورتر پیشنهادی به ازای دماهای مختلف و گوشه‌های مختلف تکنولوژی. ۵۷
شکل (۳-۱۹): پاسخ پله‌ی MDAC1 به ازای دماهای مختلف و گوشه‌های مختلف تکنولوژی. ۵۷
شکل (۳-۲۰): پاسخ پله‌ی MDAC1 در مقایسه با ساختاهای CNFA و CFA. ۵۸
شکل (۳-۲۱): پروفایل DNL و INL مبدل اول. ۶۰
شکل (۳-۲۲): طیف خروجی مبدل اول. ۶۰
شکل (۳-۲۳): مقدار SNDR وSFDR مبدل اول به ازای فرکانسهای مختلف ورودی. ۶۰
شکل (۳-۲۴): مقدار SNDR وSFDR مبدل اول به ازای مقادیر مختلف ولتاژ مد - مشترک سیگنال ورودی. ۶۱
شکل (۳-۲۵): پاسخ فرکانسی ورودی‌های مختلف تقویت‌کننده با قابلیت استفاده‌ی مجدد جریان در طبقه‌ی اول مبدل. ۶۱
شکل (۳-۲۶): پاسخ پله MDAC2 طبقه‌ی اول به ازای ورودی‌های مختلف تقویت‌کننده با قابلیت استفاده‌ی مجدد جریان. ۶۲
شکل (۳-۲۷): پروفایل INL و DNL مبدل دوم. ۶۳
شکل (۳-۲۸): طیف سیگنال خروجی مبدل دوم در گوشه‌ی TT و دمای ۲۷ °C. ۶۳
شکل (۳-۲۹): مقادیر SNDR و SFDR خروجی مبدل دوم به ازای فرکانس‌های مختلف ورودی. ۶۳
شکل (۳-۳۰): مقادیر SNDR و SFDR مبدل دوم به ازای آفست ولتاژ مد - مشترک ورودی در مقایسه با [۵۹] ۶۴
شکل (۴-۱): مدل یک طبقه‌ی ۱/۵ بیتی ایده‌آل. ۷۰
شکل (۴-۲): الف- مدار MDAC ۱/۵ بیتی ایده‌آل و ب- تابع تبدیل آن. ۷۱

شکل (۴-۳): الف- مدل طبقه‌ی MDAC ۱/۵ بیتی غیر ایده‌آل و ب- تابع تبدیل آن. ۷۲
شکل (۴-۴): مدل بدست آمده برای جبران خطاهای طبقه‌ی ۱/۵ بیتی. ۷۴
شکل (۴-۵): شکل مفهومی روش خود-اندازه‌گیری [۸۲]. ۷۴
شکل (۴-۶): مبدل Pipeline مورد استفاده برای توضیح مشکل روش خود-اندازه‌گیری. ۷۶
شکل (۴-۷): تابع تبدیل مبدل با در نظر گرفتن الف- خطاهای خطی و ب- خطاهای خطی و غیر خطی. ۷۷
شکل (۴-۸): تابع تبدیل مبدل بعد از کالیبراسیون. ۷۹
شکل (۴-۹): استفاده از تابع تبدیل طبقه برای بدست آوردن ضریب α_3 . ..... ۸۰
شکل (۴-۱۰): تابع تبدیل یک طبقه‌ی ۱/۵ بیتی برای بیان نحوه‌ی دنبال کردن تغییرات ضرایب کالیبراسیون. ۸۱
شکل (۴-۱۱): کالیبراسیون دیجیتال مبتنی بر روش هیستوگرام لغزشی. ۸۳
شکل (۴-۱۲): مثالی برای مقایسه‌ی روش هیستوگرام لغزشی و روش متداول. ۸۳
شکل (۴-۱۳): فلوچارت روش پیشنهادی برای کالیبراسیون خطاها. ۸۴
شکل (۴-۱۴): مالتی پلکسرها و نردبان مقاومتی مورد نیاز برای روش خود-اندازه‌گیری بهبود یافته. ۸۴
شکل (۴-۱۵): همگرایی اولیه‌ی ضرایب کالیبراسیون طبقه‌ی اول مبدل. ۸۶
شکل (۴-۱۶): طیف سیگنال خروجی مبدل قبل از کالیبراسیون با FFT ۴۰۹۶ نقطه‌ای. ۸۶
شکل (۴-۱۷): طیف سیگنال خروجی مبدل بعد از کالیبراسیون پیش زمینه با روش خود- اندازه‌گیری بهبود یافته. ۸۷
شکل (۴-۱۸): طیف سیگنال خروجی مبدل بعد از کالیبراسیون پیش زمینه با روش خود- اندازه‌گیری [۸۲]. ۸۷
شکل (۴-۱۹): هیستوگرام خروجی مبدل پشتی طبقه اول در نزدیکی $0/25V_{ref}$ و به ازای ورودی‌های سینوسی، شیب و تصادفی. ۸۸
شکل (۵-۱): ساختار مبدل پیاده‌سازی شده. ۹۱
شکل (۵-۲): دو مسیر طبقه‌ی اول در فاز نمونه‌برداری. ۹۲
شکل (۵-۳): الف- تقویت کننده بر اساس اینورتر ساده و ب- مدار بایاس مورد نیاز. ۹۴
شکل (۵-۴): ساختار MDAC مورد استفاده در طبقات مبدل به همراه انواع سوئیچ‌های مورد استفاده..۹۶
شکل (۵-۵): ساختار لچ دینامیکی مورد استفاده در زیر مبدل‌های آنالوگ به دیجیتال. ۹۸
شکل (۵-۶): مقایسه‌گر مورد استفاده در طبقات مبدل. ۹۸
شکل (۵-۷): دیکودر مورد استفاده در زیر مبدل‌های آنالوگ به دیجیتال طبقات ۱/۵ بیتی. ۱۰۰
شکل (۵-۸): زیر مبدل دیجیتال به آنالوگ. ۱۰۰
شکل (۵-۹): ساختار سوئیچ بوت استرپ متقارن. ۱۰۲
شکل (۵-۱۰): مدار بایاس مرجع. ۱۰۴
شکل (۵-۱۱): مدار مولد کلاک فازهای مبدل. ۱۰۵

شکل (۵-۱۲): شکل موج کلاک فازهای مختلف استفاده شده در مبدل Pipeline. ۱۰۵
شکل (۵-۱۳): تقویت کننده‌ی LVDS استفاده شده در مدار مولد کلاک. ۱۰۶
شکل (۵-۱۴): مدار درایورهای خروجی. ۱۰۷
شکل (۵-۱۵): نردبان مقاومتی مورد استفاده در کالیبراسیون. ۱۰۹
شکل (۵-۱۶): مالتی پلکسر ورودی طبقات. ۱۰۹
شکل (۵-۱۷): ماشین حالت استفاده شده جهت کنترل زمان‌بندی کالیبراسیون. ۱۱۰
شکل (۵-۱۸): ساختار ماشین حالت. ۱۱۱
شکل (۵-۱۹): شمارنده ۸ بیتی استفاده شده در ماشین حالت. ۱۱۱
شکل (۵-۲۰): ساختار فلیپ فلاپ D با قابلیت ریست شدن. ۱۱۲
شکل (۵-۲۱): گیت ترکیبی (CG) استفاده شده در ماشین حالت. ۱۱۲
شکل (۶-۱): نقشه‌ی طرح مبدل پیاده‌سازی شده. ۱۱۵
شکل (۶-۲): لی آوت مبدل Pipeline پیاده‌سازی شده. ۱۱۶
شکل (۶-۳): طیف توان خروجی مبدل قبل از اعمال الگوریتم کالیبراسیون. ۱۱۷
شکل (۶-۴): طیف توان خروجی مبدل بعد از اعمال کالیبراسیون در گوشه‌ی معمولی تکنولوژی و دمای ۲۷° C ۱۱۸
شکل (۶-۵): طیف توان خروجی مبدل بعد از اعمال کالیبراسیون در گوشه‌ی تند تکنولوژی و دمای C ۴۰°- ۱۱۸
شکل (۶-۶): طیف توان خروجی مبدل بعد از اعمال کالیبراسیون در گوشه‌ی کند تکنولوژی و دمای C ۸۵°- ۱۱۸
شکل (۶-۷): مقادیر SNDR و SFDR مبدل نمونه به ازای فرکانس‌های مختلف ورودی. ۱۱۹
شکل (۶-۸): پروفایل DNL و INL قبل از اعمال کالیبراسیون. ۱۱۹
شکل (۶-۹): پروفایل DNL و INL بعد از اعمال کالیبراسیون. ۱۲۰
شکل (۷-۱): اینورتر با نسبت رد تغذیه‌ی بهبود یافته. ۱۲۵
شکل (۷-۲): مفهوم روش دنبال کردن تغییرات ضریب مرتبه سوم مدل کالیبراسیون. ۱۲۶

اختصار نامه

ADC: Analog to Digital Converter
CDS: Correlated Double Sampling
CFA: Capacitor Flip Around
CG: Combinational gate
CMFB: Common Mode FeedBack
CMRR: Common Mode Rejection Ratio
CNFA: Capacitor Non Flip Around
DAC: Digital to Analog Converter
DNL: Differential Non-Linearity
DR: Dynamic range
DWA: Data weighted averaging
ENOB: Effective Number Of Bit
FFT: Fast Fourier Transform
FIR: Finite Impulse Response
FoM: Figure of Merit
GBW: Gain Band Width
HDC: Harmonic distortion correction
INL: Integral Non-Linearity
LMS: Least Mean Square
LSB: Least Significant Bit
LVDS: Low voltage differential signaling
MDAC: Multiplying Digital to Analog Converter
MSB: Most Significant Bit
MSE: Mean Squre Error
OTA: Operational Trans-conductance Amplifier
PSRR: Power Supply Rejection Ratio
SAR: Successive Aapproximation Register
SC: Switched Capacitor
SFDR: Spurious Free Dynamic Range
SHA: Sample and Hold Amplifier
SNDR: Signal to Noise and Distortion Ratio
SR: Slew Rate

واژه‌نامه

Adaptive	تطبیقی
Algorithmic	الگوریتمی
Analog to Digital Converters (ADCs)	مبدل‌های آنالوگ به دیجیتال
Anti-aliasing filter	فیلتر آنتی الیاسینگ
Aperture error	خطای روزنه‌ای
Backend	پشتی
Background	پس‌زمینه
Bootstrap	بوت‌استرپ
Buffer	بافر
Capacitive coupling	تزویج خازنی
Capacitor Flip Around (CFA)	خازن حالت چرخش به دور
Capacitor Non Flip Around (CNFA)	خازن حالت عدم چرخش به دور
Channel charge injection	تزریق بار کانال
Charge distribution	توزیع بار
Clock	کلاک
Clock buffer	بافر کلاک
Coarse convertor	مبدل دقت پایین
Common - mode	مد مشترک
Common - mode feedback	فیدبک مد مشترک
Common Mode Rejection Ratio (CMRR)	نسبت حذف مد مشترک
Comparator	مقایسه‌گر
Correlated double sampling	نمونه‌برداری دوگانه‌ی وابسته
Correlation	همبستگی
Current - reuse	استفاده‌ی مجدد از جریان
Decoder	دکودر

Differential Non-Linearity (DNL)	غیرخطینگی تفاضلی
Distortion	اعوجاج
Dynamic comaparator	مقایسه‌گر دینامیکی
Dynamic Range	محدوده‌ی دینامیکی
Effective Number Of Bits (ENOB)	تعداد بیت موثر
Fast Fourier Transform (FFT)	تبدیل فوریه سریع
Estimator	تخمین‌گر
Figure of Merit (FoM)	معیار شایستگی
Fine convertor	مبدل دقیق
Fitting	برازش
Flash	مبدل فلش
Flip around	چرخش به دور
Float	شناور
Floor plan	نقشه طرح
Folded cascade Amplifier	تقویت‌کننده‌ی کسکود تا شده
Folding	تا شدن
Foreground	پیش‌زمینه
Gain-boosting	افزایش بهره
Guard ring	حلقه‌ی محافظ
Integral Non-Linearity	غیرخطینگی جمع‌شونده
Integrated circuits	مدارهای مجتمع
Interpolation	درون‌یابی
Isolation	ایزولاسیون
Latch	قفل‌کننده
Latched comoparator	مقایسه‌گر قفل شونده
Latency	تاخیر در تولید
Layout	جانمایی
Least Significant Bit (LSB)	بیتِ با کمترین ارزش

Linearity	خطینگی
Metastability	ثبات
Mismatch	عدم تطبیق
Multiplexer	مالتی پلکسر
Multiplying Digital to Analog Converter (MDAC)	مبدل دیجیتال به آنالوگ ضرب‌کننده
Nonlinear polynomial interpolation	درون‌یابی چندجمله‌ای غیرخطی
Non-overlap	غیرهمپوشا
Nyquist rate	نرخ نایکوئیست
Operational Transconductance Amplifier	تقویت‌کننده‌ی عملیاتی هدایت انتقالی
Oversampling	بیش نمونه‌برداری
Parasitic	پارازیتی
Power Supply Rejection Ratio (PSRR)	نسبت حذف منبع تغذیه
Processor	پردازش‌گر
Pseudo - random noise	نویز نیمه تصادفی
Quantizer	کوانتایزر
Radix	مبنا، پایه
Ramp	شیب
Ratio-independent multiplication	ضرب مستقل از نسبت
Redundancy bit	بیت تکراری
Regeneration	باز تولید
Register	رجیستر، ثبات
Reliability	قابلیت اطمینان
Resistor ladder	نردبان مقاومتی
Resolution	قدرت تفکیک‌پذیری
Sample and hold	نمونه‌بردار و نگه‌دار
Sampling circuit	مدار نمونه‌برداری
Sampling frequency	فرکانس نمونه‌برداری
Scale	مقیاس‌گذاری

Settling time	زمان نشست
Shift register	شیفت‌رجیستر
Signal to Noise Ratio (SNR)	نسبت سیگنال به نویز
Signal-to-Noise-Distortion Ratio (SNDR)	نسبت سیگنال به نویز- اعوجاج
Slew rate	سرعت چرخش
Slot	شکاف
Spurious Free Dynamic Range (SFDR)	محدوده‌ی پویای تمیز
Stand by	حالت انتظار
Static comoparator	مقایسه‌گر ایستاتیک
subatrate	بستر
Sub-convereter	زیر مبدل
swing	سوئینگ
Switched Capacitor	سوئیچ‌شونده‌ی خازنی
Thermal code	کد حرارتی
Threshold	آستانه
Track	دنبال کردن
Track and Hold	دنبال کردن و نگه‌داشتن
Trade off	مصالحه
Transfer curve	منحنی انتقالی
Transition band	باند گذر
Two-Step converter	مبدل دو مرحله‌ای
Unity gain frequency	فرکانس بهره واحد

فهرست مراجع

[1] F. Maloberti, Data converters: *Springer-Verlag*, 2007.

[2] B. Razavi, Principles of data conversion system design: *IEEE press*, 1995.

[3] D. A. Johns and K. Martin, Analog integrated circuit design: *John Wiley & Sons*, 2008.

[4] W. N. HE, CMOS VLSI design: a circuits and systems perspective,: *Pearson Education India*, 2006.

[5] I. Ahmed, Pipelined ADC design and enhancement techniques: *Springer*, 2010.

[6] B. Murmann, "Digitally assisted analog circuits," *IEEE Micro*, pp. 38-47, 2006.

[7] W. Kester, "ADC architectures V: Pipelined subranging ADCs," *Tutorial MT-024*, Analog Devices, Inc, 2008.

[8] S. H. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 39, pp. 516-523, 1992.

[9] A. M. Abo, "Design for reliability of low-voltage, switched-capacitor circuits," *PhD thesis*, university of California, Berkeley, 1999.

[10] J. Li and U.-K. Moon, "Background calibration techniques for multistage pipelined ADCs with digital redundancy," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, pp. 531-538, 2003.

[11] B. Zeinali, T. Moosazadeh, M. Yavari, and A. Rodriguez-Vazquez, "Equalization-Based Digital Background Calibration Technique for Pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, pp. 322-333, 2014.

[12] L. Sumanen, M. Waltari, V. Hakkarainen, and K. Halonen, "CMOS dynamic comparators for pipeline A/D converters," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2002, pp. V-157-V-160 vol. 5.

[13] D. W. Cline, "Noise, speed, and power trade-offs in pipelined analog to digital converters," *PhD thesis*, University of California, Berkeley, 1995.

[14] B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 2040-2050, 2003.

[15] J. Li, "Accuracy enhancement techniques in low-voltage high-speed pipelined ADC design," *PhD thesis*, Oregon State University, 2004.

[16] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 349-355, 2001.

[17] R. Behzad, "Design of analog CMOS integrated circuits," *IEEE press*, 2001.

[18] S.-T. Ryu, B.-S. Song, and K. Bacrania, "A 10-bit 50-MS/s pipelined ADC with opamp current reuse," *IEEE J. of Solid-State Circuits*, vol. 42, pp. 475-485, 2007.

[19] K. Chandrashekar and B. Bakkaloglu, "A 10 b 50 MS/s opamp-sharing pipeline A/D with current-reuse OTAs," I*EEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 19, pp. 1610-1616, 2011.

[20] S. Haider, A. Ghosh, R. sankar Prasad, A. Chatierjeee, and S. Banerjee, "A 160 MSPS 8-bit pipeline based ADC," in *International Conference onVLSI Design*, 2005, pp. 313-318.

[21] S. Abdinia and M. Yavari, "A low-voltage low-power 10-bit 200 MS/s pipelined ADC in 90 nm CMOS," *J. of Circuits, Systems, and Computers*, vol. 19, pp. 393-405, 2010.

[22] B. Murmann, "Trends in low-power, digitally assisted A/D conversion," *IEICE transactions on electronics* vol. 93, pp. 718-729, 2010.

[23] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, et al., "A 20 GS/s 8 b ADC with a 1 MB memory in 0.18/spl mu/m CMOS," in *IEEE International Solid-State Circuits Conference, Digest of Technical Papers* 2003, pp. 318-496.

[24] D.-L. Shen and T.-C. Lee, "A 6-bit 800-MS/s pipelined A/D converter with open-loop amplifiers," *IEEE J. of Solid-State Circuits*, vol. 42, pp. 258-268, 2007.

[25] E. Iroaga and B. Murmann, "A 12-bit 75-MS/s pipelined ADC using incomplete settling," *IEEE J. of Solid-State Circuits*, vol. 42, pp. 748-756, 2007.

[26] J. K. Fiorenza, T. Sepke, P. Holloway, C. G. Sodini, and H.-S. Lee, "Comparator-based switched-capacitor circuits for scaled CMOS technologies," *IEEE J. of Solid-State Circuits*, vol. 41, pp. 2658-2668, 2006.

[27] L. Brooks and H.-S. Lee, "A 12b, 50 MS/s, fully differential zero-crossing based pipelined ADC," *IEEE J. of Solid-State Circuits*, vol. 44, pp. 3329-3343, 2009.

[28] L. Brooks and H.-S. Lee, "A zero-crossing-based 8-bit 200 MS/s pipelined ADC," *IEEE J. of Solid-State Circuits*, vol. 42, pp. 2677-2687, 2007.

[29] K.-F. Wong, S.-W. Sin, U. Seng-Pan, and R. Martins, "Level-Shifting variable current charging technique for high-speed Comparator-Based Switched-Capacitor circuits," in *International Midwest Symposium on Circuits and Systems* (*MWSCAS*), 2010, pp. 566-569.

[30] K.-F. Wong, S.-W. Sin, U. Seng-Pan, and R. Martins, "A modified charging algorithm for comparator-based switched-capacitor circuits," in *IEEE International Midwest Symposium on Circuits and Systems* (*MWSCAS*), 2009, pp. 86-89.

[31] A. Shafti and M. Yavari, "A zero-crossing based 10-bit 100 MS/s pipeline ADC with controlled current in 90 nm CMOS," *Analog Integrated Circuits and Signal Processing*, vol. 80, pp. 141-151, 2014.

[32] I. Ahmed, J. Mulder, and D. A. Johns, "A low-power capacitive charge pump based pipelined ADC," *IEEE J. of Solid-State Circuits*, vol. 45, pp. 1016-1027, 2010.

[33] M. Copeland and J. Rabaey, "Dynamic amplifier for MOS technology," *Electronics Letters*, vol. 15, pp. 301-302, 1979.

[34] B. J. Hosticka, "Dynamic CMOS amplifiers," *IEEE J. of Solid-State Circuits*, vol. 15, pp. 887-894, 1980.

[35] S.-H. W. Chiang, H. Sun, and B. Razavi, "A 10-Bit 800-MHz 19-mW CMOS ADC," *IEEE J. of Solid-State Circuits*, vol. 49, pp. 935-949, 2014.

[36] A. Verma and B. Razavi, "A 10-bit 500-ms/s 55-mw cmos adc," *IEEE J. of Solid-State Circuits*, vol. 44, pp. 3039-3050, 2009.

[37] B. D. Sahoo and B. Razavi, "A 12-bit 200-mhz cmos adc," *IEEE J. of Solid-State Circuits*, vol. 44, pp. 2366-2380, 2009.

[38] B. D. Sahoo and B. Razavi, "A 10-b 1-GHz 33-mW CMOS ADC," *IEEE J. of Solid-State Circuits*, vol. 48, pp. 1442-1452, 2013.

[39] A. Panigada and I. Galton, "Digital background correction of harmonic distortion in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, pp. 1885-1895, 2006.

[40] J. McNeill, M. C. Coln, and B. J. Larivee, ""Split ADC" architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC," *IEEE J. of Solid-State Circuits*, vol. 40, pp. 2437-2445, 2005.

[41] C. R. Grace, P. J. Hurst, and S. H. Lewis, "A 12-bit 80-MSample/s pipelined ADC with bootstrapped digital calibration," *IEEE J. of Solid-State Circuits*, vol. 40, pp. 1038-1046, 2005.

[42] U.-K. Moon and B.-S. Song, "Background digital calibration techniques for pipelined ADCs" *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 44, pp. 102-109, 1997.

[43] C. Ravi, T. Rahul, and B. Sahoo, "Histogram based deterministic digital background calibration for pipelined ADCs," in *International Conference on Embedded Systems and VLSI Design*, 2014, pp. 569-574.
[44] A. N. Karanicolas, H.-S. Lee, and K. Barcrania, "A 15-b 1-Msample/s digitally self-calibrated pipeline ADC," *IEEE J. of Solid-State Circuits*, vol. 28, pp. 1207-1215, 1993.
[45] L. Brooks and H.-S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, pp. 2969-2979, 2008.
[46] J. Li and U.-K. Moon, "A 1.8-V 67-mW 10-bit 100-MS/s pipelined ADC using time-shifted CDS technique," *IEEE J. of Solid-State Circuits*, vol. 39, pp. 1468-1476, 2004.
[47] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC," *IEEE J. of Solid-State Circuits*, vol. 39, pp. 2126-2138, 2004.
[48] J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW pipelined ADC using dynamic source follower residue amplification," *IEEE J. of Solid-State Circuits*, vol. 44, pp. 1057-1066, 2009.
[49] J.-R. Kim and B. Murmann, "A 12-b, 30-MS/s, 2.95-mW pipelined ADC using single-stage class-AB amplifiers and deterministic background calibration," *IEEE J. of Solid-State Circuits*, vol. 47, pp. 2141-2151, 2012.
[50] H. Luo, Y. Han, X. Liu, G. Liang, and L. Liao, "An audio cascaded ΣΔ modulator using gain-boost class-C inverter," in *International Conference of Electron Devices and Solid-State Circuits* (*EDSSC*), 2011, pp. 1-2.
[51] A. N. Mohieldin, E. Sánchez-Sinencio, and J. Silva-Martínez, "A fully balanced pseudo-differential OTA with common-mode feedforward and inherent common-mode feedback detector," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 663-668, 2003.
[52] D. Miyazaki, S. Kawahito, and M. Furuta, "A 10-b 30-MS/s low-power pipelined CMOS A/D converter using a pseudodifferential architecture," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 369-373, 2003.
[53] J.-F. Lin, S.-J. Chang, C.-C. Liu, and C.-H. Huang, "A 10-bit 60-MS/s low-power pipelined ADC with split-capacitor CDS technique," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, pp. 163-167, 2010.
[54] E. B. Blecker, T. M. McDonald, O. E. Erdogan, P. J. Hurst, and S. H. Lewis, "Digital background calibration of an algorithmic analog-to-digital converter using a simplified queue," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 1059-1062, 2003.
[55] T. B. Cho, "Low-power low-voltage analog-to-digital conversion techniques using pipelined architectures," *PhD thesis*, University of California, 1995.
[56] C. Dachs, Y. Ponomarev, P. Stolk, and A. Montree, "Gate workfunction engineering for deep submicron CMOS," in *Proceeding of the European Solid-State Device Research Conference*, 1999, pp. 500-503.
[57] H.-C. Kim, D.-K. Jeong, and W. Kim, "A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, pp. 795-801, 2006.
[58] R. Yin, X. Wen, Y. Liao, W. Zhang, and Z. Tang, "Switch-embedded opamp-sharing MDAC with dual-input OTA in pipelined ADC," *Electronics letters*, vol. 46, pp. 831-832, 2010.
[59] C.-H. Kuo, T.-H. Kuo, and K.-L. Wen, "Bias-and-input interchanging technique for cyclic/pipelined ADCs with opamp sharing," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, pp. 168-172, 2010.
[60] J. P. Keane, P. J. Hurst, and S. H. Lewis, "Digital background calibration for memory effects in pipelined analog-to-digital converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, pp. 511-525, 2006.

[61] M. J. Pelgrom, A. C. Duinmaijer, and A. P. Welbers, "Matching properties of MOS transistors," *IEEE J. of solid-state circuits*, vol. 24, pp. 1433-1439, 1989.
[62] T. Moosazadeh and M. Yavari, "A pseudo-differential MDAC with a gain-boosting inverter for pipelined ADCs," *Analog Integrated Circuits and Signal Processing*, vol. 79, pp. 255-266, 2014.
[63] T. Moosazadeh and M. Yavari, "A pseudo-differential current-reuse structure for opamp-sharing pipelined analog-to-digital converters," *International J. of Circuit Theory and Applications*, vol. 42, pp. 231-242, 2014.
[64] M.-Y. Kim, J. Kim, T. Lee, and C. Kim, "10-bit 100-MS/s pipelined ADC using input-swapped opamp sharing and self-calibrated V/I converter," *IEEE Transactions on Very Large Scale Integration* (*VLSI*) *Systems*, vol. 19, pp. 1438-1447, 2011.
[65] Y.-C. Huang and T.-C. Lee, "A 10-bit 100-MS/s 4.5-mW pipelined ADC with a time-sharing technique," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, pp. 1157-1166, 2011.
[66] B.-G. Lee and R. M. Tsang, "A 10-bit 50 MS/s Pipelined ADC With Capacitor-Sharing and Variable-Opamp," *IEEE J. of Solid-State Circuits*, vol. 44, pp. 883-890, 2009.
[67] T. Moosazadeh and M. Yavari, "A 10-bit 100-MSample/s pipelined analog-to-digital converter using digital calibration technique," in *Iranian Conference on Electrical Engineering* (*ICEE*), 2011, pp. 1-5.
[68] C.-C. Lu, "A 1.5 V 10-b 30-MS/s CMOS pipelined analog-to-digital converter," *Analog Integrated Circuits and Signal Processing*, vol. 68, pp. 341-347, 2011.
[69] G. Shu, Y. Guo, J. Ren, M. Fan, and F. Ye, "A power-efficient 10-bit 40-MS/s sub-sampling pipelined CMOS analog-to-digital converter," *Analog Integrated Circuits and Signal Processing*, vol. 67, pp. 95-102, 2011.
[70] P. Delizia, G. Saccomanno, S. D'Amico, and A. Baschirotto, "A 10-b 100-MS/s pipelined ADC with an optimized bit-stage resolution in 65nm CMOS technology," in *IEEE International Symposium on Circuits and Systems* (*ISCAS*), 2010, pp. 4033-4036.
[71] J. Ruiz-Amaya, M. Delgado-Restituto, and Á. Rodríguez-Vázquez, "A 1.2 V 10-bit 60-MS/s 23 mW CMOS pipeline ADC with 0.67 pJ/conversion-step and on-chip reference voltages generator," *Analog Integrated Circuits and Signal Processing*, vol. 71, pp. 371-381, 2012.
[72] J.-E. Jang, Y.-K. Miao, and Y.-P. Lee, "High-bandwidth power-scalable 10-bit pipelined ADC using bandwidth-reconfigurable operational amplifier," in *IEEE International Symposium on Circuits and Systems* (*ISCAS*), 2010, pp. 4029-4032.
[73] Y.-J. Kim and S.-H. Lee, "A 10-b 120-MS/s 45 nm CMOS ADC using a re-configurable three-stage switched amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 72, pp. 75-87, 2012.
[74] M. Hashemi, M. Sharifkhani, and M. Gholami, "A low power 1-V 10-bit 40-MS/s pipeline ADC," in IEEE *International Conference on Electronics, Circuits and Systems* (*ICECS*), 2011, pp. 212-215.
[75] X. Wen, R. Wang, S. Yang, L. Chen, and J. Chen, "A 30mW 10b 250MS/s dual channel SHA-less pipeline ADC in 0.18μm CMOS," in *International Midwest Symposium on Circuits and Systems* (*MWSCAS*), 2012, pp. 1004-1007.
[76] M. Miyahara, H. Lee, D. Paik, and A. Matsuzawa, "A 10b 320 MS/s 40 mW open-loop interpolated pipeline ADC," in *Symposium on VLSI Circuits* (*VLSIC*), 2011, pp. 126-127.
[77] T. Oshima, T. Takahashi, and T. Yamawaki, "23-mW 50-MS/s 10-bit pipeline A/D converter with nonlinear LMS foreground calibration," in *IEEE International Symposium on Circuits and Systems* (*ISCAS*), 2009, pp. 960-963.

[78] J.-E. Jang, "Comparator-based switched-capacitor pipelined ADC with background offset calibration," in *IEEE International Symposium on Circuits and Systems* (*ISCAS*), 2011, pp. 253-256.
[79] M. Fan, J. Ren, N. Li, F. Ye, and J. Xu, "A 1.8-V 11-bit 40-MS/s 21-mW pipelined ADC," *Analog Integrated Circuits and Signal Processing*, vol. 63, pp. 495-501, 2010.
[80] C. Wulff and T. Ytterdal, "Comparator-based switched-capacitor pipelined analog-to-digital converter with comparator preset, and comparator delay compensation," *Analog Integrated Circuits and Signal Processing*, vol. 67, pp. 31-40, 2011.
[81] X. Wang, P. J. Hurst, and S. H. Lewis, "A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration," *IEEE J. of Solid-State Circuits*, vol. 39, pp. 1799-1808, 2004.
[82] P. Harpe, A. Zanikopoulos, H. Hegt, and A. van Roermund, "Digital post-correction of front-end track-and-hold circuits in ADCs," in *IEEE International Symposium on Circuits and Systems* (*ISCAS*) 2006, p. 4 pp.
[83] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang, and Y. Guo, "A 1.8-V 22-mW 10-bit 30-MS/s pipelined CMOS ADC for low-power subsampling applications," *IEEE J. of Solid-State Circuit*s, vol. 43, pp. 321-329, 2008.
[84] T. Moosazadeh and M. Yavari, "A calibration technique for pipelined ADCs using self-measurement and histogram-test methods," *IEEE Transactions on Circuits and Systems II: Express Briefs*, to be published.
[85] A. Ravindran, A. Savia, and J. Leonard, "Digital error correction and calibration of gain non-linearities in a pipelined ADC," in *International Symposium on Circuits and Systems* (*ISCAS*), 2004, pp. I-1-I-4 Vol. 1.
[86] L. Sumanen, "Pipeline analog-to-digital converters for wide-band wireless communications," *PhD thesis*, Helsinki University of Technology, 2002.
[87] M. M. Mano and M. D. Ciletti, Digital design: with an introduction to the verilog HDL: *Pearson/Prentice Hall*, 2013.
[88] M.-C. Huang and S.-I. Liu, "A 10-MS/s-to-100-kS/s power-scalable fully differential CBSC 10-bit pipelined ADC with adaptive biasing," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, pp. 11-15, 2010.
[89] Y.-H. Chung and J.-T. Wu, "A CMOS 6-mW 10-bit 100-MS/s two-step ADC," *IEEE J. of Solid-State Circuits*, vol. 45, pp. 2217-2226, 2010.
[90] C. T. Peach, U.-K. Moon, and D. J. Allstot, "An 11.1 mW 42 MS/s 10 b ADC with two-step settling in 0.18 m CMOS," *IEEE J. of Solid-State Circuits*, vol. 45, pp. 391-400, 2010.
[91] H.-Y. Lee, D. Gubbins, B. Lee, and U.-K. Moon, "A 0.7 V 810μW 10b 30MS/s comparator-based two-step pipelined ADC," in *IEEE Custom Integrated Circuits Conference*, 2011, pp. 1-4.
[92] J. Shen and P. R. Kinget, "Current-charge-pump residue amplification for ultra-low-power pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 58, pp. 412-416, 2011.
[93] D. Vecchi, J. Mulder, F. van der Goes, J. R. Westra, E. Ayranci, C. M. Ward, et al., "An 800 MS/s dual-residue pipeline ADC in 40 nm CMOS," *IEEE J. of Solid-State Circuits*, vol. 46, pp. 2834-2844, 2011.
[94] N. Sun, H.-S. Lee, and D. Ham, "A 2.9-mW 11-b 20-MS/s pipelined ADC with dual-mode-based digital background calibration," in *Proceedings of the ESSCIRC*, 2012, pp. 269-272.
[95] S. Hashemi and B. Razavi, "A 7.1 mW 1 GS/s ADC with 48 dB SNDR at Nyquist rate," *IEEE J. of Solid-State Circuits*, vol. 49, pp. 1739-1750, 2014.

[96] M. Montazerolghaem, T. Moosazadeh, and M. Yavari, “A pre-determined LMS digital background calibration technique for pipelined ADCs,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, to be published.

Abstract

Pipelined analog to digital converters (ADCs) are the main candidates in 10 to 14 bit resolution applications with 10 to 500 MS/s sampling frequencies. In these ADCs, the highly linear amplifiers are the main power hungry blocks. Design of high gain wide swing opamps are getting more challenging in modern nanometer CMOS technologies because of low power supply voltage in these technologies. This is one of the main challenges in the design of high performance pipelined ADCs as well. To overcome this problem in pipelined ADCs, the amplifiers can be replaced by new high performance circuits with lower power dissipation or low performance low power circuits which need to be compensated by digital calibration techniques.

In this dissertation, different method used to replace the power-hungry amplifiers in high performance pipelined ADCs are studied to find the critical points of power reduction techniques in these ADCs. Then three new techniques are proposed to replace the amplifiers by some new pseudo-differential architecture. In the first proposed method, a new inverter circuit is proposed to be employed instead of the amplifiers in the ADCs. In the second technique, a new current-reuse amplifier is proposed using the mentioned inverter which can be employed efficiently in opamp sharing technique to decrease the number of the amplifiers to the half. Finally a digital calibration technique is proposed which compensates the errors produced by the simple inverter circuit used instead of the main amplifiers in pipelined ADCs. This technique is employed in two different phases: foreground and background. In the foreground phase it can compensate the ADC errors by two different approaches while in the background phase the variations of the errors are followed by the new method called "sliding histogram method". All of the proposed techniques are verified through pipelined ADCs with 10 bit resolution and 100 MS/s sampling frequency.

The final ADC which is implemented by simple inverters instead of the power hungry amplifiers are compensated with the proposed digital calibration technique. The ADC is designed in 0.18 um CMOS technology with 1.8 V and 1.2 V power supplies and layed out in BSIM31P6M. According to the post-layout simulation results this ADC has 0.81 mm^2 die area, 59.1 dB SNDR and 64 dB SFDR and dissipating 9.45 mW power consumption. This results show that a simple inverter along with the propsed calibration technique can be a good candidate to replace the power hungry opamps in pipelined ADCs.

Keywords: Analog to digital converters (ADCs), Pipelined ADCs, Opamp less techniques, Digital background calibration technique, CMOS Nanometer technologies.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

PhD dissertation in electrical engineering

Design and Calibration of Opamp-Less Pipelined Analog-to-Digital Converters

By:
Tohid Moosazadeh Hamzehkandi

Under Supervision of:
Dr. Mohammad Yavari

September 2015