Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

MSc Thesis

Design and Simulation of Wideband CMOS Balun-LNAs with balanced loads and Improved Linearity and Noise Figure

By
Soroush Hashemi Bani

Supervisor
Dr. Mohammad Yavari

June 2024

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی‌ارشد مهندسی برق
(گرایش طراحی مدارهای مجتمع الکترونیک)

طراحی و تحلیل تقویت کننده‌های کم‌نویز CMOS با بالون ذاتی باند وسیع با بارهای متعادل و بهبود خطینگی و عدد نویز

نگارش
سروش هاشمی‌بنی

استاد راهنما
دکتر محمد یاوری

تیر ماه ۱۴۰۳

به نام خدا

تاریخ: ۱۴۰۳/٤/۱۰

تعهدنامه اصالت اثر

اینجانب سروش هاشمی‌بنی متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

سروش هاشمی‌بنی

تقدیم به:

پدر و مادر عزیزم که با عشق و محبت بی‌پایان‌شان همواره حامی و مشوق من بوده‌اند، و به خواهر عزیزم که حضور و حمایت‌هایش همیشه قوت قلب من بوده است. این پایان‌نامه را با نهایت احترام و قدردانی به شما عزیزان تقدیم می‌کنم.

تقدیر و تشکر

با نهایت قدردانی و سپاس، از استاد راهنمای محترم، دکتر محمد یاوری، تشکر می‌کنم. راهنمایی‌ها، حمایت‌ها و تشویق‌های بی‌دریغ شما در طول این مسیر برای من بسیار ارزشمند بود و بدون تلاش‌ها و همراهی شما، رسیدن به این نقطه ممکن نبود.

همچنین از دوستان عزیزم که در این مسیر همراه و مشوق من بودند، صمیمانه تشکر می‌کنم. حمایت‌ها، انگیزه‌بخشی‌ها و همدلی‌های شما نقش مهمی در پیشرفت و موفقیت من داشت. بدون حضور و همراهی شما، این سفر علمی بسیار دشوارتر می‌بود.

از تمامی شما عزیزان، از صمیم قلب قدردانی می‌کنم.

چکیده

این پایان‌نامه به طراحی ساختارهای تقویت‌کننده با هدف دستیابی به پهنای باند بالا برای کاربردهای چند کاناله پرداخته و بهبود پارامترهای خطینگی IIP3 و IIP2 در مقایسه با کارهای پیشین را مد نظر قرار داده است. مدارهای طراحی شده در تکنولوژی TSMC-RF 65nm در نرم‌افزار Cadence شبیه‌سازی شده‌اند.

در ساختار پیشنهادی اول، با استفاده از ترانزیستورهای کسکود بازیافت جریان و بارهای تقویت‌کننده کم‌نویز، ساختار متقارن و ایزولاسیون معکوس مناسبی ایجاد شده است. تکنیک بازیافت جریان باعث کاهش توان مصرفی و افزایش ضریب شایستگی مدار شده است. تکنیک خطی‌سازی ترکیبی پسااعوجاج و جمع آثار مشتقات، IIP3 مدار را به 5dBm+ بهبود داده است و با فیدبک منفی در خروجی، IIP3 نهایی به 5dBm+ افزایش یافته است.

در ساختار دوم، استفاده از ترانزیستورهای مکمل در طبقه دوم و بارهای متعادل، قابلیت اطمینان مدار را افزایش داده است. ترانزیستورهای ناحیه تضعیف در خروجی، بهبود خطینگی در هارمونیک‌های دوم و سوم را فراهم کرده‌اند. همچنین، تکنیک افزایش ترارسانایی ترانزیستورهای گیت مشترک در ورودی، تطبیق امپدانس ۵۰ اهم با جریان کمتر و کاهش توان مصرفی را به همراه داشته است. بهره گرفته شده از این ساختار به نسبت با ساختار قبل به مقدار ۴ دسی‌بل بهبود داشته و همچنین، خطینگی نهایی این ساختار بعد از شبیه‌سازی پس از جانمایی به مقدار ۲/۷ دسی‌بل از ساختار اول بالاتر بوده که نشان‌دهنده بهبود کارایی این ساختار می‌باشد. تطبیق امپدانس ورودی این ساختار با استفاده از ساختار افزایش ترارسانایی، در مقدار ۵۰ اهم تنظیم شده و راکتانس ورودی بازه تغییرات تا ۲۰ میلی زیمنس را تجربه می‌کند که در پهنای باند شرایط برای تطبیق ورودی را ایجاد می‌کند.

هدف از این پایان‌نامه، دستیابی به خطینگی بالا با توان مصرفی کم بوده که با توجه به نتایج به دست آمده، این اهداف محقق شده است.

واژه‌های کلیدی:

تقویت‌کننده کم‌نویز، بالون ذاتی، بارهای متقارن، خطینگی، عدد نویز، افزایش ترارسانایی، توان مصرفی.

فهرست مطالب

صفحه

۱- فصل اول: مقدمه ۱
۱ –۱ –پیش گفتار ۱
۱ –۲ –اهداف پایان‌نامه ۳
۱–۳–ساختار پایان‌نامه ۳

۲- فصل دوم: مفاهیم اولیه طراحی تقویت‌کننده‌های کم‌نویز ۵
۲–۱–پارامترهای پراکندگی ۵
۲–۲–خطینگی ۷
۲–۳–پایداری ۸
۲–۴–پهنای باند ۹
۲–۵–عدد نویز ۹
۲–۱–ضریب شایستگی ۹
۲–۲–توان مصرفی ۱۰
۲–۳–مساحت اشغالی ۱۱

۳- فصل سوم: کارهای انجام شده در تقویت‌کننده‌های کم‌نویز با بالون ذاتی ۱۲
۳–۱–ساختار تقویت‌کننده‌های کم‌نویز بالون ۱۲
۳–۲–تکنیک حذف و کاهش نویز ۱۳
۳ –۲ –۱ –تکنیک حذف نویز ۱۳
۳ –۲ –۲ –تکنیک کاهش نویز ۱۵
۳–۳–تکنیک استفاده از فیدبک ۱۶
۳ –۳ –۱ –فیدبک مثبت ۱۷
۳ –۳ –۲ –فیدبک منفی ۱۸
۳–۴–تکنیک‌های بهبود خطینگی ۱۹
۳ –۴ –۱ –تکنیک حذف هارمونیک ۲۰
۳ –۴ –۲ –تکنیک جمع آثار مشتقات بهبودیافته ۲۲
۳ –۴ –۳ –تکنیک تراوش جریان ۲۳
۳ –۴ –۴ –تکنیک تزریق هارمونیک دوم ۲۵
۳ –۴ –۵ –تکنیک استفاده از فیلترهای چند مسیره ۲۶
۳ –۴ –۶ –تکنیک بایاس بهینه ۲۸
۳–۵–نتیجه‌گیری ۲۹

۴- فصل چهارم: ساختارهای پیشنهادی تقویت‌کننده‌های کم‌نویز ۳۰
۴–۱–ساختار پیشنهادی اول ۳۰

۴–۲–تطبیق امپدانس ورودی ۳۲
۴–۳–بهره ولتاژ ۳۲
۴–۴–نویز ۳۳
۴–۵–خطینگی ۳۴
۴–۶–مدار بایاس ۳۷
۴–۷–ساختار پیشنهادی دوم ۳۸
۴–۸–تطبیق امپدانس ورودی ۴۰
۴–۹–بهره ولتاژ ۴۰
۴–۱۰–نویز ۴۲
۴–۱۱–خطینگی ۴۵
۴–۱۲–مدار بایاس ۵۱
۵- فصل پنجم: نتایج شبیه‌سازی ۵۳
۵–۱–نتایج شبیه‌سازی ساختار پیشنهادی اول ۵۴
۵ –۱ –۱ –بهره ولتاژ ۵۵
۵ –۱ –۲ –تطبیق امپدانس ورودی ۵۶
۵ –۱ –۳ –عدد نویز ۵۶
۵ –۱ –۴ –خطینگی ۵۸
۵ –۱ –۵ –پایداری ۶۲
۵ –۱ –۶ –نتیجه‌گیری ساختار پیشنهاد اول ۶۳
۵–۲–نتایج شبیه‌سازی ساختار پیشنهادی دوم ۶۳
۵ –۲ –۱ –بهره ولتاژ ۶۵
۵ –۲ –۲ –تطبیق امپدانس ورودی ۶۷
۵ –۲ –۳ –عدد نویز ۶۸
۵ –۲ –۴ –خطینگی ۷۰
۵ –۲ –۵ –پایداری ۷۱
۵ –۲ –۶ –نتیجه‌گیری ساختار پیشنهادی دوم ۷۲
۵–۳–نتایج شبیه‌سازی پس از جانمایی ساختار پیشنهادی دوم ۷۲
۵ –۳ –۱ –نتیجه‌گیری ساختار پیشنهادی دوم بعد از جانمایی ۷۸
۵–۴–مقایسه عملکرد ساختارهای پیشنهادی با تعدادی از کارهای پیشین ۷۸
۶- فصل ششم: جمع‌بندی، نتیجه‌گیری و پیشنهادات ۸۰
۶–۱–جمع‌بندی و نتیجه‌گیری ۸۰
۶–۲–پیشنهادات ۸۱
منابع و مراجع ۸۲

فهرست شکل‌ها

صفحه

شکل (۲–۱): شرح موج‌های تابشی و انعکاسی در ورودی و خروجی[۱]..... ۶
شکل (۲–۲): تعریف IP3 (برای کمیت‌های ولتاژ)[۱]..... ۷
شکل (۳–۱): ساختار مکمل گیت_مشترک و سورس_مشترک در طراحی LNA با بالون ذاتی[۴]..... ۱۴
شکل (۳–۲): مشتق مرتبه سوم جریان ترانزیستورهای طبقه مکمل[۴]..... ۱۵
شکل (۳–۳): مدرا LNA با بهره‌گیری از تکنیک کاهش نویز[۶]..... ۱۵
شکل (۳–۴): ساختارمتداول حذف نویز دو طبقه[۱۰]..... ۱۶
شکل (۳–۵): ساختار بالون با استفاده از فیدبک مثبت برای تطبیق امپدانس ورودی[۱۱]..... ۱۷
شکل (۳–۶): ساختار پیشنهادی تقویت کننده کم نویز همراه با ترکیب کننده فعال و فیدبک[۱۲]..... ۱۸
شکل (۳–۷): (الف) فیدبک فعال مرکب، (ب) فیدبک مکمل سورس-پیرو، (ج) فیدبک منفرد سورس-پیرو[۱۲]. ۱۹
شکل (۳–۸): توپولوژی مدار پیشنهادی با بهره‌گیری از تکنیک پیشخور ترانزیستوری[۱۵]..... ۲۰
شکل (۳–۹): (الف) ساختار مداری بلوک H1، (ب) ساختار مداری بلوک H2[۱۵]..... ۲۱
شکل (۳–۱۰): (الف) افزایش خازن میلر، (ب) خازن میلر یک‌طرفه، (ج) ساختار مرسوم خازن میلر[۱۵]..... ۲۱
شکل (۳–۱۱): پاسخ فرکانسی مدار پیشنهادی با فرکانس مطلوب ۳۰۰ مگاهرتز[۱۵]..... ۲۲
شکل (۳–۱۲): مدار تقویت کننده کم نویز پهن باند با تکنیک بر هم نهی مشتقی بهبود یافته[۱۸]..... ۲۳
شکل (۳–۱۳): مدار تقویت کننده با تکنیک تراوش جریان و پیشخور فعال[۲۰]..... ۲۴
شکل (۳–۱۴): شمای نهایی تقویت کننده کم نویز با استفاده از شبکه غیرفعال جهت ایزولاسیونac [۲۰]..... ۲۴
شکل (۳–۱۵): شمای مدار ترکیبی تقویت‌کننده کم‌نویز به همراه مخلوط‌کننده با تکنیک تزریق هارمونیک دوم. ۲۵
شکل (۳–۱۶): مدار تقویت‌کننده کم‌نویز پیشنهاد در مرجع[۲۴]..... ۲۷
شکل (۳–۱۷): پاسخ فیلترهای چند مسیره مرتبه ۴ و ۸ و اثرات غیرخطینگی آنها [۳۰]..... ۲۷
شکل (۳–۱۸): پاسخ فرکانسی مدار آورده شده در مرجع[۲۴]..... ۲۸
شکل (۳–۱۹): افزایش محدوده نقطه بایاس بهینه ترانزیستورها با استفاده از ساختار مکمل [۵]..... ۲۹
شکل (۴–۱): ساختار تقویت‌کننده کم‌نویز پیشنهادی اول..... ۳۱
شکل (۴–۲): ساختار مدار بایاس تقویت‌کننده کم‌نویز پیشنهادی..... ۳۸
شکل (۴–۳): ساختار تقویت‌کننده کم‌نویز پیشنهادی دوم..... ۳۹
شکل (۴–۴): مدل امپدانس دیده شده از ورودی مدار پیشنهادی..... ۴۰
شکل (۴–۵): مدل نویز المان‌های ساختار پیشنهادی دوم و نحوه حذف نویز ترانزیستورهای گیت_مشترک..... ۴۲
شکل (۴–۶): تکنیک تضعیف ضرایب مرتبه دوم با استفاده از ساختار مکمل ترانزیستورهای ورودی..... ۴۶

شکل (۴–۷): تکنیک تضعیف ضرایب مرتبه سوم سری تیلور با انتخاب بایاس بهینه برای ترانزیستورهای مکمل. ۴۶
شکل (۴–۸): مدر بایاس g_m ثابت پیشنهادی برای ساختار تقویت‌کننده کم‌نویز پیشنهادی دوم ۵۱
شکل (۵–۱): بهره ولتاژ مدار شبیه‌سازی شده در شرایط PVT ۵۵
شکل (۵–۲): S_{11} مدار شبیه‌سازی شده در شرایط PVT ۵۶
شکل (۵–۳): درصد مشارکت نویز المان‌های ساختار اول ۵۷
شکل (۵–۴): عدد نویز مدار شبیه‌سازی شده در شرایط PVT ۵۷
شکل (۵–۵): IIP3 مدار شبیه‌سازی شده پس از اعمال تکنیک خطی‌سازی ۵۸
شکل (۵–۶): تحلیل مونت‌کارلو انجام شده برای IIP3 ساختار اول قبل از اعمال تکنیک‌های خطی‌سازی ۵۹
شکل (۵–۷): تحلیل مونت‌کارلو انجام شده برای IIP3 ساختار اول بعد از اعمال تکنیک‌های خطی‌سازی ۶۰
شکل (۵–۸): تغییرات IIP3 ساختار اول با اعمال جاروب فرکانسی ۶۰
شکل (۵–۹): IIP2 مدار شبیه‌سازی شده پس از اعمال تکنیک خطی‌سازی ۶۱
شکل (۵–۱۰): تحلیل مونت‌کارلو انجام شده برای IIP2 ساختار اول بعد از اعمال تکنیک‌های خطی‌سازی ۶۱
شکل (۵–۱۱): نتایج شبیه‌سازی انجام شده پایداری Rollet برای ضرایب K و Δ در ساختار پیشنهادی اول ۶۲
شکل (۵–۱۲): بهره ولتاژ مدار شبیه‌سازی شده در شرایط PVT ۶۵
شکل (۵–۱۳): اختلاف بهره ولتاژ گره‌های خروجی مدار پیشنهادی دوم ۶۶
شکل (۵–۱۴): انحراف فاز گره‌های خروجی مدار پیشنهادی دوم نسبت به ۱۸۰ درجه ۶۶
شکل (۵–۱۵): S_{11} مدار شبیه‌سازی شده در شرایط PVT ۶۷
شکل (۵–۱۶): Z_{in} مدار شبیه‌سازی شده در شرایط PVT ۶۸
شکل (۵–۱۷): NF مدار شبیه‌سازی شده در شرایط PVT ۶۹
شکل (۵–۱۸): درصد مشارکت نویز المان‌های ساختار دوم ۶۹
شکل (۵–۱۹): IIP3 مدار شبیه‌سازی شده پس از اعمال تکنیک خطی‌سازی ۷۰
شکل (۵–۲۰): IIP2 مدار شبیه‌سازی شده پس از اعمال تکنیک خطی‌سازی ۷۱
شکل (۵–۲۱): نتایج شبیه‌سازی انجام شده پایداری Rollet برای ضرایب K و Δ در ساختار پیشنهادی دوم ۷۱
شکل (۵–۲۲): جانمایی ساختار پیشنهادی دوم ۷۳
شکل (۵–۲۳): نتیجه شبیه‌سازی بعد از جانمایی بهره ولتاژ ساختار پیشنهادی دوم ۷۴
شکل (۵–۲۴): نتیجه شبیه‌سازی بعد از جانمایی پارامتر پراکندگی S_{11} ساختار پیشنهادی دوم ۷۵
شکل (۵–۲۵): نتیجه شبیه‌سازی بعد از جانمایی عدد نویز ساختار پیشنهادی دوم ۷۵
شکل (۵–۲۶): نتیجه شبیه‌سازی بعد از جانمایی IIP3 ساختار پیشنهادی دوم ۷۶
شکل (۵–۲۷): نتیجه شبیه‌سازی بعد از جانمایی IIP2 ساختار پیشنهادی دوم ۷۶
شکل (۵–۲۸): نتیجه شبیه‌سازی بعد از جانمایی جاروب IIP3 ساختار پیشنهادی دوم ۷۷
شکل (۵–۲۹): نتیجه شبیه‌سازی بعد از جانمایی پایداری ساختار پیشنهادی دوم ۷۷

فهرست جدول‌ها

صفحه

جدول (۵–۱): ابعاد ترانزیستورهای هسته مدار ساختار اول..... ۵۴
جدول (۵–۲): مقدار مقاومت‌ها و خازن‌های هسته مدار ساختار اول..... ۵۴
جدول (۵–۳): نتایج شبیه‌سازی‌های انجام شده در PVT ساختار پیشنهادی اول..... ۶۳
جدول (۵–۴): ابعاد ترانزیستورهای هسته مدار ساختار دوم..... ۶۴
جدول (۵–۵): مقدار مقاومت‌ها و خازن‌های هسته مدار ساختار دوم..... ۶۴
جدول (۵–۶): نتایج شبیه‌سازی‌های انجام شده در PVT ساختار پیشنهادی دوم..... ۷۲
جدول (۵–۷): نتایج شبیه‌سازی‌های بعد از جانمایی انجام شده در PVT ساختار پیشنهادی دوم..... ۷۸
جدول (۵–۸): مقایسه ساختارهای پیشنهادی با تقویت‌کننده‌های کم‌نویز پیشین..... ۷۹

واژه نامه

استخراج المان‌های پارازیتی	Parasitic Extraction
افزایش ترارسانایی	gm boosting
پسا اعوجاج	Post Distortion
بالون فعال	Active Balun
باند باریک	Narrow Band
بدترین گوشه	Worst Corner Case
بدنه	Bulk
بررسی قوانین طراحی	Design Rule Check
پارامترهای پراکندگی	Scattering-Parameter
تباهیدگی	Degeneration
ترارسانایی	Transconductance
ترانزیستور دوقطبی	Bipolar Transistor
تزریق مدولاسیون تداخلی مرتبه دوم	IM2 Injection
تطبیق جانمایی و شماتیک	Layout Versus Schematic
تک‌سر	Single-Ended
تکنیک حذف نویز	Noise Cancellation Technique
جانمایی	Layout
جدا کننده dc	dc Block
جمع‌آثار مشتقات	Derivative Superposition
چند تخصصی	Multidisciplinary
حذف هارمونیک	Harmonic Termination
خازن-فلز-عایق-فلز	Metal-Insulator-Metal Capacitor
درون تراشه	On Chip
رد مد مشترک	Common Mode Rejection
ریزش جریان	Current-Bleeding

شبیه‌سازی پس از جانمایی	Post-Layout Simulation
ضریب انعکاس خروجی	Output Reflection Coefficient
ضریب انعکاس ورودی	Input Reflection Coefficient
ضریب پایداری اشترن	Stern Stability Factor
عدد نویز	Noise Figure
فرکانس رادیویی	Radio Frequency
فریس	Friis
فیدبک سراسری	Global Feedback
متوازن	Balanced
مقیاس	Scale
میکسر متوازن	Balanced Mixer
نسبت سیگنال به نویز	Signal to Noise Ratio
نقطه تقاطع مرتبه دوم	Second Order Input Referd Intercept Point
نقطه تقاطع مرتبه سوم	Third Order Input Referd Intercept Point
نمودارهای اسمیت	Smith Chart
وارونگی ضعیف	Weak Inversion
ولتاژ آستانه	Threshold Voltage

اختصارنامه

خازن‌های فلز-عایق-فلز	MIM
ترانزیستورهای فلز-اکسید-نیمه‌هادی	MOS
نقطه تقاطع مرتبه دوم	IIP2
نقطه تقاطع مرتبه سوم	IIP3
اینترمدولاسیون	IM
اینترمدولاسیون مرتبه دوم	IM2
اینترمدولاسیون مرتبه سوم	IM3

منابع و مراجع

[1] B. Razavi and R. Behzad, *RF microelectronics*. Prentice hall New York, 2012.

[2] T. H. Lee, *The design of CMOS radio-frequency integrated circuits*. Cambridge university press, 2003.

[3] L. Belostotski and E. A. Klumperink, "Figures of merit for CMOS low-noise amplifiers and estimates for their theoretical limits," *IEEE transactions on circuits and systems II: express briefs*, vol. 69, no. 3, pp. 734-738, 2021.

[4] S. T. a. J. Mukherjee, "An Inductorless Low Power Wideband Push-Pull Balun LNA with Dual Stage Noise Cancelation andIIP2/IIP3 Linearity Modes for Sub-GHz Wireless Applications," *TechRxiv*, May. 2022.

[5] H. Zhang and E. Sánchez-Sinencio, "Linearization techniques for CMOS low noise amplifiers: A tutorial," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 1, pp. 22-36, 2010.

[6] A. Bozorg and R. B. Staszewski, "A 0.02–4.5-GHz LN (T) A in 28-nm CMOS for 5G exploiting noise reduction and current reuse," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 2, pp. 404-415, 2020.

[7] F. Bruccoleri, E. A. Klumperink, and B. Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling," *IEEE journal of solid-state circuits*, vol. 39, no. 2, pp. 275-282, 2004.

[8] S. C. Blaakmeer, E. A. Klumperink, D. M. Leenaerts, and B. Nauta, "Wideband balun-LNA with simultaneous output balancing, noise-canceling and distortion-canceling," *IEEE journal of solid-state circuits*, vol. 43, no. 6, pp. 1341-1350, 2008.

[9] P. Simitsakis, Y. Papananos, and E.-S. Kytonaki, "Design of a low voltage-low power 3.1–10.6 GHz UWB RF front-end in a CMOS 65 nm technology," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 11, pp. 833-837, 2010.

[10] A. Bozorg and R. B. Staszewski, "A 20 MHz–2 GHz inductorless two-fold noise-canceling low-noise amplifier in 28-nm CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 69, no. 1, pp. 42-50, 2021.

[11] B. Shirmohammadi and M. Yavari, "A linear wideband CMOS balun-LNA with balanced loads," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 69, no. 3, pp. 754-758, 2021.

[12] B. Guo, J. Gong, and Y. Wang, "A wideband differential linear low-noise transconductance amplifier with active-combiner feedback in complementary MGTR configurations," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 68, no. 1, pp. 224-237, 2020.

[13] B. Guo and J. Chen, "A wideband common-gate CMOS LNA employing complementary MGTR technique," *Microwave and Optical Technology Letters,* vol. 59, no. 7, pp. 1668-1671, 2017.

[14] J. Chen, B. Guo, B. Zhang, and G. Wen, "An inductorless wideband common-gate LNA with dual capacitor cross-coupled feedback and negative impedance techniques," *Integration,* vol. 56, pp. 53-60, 2017.

[15] J. W. Park and B. Razavi, "A harmonic-rejecting CMOS LNA for broadband radios," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 4, pp. 1072-1084, 2013.

[16] R. Gyaang, D.-H. Lee, and J. Kim, "Design and validation of a blocker rejection LNA with On-chip dual-notch filters," in *2020 International SoC Design Conference (ISOCC)*, 2020: IEEE, pp. 31-32.

[17] W. Gao, Z. Chen, Z. Liu, W. Cui, and X. Gui, "A highly linear low noise amplifier with wide range derivative superposition method," *IEEE Microwave and Wireless Components Letters,* vol. 25, no. 12, pp. 817-819, 2015.

[18] V. Lammert, R. Weigel, and V. Issakov, "A Highly Linear Low-Power 28 GHz LNA in 45nm SOI-CMOS using the Modified Derivative Superposition Method for IM3-Cancellation," in *2020 IEEE Texas Symposium on Wireless and Microwave Circuits and Systems (WMCS)*, 2020: IEEE, pp. 1-3.

[19] H. Geddada, J. Park, and J. Silva-Martinez, "Robust derivative superposition method for linearising broadband LNAs," *Electronics letters,* vol. 45, no. 9, pp. 435-436, 2009.

[20] Z. Liu and C. C. Boon, "A 0.092-mm 2 2–12-GHz Noise-cancelling low-noise amplifier with gain improvement and noise reduction," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 69, no. 10, pp. 4013-4017, 2022.

[21] S. Kim and K. Kwon, "Broadband balun-LNA employing local feedback g m-boosting technique and balanced loads for low-power low-voltage applications," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 67, no. 12, pp. 4631-4640, 2020.

[22] S. Kim and K. Kwon, "A 50-MHz–1-GHz 2.3-dB NF noise-cancelling balun-LNA employing a modified current-bleeding technique and balanced loads," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 2, pp. 546-554, 2018.

[23] N. Vitee, H. Ramiah, P.-I. Mak, J. Yin, and R. P. Martins, "A 3.15-mW+ 16.0-dBm IIP3 22-dB CG inductively source degenerated balun-LNA mixer with integrated transformer-based gate inductor and IM2 injection technique," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 3, pp. 700-713, 2019.

[24] D. Kim, D. Kim, I. Llamas-Garro, and D. Im, "A Sub-GHz/2.4 GHz Highly Selective Reconfigurable RF Front-End Employing an N-Path Complementary Balun-LNA and Linearized RF-to-BB Current-Reuse Mixer," *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2023.

[25] E. Klumperink and B. Nauta, "N-Path Filters and Mixer-First Receivers–A Review," *IC Design Insights-from Selected Presentations at CICC 2017*, pp. 221-264, 2022.

[26] A. Ghaffari, E. A. Klumperink, M. C. Soer, and B. Nauta, "Tunable high-Q N-path band-pass filters: Modeling and verification," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 5, pp. 998-1010, 2011.

[27] M. Darvishi, R. van der Zee, E. A. Klumperink, and B. Nauta, "Widely tunable 4th order switched Gm-C band-pass filter based on n-path filters," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 12, pp. 3105-3119, 2012.

[28] M. Darvishi, R. van der Zee, and B. Nauta, "Design of active N-path filters," *IEEE journal of solid-state circuits*, vol. 48, no. 12, pp. 2962-2976, 2013.

[29] J. W. Park and B. Razavi, "Channel selection at RF using Miller bandpass filters," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 12, pp. 3063-3078, 2014.

[30] Y. Xu, J. Zhu, and P. R. Kinget, "A Blocker-Tolerant RF Front End With Harmonic-Rejecting N-Path Filter," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 2, pp. 327-339, 2017.

[31] A. Nagulu, Y. Zhuang, M. Yuan, S. Garikapati, and H. Krishnaswamy, "A Third-Order Quasi-Elliptic N-Path Filter With Enhanced Linearity Through Clock Boosting," *IEEE Journal of Solid-State Circuits*, 2023.

[32] M. A. Montazerolghaem, L. C. de Vreede, and M. Babaie, "A highly linear receiver using parallel preselect filter for 5G microcell base station applications," *IEEE Journal of Solid-State Circuits*, 2023.

[33] B. Toole, C. Plett, and M. Cloutier, "RF circuit implications of moderate inversion enhanced linear region in MOSFETs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, no. 2, pp. 319-328, 2004.

[34] B. M. Jafari and M. Yavari, "A UWB CMOS low-noise amplifier with noise reduction and linearity improvement techniques," *Microelectronics Journal*, vol. 46, no. 2, pp. 198-206, 2015.

[35] B. Shirmohammadi and M. Yavari, "A Low Power Wideband Balun-LNA Employing Local Feedback, Modified Current-Bleeding Technique and Balanced Loads," in *2020 28th Iranian Conference on Electrical Engineering (ICEE)*, 2020: IEEE, pp. 1-5.

[36] T. Han, Z. Li, and M. Tian, "An inductor-less CMOS broadband balun gm-boosting LNA exploiting noise cancellation techniques," *Analog Integrated Circuits and Signal Processing*, vol. 104, pp. 121-129, 2020.

[37] D. Shin, K. Lee, and K. Kwon, "A blocker-tolerant receiver front end employing dual-band N-path balun-LNA for 5G new radio cellular applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 70, no. 3, pp. 1715-1724, 2021.

[38] D. Kim and D. Im, "A reconfigurable balun-LNA and tunable filter with frequency-optimized harmonic rejection for sub-GHz and 2.4 GHz IoT receivers," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 69, no. 8, pp. 3164-3176, 2022.

[39] X. Wang, Z. Li, and Z. Li, "A 1.46-1.96 dB-NF 2.1-5.2-GHz wideband passive Balun LNA in 22-nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023.

Abstract

This thesis focuses on designing amplifier structures aimed at achieving high bandwidth for multichannel applications while improving linearity parameters IIP3 and IIP2 compared to previous works. The designed circuits were simulated using TSMC-RF 65nm technology in Cadence.

In the first proposed structure, the use of cascode transistors with current recycling connected to low-noise amplifier loads results in a symmetrical structure and good reverse isolation. The current recycling technique significantly reduces the circuit's power consumption, markedly enhancing its figure of merit. The combined post-distortion linearization and derivative summing technique improves the circuit's IIP3 by +5dB, and with the negative feedback at the output, the final IIP3 reaches +5dBm.

In the second structure for the low-noise amplifier, the use of complementary transistors in the second stage and balanced loads increases the circuit's reliability. The transistors in the depletion region at the output, compared to those in the saturation region, provide improved linearity in the second and third harmonics due to the sign change in the harmonics generated by the current drawn from these transistors. Additionally, the transconductance enhancement technique for the common-gate transistors at the input achieves 50-ohm impedance matching with lower current, reducing power consumption.

The goal of the proposed structures in this thesis is to achieve high linearity with low power consumption, which has been successfully attained based on the reported results.

Key Words: Low Noise Amplifier, Intrinsic Balun, Balanced Loads, Linearity, Noise Figure, Transconductance-Boosting, Power consumption.

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

MSc Thesis

Design and Simulation of Wideband CMOS Balun-LNAs with balanced loads and Improved Linearity and Noise Figure

By
Soroush Hashemi Bani

Supervisor
Dr. Mohammad Yavari

June 2024