Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Analysis and Design of Low-Power Low-Noise CMOS Interface Circuits for Capacitive Sensors

By
Sepideh Gholipour Picha

Supervisor
Dr. Mohammad Yavari

July 2017

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

گرایش میکروالکترونیک

تحلیل و طراحی مدارهای واسط CMOS با توان و نویز پایین برای سنسورهای خازنی

نگارش

سپیده قلی پور پیچا

استاد راهنما

دکتر محمد یاوری

تیر ۱۳۹۶

به نام خدا

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

برگ ارزیابی پایان‌نامه کارشناسی ارشد

شماره: ۵۶۰۸۹
تاریخ: ۹۶/۴/۲۷

نام و نام خانوادگی: *سپیده قلی پور* — شماره دانشجویی: ۹۳۱۲۳۰۱۷

رشته و گرایش تحصیلی: *برق-میکروالکترونیک* — دانشکده: مهندسی برق

تعداد واحد پروژه: ۶ — تاریخ دفاع: *سیزدهم تیرماه ۱۳۹۶ – ساعت ۱۰*

عنوان پایان‌نامه: *تحلیل و طراحی مدار واسط CMOS با توان و نویز پایین برای سنسورهای خازنی*

هیات داوران	نام و نام خانوادگی	کد انفورماتیک	رتبه علمی	نمره	امتیاز مقالات (براساس برگه پیوست)	امضاء
استاد راهنمای اول	دکتر محمد باوری	۱۱۲۲۵		۱۷/- / ۱۷		
استاد راهنمای دوم						
استاد مشاور اول						
استاد مشاور دوم						
نماینده تحصیلات تکمیلی دانشگاه	دکتر محسن معزی	۱۵۶۶۱			—	
داور داخلی اول (دانشکده)	دکتر محسن معزی	۱۵۶۶۱		۱۷/- / ۱۷		
داور داخلی دوم (دانشکده)				/ ۱۷		
داور خارجی (دانشگاه)				/ ۱۷		
داور خارجی (خارج از دانشگاه)	دکتر شیخایی	مدعو		۱۷/- / ۱۷		

این قسمت توسط تحصیلات تکمیلی دانشکده تنظیم خواهد شد.

شرح	نمره به عدد	نمره به حروف
میانگین نمرات داوران	۱۷/-	هفده تمام
سهم امتیاز تشویقی (براساس مدارک پیوست)	—	—
نمره نهایی	۱۷/-	هفده تمام

مدیر تحصیلات تکمیلی دانشکده:

امضاء و مهر:

تأئید کارشناس:

مدیر تحصیلات تکمیلی دانشگاه:

امضاء و مهر:

MF-24-10

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

اینجانب سپیده قلی پور پیچا متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

سپیده قلی پور پیچا

امضا

تقدیم به لحظه:

لحظه‌ای از عمرم که پیری شد تا بدینجا رسید و لحظه‌ای که این اثر با عرق جبین در آن نگاشته شد و لحظه‌ای که می‌گذرد و این اثر را با تمام خاطراتش در تار و پود خود حفظ می‌نماید.

تشکر و قدردانی

سپاس ایزد منان که به من این فرصت را داد تا به این مرحله از علم رسیده و از هیچ محبتی دریغ نکرد و در تمام مراحل زندگیم مرا قوت قلب بود. هرچند که زبان قاصر و دست ناتوان از قدردانی کمک‌های بی‌شائبه استاد ارجمند جناب آقای دکتر محمد یاوری است اما بر خود لازم می‌دانم که از ایشان کمال تشکر را داشته باشم. ضمن آنکه از اساتید ممتحن جناب آقای دکتر صمد شیخائی (استاد دانشگاه تهران) و جناب آقای دکتر محسن معزی (استاد دانشگاه صنعتی امیرکبیر) به دلیل تقبل زحمت داوری این پایان‌نامه تشکر و قدردانی می‌نمایم. همچنین از دوستان بزرگوارم در آزمایشگاه مدارهای مجتمع خطی جناب آقای دکتر محسن تمدن و جناب آقای دکتر سعید براتی که در طی انجام پایان‌نامه از رهنمودهایشان برخوردار بودم سپاسگزاری نموده و توفیق روزافزونشان را از خدای متعال خواستارم.

از پدر و مادر عزیز و مهربانم که به‌واسطه زحمات شبانه‌روزی آن‌ها طی نمودن مسیر دانش در این دانشگاه میسر شد، کمال تشکر و قدردانی را می‌نمایم.

درنهایت از کمیته نانو به دلیل حمایت مالی در انجام این پژوهش سپاسگزارم و امیدارم این کمیته در گسترش دانش نانو در کشور موفق باشد.

چکیده

در سال‌های اخیر، تقاضا برای سنسورهای لختی خازنی MEMS[1] (شتاب‌سنج/ژیروسکوپ) به دلیل قیمت کم، عملکرد بالا و ابعاد بسیار کوچکشان به‌تدریج درحال افزایش است. به‌عنوان مثال در شتاب‌سنج‌های خازنی MEMS برای کاربردهای با دقت بالا، نیاز به رزولوشن میکرو گرانشی در فرکانس موردنظر است. دقت یک سیستم میکرو حسگر توسط نویز الکتریکی مدار واسط CMOS محدود می‌شود. از طرفی با افزایش محبوبیت دستگاه‌های قابل‌حمل مانند تلفن‌های همراه و تبلت، توان مصرفی نیز یکی از فاکتورهای مهم در طراحی این سنسورها می‌باشد. بنابراین در این پایان‌نامه ساختاری ارائه می‌گردد که فاکتورهای مهمی همچون نویز و توان مصرفی را بهبود دهد. این ساختار شامل دو قسمت جلویی[2] و قسمت انتهایی[3] می‌باشد. در قسمت جلویی ساختار با استفاده از نمونه‌برداری دو جهته و استفاده از یک فیلتر تفریق کننده به گونه‌ای بهبود داده‌شده تا نویز فرکانس پایین سیستم که مهمترین نویز در این سنسورها است را کاهش دهد. در قسمت انتهایی مدار واسط یک مدولاتور سیگما-دلتا مرتبه دوم به‌منظور دیجیتال کردن خروجی‌های مدار جلویی طراحی شده است. همچنین برای کاهش توان مصرفی کل سیستم سعی شده که توان مصرفی تقویت‌کننده‌ها تا حد امکان کاهش داده شوند. از طرفی به‌منظور افزایش محدوده‌ی قابل‌تشخیص، مدار جلویی با بهره متغیر طراحی شده است. از ملاحظات دیگر این پایان‌نامه در نظر گرفتن عدم تطبیق ناشی از خازن های پارازیتی سنسور و ارائه الگوریتمی کنترلی در Verilog-A برای کالیبراسیون[4] آن‌ها با استفاده از بانک خازنی در ورودی سنسور می‌باشد.

واژه‌های کلیدی:

سنسورهای لختی خازنی MEMS، سیستم میکرو حسگر، مدار واسط CMOS، نویز، توان مصرفی، مدار جلویی، مدار انتهایی، مدولاتور سیگما-دلتا، کالیبراسیون، Verilog-A

[1] Micro Electro-Mechanical System

[2] Front-end

[3] Back-end

[4] Calibration

فهرست مطالب

صفحه

فصل اول مقدمه ۱

۱-۱ انگیزه ۱

۱-۲ اهداف ۲

۱-۳ ساختار پایان‌نامه ۳

فصل دوم سنسورهای خازنی و انواع مدارهای واسط الکتریکی ۴

۲-۱ تکنولوژی ساخت شتاب‌سنج خازنی ۵

۲-۲ شتاب‌سنج تک‌محوره ۷

۲-۳ مدارهای اندازه‌گیری خازن برای سنسورهای MEMS ۱۰

۲-۳-۱ مبدل خازن به ولتاژ ۱۰

۲-۳-۱-۱ بازخوانی ولتاژ زمان پیوسته ۱۰

۲-۳-۱-۲ تقویت‌کننده جریان به ولتاژ ۱۶

۲-۳-۱-۳ تقویت‌کننده بار سوئیچ‌شونده خازنی ۱۸

۲-۳-۲ مبدل خازن به فرکانس ۲۲

۲-۳-۳ مبدل خازن به عرض پالس ۲۴

۲-۳-۴ مبدل خازن به دیجیتال ۲۷

۲-۴ روش‌های کلاسیک کاهش نویز و آفست مداری ۳۰

۲-۴-۱ تکنیک چاپر ۳۰

۲-۴-۲ تکنیک CDS ۳۱

فصل سوم بهبود مدار قسمت جلویی سوئیچ‌شونده خازنی ۳۳

۳-۱ مدار واسط سوئیچ‌شونده خازنی ۳۴

۳-۲ مدار بهبودیافته‌ی مدار قسمت جلویی سوئیچ‌شونده خازنی ۳۷

۳-۲-۱ مولد پالس ساعت ۴۱

۳-۲-۲ فیلتر پایین‌گذر سوئیچ‌شونده خازنی ۴۲

۳-۲-۳ مقایسه کلی نویز ساختار طراحی‌شده با تکنیک CDS ۴۴

۳-۲-۴ تقویت‌کننده عملیاتی ۴۷

۳-۳ بررسی دقت مدار ۵۴

۳-۳-۱ تأثیر تغییرات خازن پارازیتی بر دقت ۵۴

۳-۳-۲ تأثیر خازن‌های حسگر متفاوت بر دقت ۵۸

۳-۴ حساسیت متغیر ۵۹

۳-۵ عدم تطبیق بین خازن‌های پارازیتی سنسور ۶۷

۳-۵-۱ تغییر شکل سیم‌های رابط ۶۸

۳-۵-۲ مرور کلی روابط حاکم بر ساختار در حالت عدم تطبیق بین خازن‌های پارازیتی ۶۸
۳-۵-۳ طراحی سیستم حذف‌کننده عدم تطبیق ۷۰
۳-۶ خلاصه ۷۴
فصل چهارم طراحی مدار انتهایی ۷۵
۴-۱ مرور کلی بر عملکرد مدولاتور سیگما-دلتا ۷۵
۴-۲ طراحی سیستمی مبدل ۸۰
۴-۳ پیاده‌سازی مداری مدولاتور ۸۳
۴-۳-۱ انتگرال‌گیرها ۸۴
۴-۳-۱ سوئیچ‌ها ۸۴
۴-۳-۱ تقویت‌کننده عملیاتی ۸۶
۴-۳-۲ کوانتایزر ۸۸
۴-۳-۳ DAC تک‌بیت ۹۰
۴-۴ شبیه‌سازی مداری مدولاتور ۹۱
فصل پنجم جمع‌بندی و نتیجه‌گیری و پیشنهادات ۹۵
۵-۱ جمع‌بندی ۹۵
۵-۲ نتیجه‌گیری ۱۰۰
۵-۳ پیشنهادات ۱۰۱
منابع و مراجع ۱۰۲
پیوست‌ها ۱۰۸

فهرست شکل‌ها

صفحه

شکل(۲-۱): شتاب‌سنج خازنی MEMS [۷]..... ۷
شکل(۲-۲): مدل مکانیکی ساده‌شده از یک شتاب‌سنج خازنی تک‌محوره [۲۷]..... ۸
شکل(۲-۳): دیاگرام ساده‌شده‌ای از یک شتاب‌سنج خازنی تفاضلی با دو خروجی [۲۷]..... ۹
شکل(۲-۴): مدل الکتریکی شتاب‌سنج خازنی تفاضلی با دو خروجی [۲۷]..... ۱۰
شکل(۲-۵): بازخوانی بافر بهره واحد [۳۰]. الف) بافر ولتاژ ب) بافر ولتاژ با بوت استرپ..... ۱۱
شکل(۲-۶): بلوک دیاگرام مدار واسط مرجع [۲۹] که از بافر ولتاژ با بهره واحد استفاده می‌کند الف) با یک سوئیچ ب) با دو سوئیچ جهت دمدولاسیون..... ۱۲
شکل(۲-۷): تقویت‌کننده چاپر با فیدبک خازنی [۳۰]..... ۱۳
شکل(۲-۸): مدار واسط مرجع [۳۱] که از تقویت‌کننده چاپر با فیدبک خازنی استفاده میکند..... ۱۴
شکل(۲-۹): بلوک دیاگرام چاپر تفاضلی حلقه باز [۳۰]..... ۱۴
شکل(۲-۱۰): طرح مدار واسط مرجع [۳۲] که از تکنیک Dual Chopper استفاده می‌کند..... ۱۵
شکل(۲-۱۱): طرح کلی تقویت‌کننده جریان به ولتاژ [۳۰]..... ۱۶
شکل(۲-۱۲): بلوک دیاگرام مدار واسط مرجع [۳۴] برای هر محور..... ۱۸
شکل(۲-۱۳): بلوک دیاگرام مدار واسط سوئیچ شونده خازنی [۳۵]..... ۱۹
شکل(۲-۱۴): چگونگی تاشدگی نویز [۳۳]..... ۲۰
شکل(۲-۱۵): طرح مدار واسط مرجع [۳۶] برای سه محور..... ۲۲
شکل(۲-۱۶): بلوک دیاگرام مبدل خازن به فرکانس مدل مقایسه‌گر فرکانس [۳۷]..... ۲۳
شکل(۲-۱۷): مبدل خازن به فرکانس با استفاده از یک اسیلاتور [۳۸]..... ۲۳
شکل(۲-۱۸): مدار واسط مرجع [۳۹] الف) بلوک دیاگرام معماری ارائه‌شده ب) توپولوژی اسیلاتور حس‌کننده به همراه شماتیک مدار مقایسه‌گر و شبیه‌سازی حالت گذرای اسیلاتور ج) شماتیک مبدل زمان به دیجیتال..... ۲۵
شکل(۲-۱۹): بلوک دیاگرام کلی مبدل ظرفیت به عرض پالس [۳۸]..... ۲۵
شکل(۲-۲۰): مدار واسط مرجع [۴۰] الف) بلوک دیاگرام مفهومی ب) شماتیک مدار مجتمع بازخوانی دوجهته. ۲۷
شکل(۲-۲۱): بلوک دیاگرام مبدل خازن به دیجیتال با پیکربندی حلقه باز سنسور [۳۸]..... ۲۸
شکل(۲-۲۲): شماتیک مدار واسط مرجع [۴۱] که از تکنیک CDS بر روی ساختار مبدل ظرفیت به دیجیتال استفاده می‌نماید..... ۲۹
شکل(۲-۲۳): شماتیک مدار واسط مرجع [۴۲] که از تکنیک چاپر و CDS به‌صورت هم‌زمان بر روی ساختار مبدل ظرفیت به دیجیتال استفاده می‌نماید..... ۲۹
شکل(۲-۲۴): نحوه عملکرد تقویت‌کننده چاپر در حوزه فرکانس [۴۴]..... ۳۱
شکل(۲-۲۵): اساس عملکرد تکنیک CDS به‌صورت مداری [۳۰]..... ۳۲
شکل(۲-۲۶): طیف نوعی نویز خروجی تقویت‌کننده CDS [۴۵]..... ۳۲

شکل(۳-۱): شماتیک مدار واسط سوئیچ‌شونده خازنی [۲۸] ۳۴
شکل (۳-۲): مدل ساده‌شده تقویت‌کننده در فاز نمونه‌برداری ۳۵
شکل(۳-۳): مدل ساده‌شده تقویت‌کننده در فاز تقویت ۳۶
شکل (۳-۴): ساختار مدار قسمت جلویی طراحی‌شده در این پایان‌نامه ۳۸
شکل (۳-۵): مدل ساده‌شده مدار طبقه اول در فاز ϕ_{1b} ۳۹
شکل (۳-۶): مدل ساده‌شده مدار طبقه اول در فاز ϕ_{2b} ۳۹
شکل (۳-۷): مدل محقق‌شده طبقه سوم مدار قسمت جلویی بر اساس معادله (۳-۱۴) ۴۰
شکل (۳-۸): بلوک دیاگرام مولد پالس ساعت و فازهای تولیدشده ۴۱
شکل (۳-۹): مدل ادغام‌شده تفریق‌کننده با فیلتر پایین‌گذر مرتبه اول سوئیچ‌شونده خازنی ۴۲
شکل (۳-۱۰): پاسخ فرکانسی فیلتر تفریق‌کننده در حالت تئوری و شبیه‌سازی ۴۴
شکل (۳-۱۱): تابع تبدیل نویز تکنیک CDS و جمله دوم بدون ضریب و جمله سوم از ساختار ارائه‌شده ۴۶
شکل (۳-۱۲): چگالی طیف توان نویز خروجی ۴۶
شکل (۳-۱۳): شماتیک تقویت‌کننده کسکود تاشده ۴۸
شکل (۳-۱۴): مدار بایاس ۴۸
شکل (۳-۱۵): مدار سوئیچ‌شونده خازنی تنظیم مُد مشترک خروجی ۵۲
شکل (۳-۱۶): پاسخ فرکانسی OTA کسکود تاشده طبقات اول، دوم و سوم ۵۳
شکل (۳-۱۷): نویز ارجاع داده‌شده به ورودی OTA طبقات اول، دوم و سوم ۵۴
شکل (۳-۱۸): دقت مدار واسط طراحی‌شده برحسب تغییرات خازن پارازیتی ۵۸
شکل (۳-۱۹): دقت مدار واسط طراحی‌شده برحسب تغییرات خازن حسگر سنسور ۵۹
شکل (۳-۲۰): مدار نمونه‌بردار دارای بهره بیشتر از واحد ۶۰
شکل (۳-۲۱): مدار قسمت جلویی پیشنهادی ۶۲
شکل (۳-۲۲): الف) سیگنال خروجی مدار قسمت جلویی به ازای تغییرات خازنی 0.956 aF در فرکانس ۱۰۰ هرتز ب) نمودار ولتاژ خروجی برحسب تغییرات خازنی از 0.956 aF تا 20 fF با حساسیت 48 V/pF ۶۳
شکل (۳-۲۳): THD سیگنال خروجی مدار قسمت جلویی به ازای تغییرات خازنی 20 fF در فرکانس 167.84668 Hz با حساسیت 48 V/pF برای ۳۲۷۶۸ نقطه را نشان می‌دهد ۶۴
شکل (۳-۲۴): الف) سیگنال خروجی مدار قسمت جلویی به ازای تغییرات خازنی 1.4 pF در فرکانس ۱۰۰ هرتز ب) نمودار ولتاژ خروجی برحسب تغییرات خازنی از 54.18 aF تا 1.4 pF با حساسیت 0.6 V/pF ۶۵
شکل (۳-۲۵): THD سیگنال خروجی مدار قسمت جلویی به ازای تغییرات خازنی 1.4 pF در فرکانس 167.84668 Hz با حساسیت 0.6 V/pF برای ۳۲۷۶۸ نقطه را نشان می‌دهد ۶۵
شکل (۳-۲۶): چگالی طیف نویز ارجاع داده شده به ورودی سنسور خازنی در سه‌گوشه تکنولوژی الف) برای حساسیت 48 V/pF ب) برای حساسیت 0.6 V/pF ۶۶
شکل (۳-۲۷): شتاب‌سنج خازنی تفاضلی تک محوره‌ی مرجع [۵۳] را نشان می‌دهد که المان های سنسور خازنی MEMS توسط سیم‌های رابط به آی سی مدار واسط CMOS وصل شده‌اند ۶۷
شکل (۳-۲۸): سیم‌های رابط قبل و بعد از تغییر شکل در اثر فشار مکانیکی [۵۳] ۶۹

شکل (۳-۲۹): شماتیک مربوط به D-فلیپ فلاپ متصل به پایه‌های خروجی سیستم کنترل تعیین ظرفیت. ... ۷۲
شکل (۳-۳۰): بانک خازنی متصل به هر پایه ۷۳
شکل (۳-۳۱): تست‌های انجام‌شده برای بررسی عملکرد سیستم کالیبراسیون طراحی‌شده ۷۳
شکل (۴-۱): بلوک دیاگرام یک مدولاتور ΣΔ مرتبه اول ۷۵
شکل (۴-۲): مدل مدولاتور ΣΔ مرتبه اول ۷۷
شکل (۴-۳): تابع چگالی احتمال برای خطای کوانتیزاسیون q[n] ۷۷
شکل (۴-۴): مدل مدولاتور ΣΔ مرتبه دوم ۸۰
شکل (۴-۵): بلوک دیاگرام مدولاتور ΣΔ طراحی‌شده ۸۱
شکل (۴-۶): SNDR خروجی مدولاتور برحسب توان سیگنال ورودی ۸۱
شکل (۴-۷): طیف توان خروجی مدولاتور به ازای ورودی با دامنه 6- dBFS ۸۲
شکل (۴-۸): نمودار SNDR برحسب تغییرات بهره انتگرال گیر اول ۸۳
شکل(۴-۹): پیاده‌سازی مداری مدولاتور مرتبه ۲ با STF واحد ۸۵
شکل (۴-۱۰): تغییرات مقاومت حالت وصل سوئیچ‌ها برحسب تغییرات ولتاژ ورودی ۸۶
شکل (۴-۱۱): پاسخ فرکانسی OTA کسکود تاشده انتگرال‌گیرهای اول و دوم ۸۸
شکل (۴-۱۲): مدار کوانتایزر مورداستفاده در این پایان‌نامه ۸۹
شکل (۴-۱۳): الف) لچ SR ب) مدار گیت NAND ۹۰
شکل (۴-۱۴): مدار DAC تک‌بیتی ۹۰
شکل (۴-۱۵): طیف توان خروجی مدولاتور در گوشه معمولی تکنولوژی و دمای ۲۷°C ۹۲
شکل (۴-۱۶): طیف توان خروجی مدولاتور در گوشه کند تکنولوژی و دمای ۸۵°C ۹۲
شکل (۴-۱۷): طیف توان خروجی مدولاتور در گوشه سریع تکنولوژی و دمای ۴۰°C- ۹۳
شکل (۴-۱۸): نمودار SNDR خروجی مدولاتور شبیه‌سازی‌شده در نرم افزار Cadence برحسب توان سیگنال ورودی ۹۳
شکل (۵-۱): طیف توان خروجی سیستم برای حساسیت 48 V/pF و تغییرات خازنی 12.53 fF ۹۶
شکل (۵-۲): طیف توان خروجی سیستم برای حساسیت 0.6 V/pF و تغییرات خازنی 1 pF ۹۶
شکل (۵-۳): نمودار SNDR خروجی سیسنم برحسب تغییرات خازنی به ازای حساسیت 0.6 V/pF و 48 V/pF. ۹۷
شکل (۵-۴): مدل سیستمی قسمت جلویی تبدیل‌شده به مدولاتور سیگما-دلتای چند نرخی ۱۰۱

فهرست جدول‌ها

صفحه

جدول (۳-۱): مشخصات ابعاد ترانزیستورهای تقویت‌کننده طبقه اول ۴۹
جدول (۳-۲): مشخصات ابعاد ترانزیستورهای مدار بایاس تقویت‌کننده طبقه اول ۴۹
جدول (۳-۳): مشخصات تقویت‌کننده طبقه اول در حالت حلقه باز در سه‌گوشه‌ی تکنولوژی ۴۹
جدول (۳-۴): مشخصات ابعاد ترانزیستورهای تقویت‌کننده طبقه دوم ۵۰
جدول (۳-۵): مشخصات تقویت‌کننده طبقه دوم در حالت حلقه باز در سه‌گوشه‌ی تکنولوژی ۵۰
جدول (۳-۶): مشخصات ابعاد ترانزیستورهای تقویت‌کننده طبقه سوم ۵۱
جدول (۳-۷): مشخصات ابعاد ترانزیستورهای مدار بایاس تقویت‌کننده طبقه سوم ۵۱
جدول (۳-۸): مشخصات تقویت‌کننده طبقه سوم در حالت حلقه باز در سه‌گوشه‌ی تکنولوژی ۵۱
جدول (۳-۹): مقادیر فرض‌شده برای هر یک از خازن‌های پارازیتی جهت تست سیستم کالیبراسیون ۷۳
جدول (۳-۱۰): خلاصه مشخصات مدار قسمت جلویی طراحی‌شده ۷۴
جدول (۴-۱) ابعاد خازنهای به‌کاررفته در مدولاتور ۸۴
جدول (۴-۲): مشخصات ابعاد ترانزیستورهای تقویت‌کننده مدولاتور $\Sigma\Delta$ ۸۷
جدول (۴-۳): مشخصات تقویت‌کننده مدولاتور $\Sigma\Delta$ در حالت حلقه باز در سه‌گوشه‌ی تکنولوژی ۸۷
جدول (۴-۴): ابعاد ترانزیستورهای مدسار کوانتایزر ۸۹
جدول (۴-۵): خلاصه مشخصات مدولاتور طراحی‌شده ۹۴
جدول (۵-۱): مقایسه عملکرد مدار قسمت جلویی طراحی شده به همراه مقایسه با پژوهش‌های دیگر ۹۸
جدول (۵-۲): مقایسه‌ی کل مدار واسط پیشنهادی با دیگر پژوهش‌ها ۹۹
جدول (۵-۳): مشخصات مدار واسط ارائه‌شده ۱۰۰

واژه نامه

Offset	آفست
Cross-coupled	اتصال ضربدری
Oscillator	اُسیلاتور
Oxide	اُکسید
Continuous-time voltage readout	بازخوانی ولتاژ زمان پیوسته
Aliasing	برهم اُفتادگی
Substrate	بستر
Off-chip	بیرون تراشه
Polarization	پلاریزاسیون
Dynamic	پویا
Piezoelectric	پیزوالکتریک
Piezoresistive	پیزورزیستیو
Noise folding	تاشدگی نویز
Tablets	تبلت‌ها
Switched-capacitor amplifier	تقویت‌کننده بار سوئیچ‌شونده خازنی
Transcapacitance amplifier	تقویت‌کننده ترانس خازنی
Transresistance amplifier	تقویت‌کننده ترانس مقاومتی
Transimpedance amplifier	تقویت‌کننده جریان به ولتاژ
Operational transconductance amplifier	تقویت‌کننده هدایتی عملیاتی
Adaptive breaks	ترمزهای تطبیقی
Active suspension	تعلیق فعال
Resolution	دقت
Demodulation	دمدولاسیون

Bidirectional	دو جهته
Sub-threshold	زیر آستانه
Silicon-on-Insulator	سیلیکون بر روی عایق
Bond wire	سیم رابط
Proof-Mass	جرم متحرک
Dual chopper	چاپر دوگانه
Multirate	چند نرخی
Delay locked loop	حلقه قفل تأخیر
Linearity	خطینگی
Geophysical sensing	سنجش‌های ژئوفیزیک
Single axis accelerometer	شتاب‌سنج تک‌محوره
Noise shaping	شکل‌دهی نویز
Mismatch	عدم تطبیق
Passive	غیرفعال
Gain Bandwidth Frequency Unity	فرکانس بهره واحد
Modulation Frequency	فرکانس مدولاسیون
Active	فعال
Back-end	قسمت انتهایی
Front-end	قسمت جلویی
Application	کاربرد
Calibration	کالیبراسیون
Noise floor	کف نویز
Least significant bit	کم‌ارزش‌ترین بیت
Tilt control	کنترل شیب
Frequency quantizer	کوانتایزر فرکانسی

Latch	لچ
Seismology	لرزه‌شناسی
Analog to digital converter	مبدل آنالوگ به دیجیتال
Digital to Analog converter	مبدل دیجیتال به آنالوگ
Time to digital converter	مبدل زمان به دیجیتال
Stretcher circuit	مدار بسط دهنده
Time splitter circuit	مدار جداساز زمانی
Common mode feedback circuit	مدار فیدبک مُد مشترک
Sample & hold circuit	مدار نمونه‌بردار
Dynamic Range	محدوده‌ی دینامیکی
Figure of Merit	معیار شایستگی
Root mean square	میانگین مجذور مربعات
Microgravity	میکرو گرانشی
Bulk micromachining	میکروماشینینگ بدنه
Surface micromachining	میکروماشینینگ سطح
Inertial navigation/guidance	ناوبری/هدایت لختی
Brownian noise	نویز برانیون
Flicker noise	نویز فلیکر

اختصار نامه

ADC	Analog to Digital Converter
CDS	Correlated Double Sampling
CHS	Chopper Stabilization
CMFB	Common Mode Feedback
CMOS	Complementary Metal-Oxide Semiconductor
CTV	Continuous-Time Voltage
DAC	Digital to Analog Converter
DLL	Delay Locked Loop
DR	Dynamic Range
FoM	Figure of Merit
LSB	Least Significant Bit
MEMS	Micro Electro-Mechanical System
OTA	Operational Transconductance Amplifier
RMS	Root Mean Square
SC	Switched-Capacitor
SNDR	Signal to Noise Distortion Ratio
SNR	Signal to Noise Ratio
SOI	Silicon-on-Insulator
STF	Signal Transfer Function
TCA	Trans Capacitance Amplifier
TDC	Time to Digital Converter
THD	Total Harmonic Distortion
TIA	Trans Impedance Amplifier
TRA	Trans Resistance Amplifier

منابع و مراجع

[1] N. Yazdi and K. Najafi, "An Interface IC for A Capacitive Silicon µg Accelerometer," *IEEE International Solid-state Circuits Conference*, pp. 132–134, Feb. 1999.

[2] B. V. Amini, and F. Ayazi, "A 2.5-V 14-bit ΣΔ CMOS SOI Capacitive Accelerometer," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2467-2476, Nov. 2004.

[3] R. S. Leder *et al.*, "Nintendo Wii remote for computer simulated arm and wrist therapy in stroke survivors with upper extremity hemipariesis," *Virtual Rehabilitation*, vol. 10, no. 2, p. 74, Aug. 2008.

[4] M. Massimiliano *et al.*, "Inertial sensors rapid prototyping for automotive application," *2nd International Workshop on Advances in Sensors and Interface*, pp. 1–5, Jun. 2007.

[5] B. V. Amini, S. Pourkamali, and F. Ayazi, "A high resolution, stictionless, CMOS compatible SOI accelerometer with a low noise, low power, 0.25 µm CMOS interface," *17th IEEE International Conference on Micro Electro Mechanical Systems. Maastricht MEMS 2004 Technical Digest*, pp. 7–10, Jan. 2004.

[6] P. Monajemi and F. Ayazi, "Design optimization and implementation of a microgravity capacitive HARPSS accelerometer," *IEEE Sensors J.*, vol. 6, no. 1, pp. 39–46, Feb. 2006.

[7] M. Lemkin and B. E. Boser, "Three-axis micromachined accelerometer with a CMOS position-sense interface and digital offset-trim electronics," *IEEE J. Solid-State Circuits*, vol. 34, no. 4, pp. 456–468, Apr. 1999.

[8] J. E. Rice, J. C. Fox, W. G. Lange, R. W. Dietrich, and W. O. Wagar, "Microgravity Acceleration Measurement System for the International Space Station," in *IMTC/99. Proceedings of the 16th IEEE Instrumentation and Measurement Technology Conference*, vol. 1, pp. 244–248, May. 1999.

[9] C. Y. Kwok, "Interfacing intelligent systems to the natural world: Micro-sensors and micro-actuators," *second International Conference on Knowledge-Based Intelligent Electronic Systems, Proceedings, KES'98*, vol. 3, pp. 442-446, Apr. 1998.

[10] S. Steplight, G. Egnal, S.-H. Jung, D. B. Walker, C. J. Taylor, and J. P. Ostrowski, "A Mode-Based Sensor Fusion Approach to Robotic Stair Climbing," in *Proc. IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS 2000)*, pp. 1113–1118, Nov. 2000.

[11] Y. Fukuda and M. Q. Feng, "MEMS and Fiber Optics Sensor-Based Wearable Interface for Medical Applications," *IEEE International Conference on Systems, Man and Cybernetics*, pp. 814–817, Oct. 2005.

[12] D. J. Murphy, "Characteristics of a small low cost inertial measurement unit," in

Proceedings of the 1998 Workshop on Autonomous Underwater Vehicles, pp. 75–87, Aug. 1998.

[13] B. Ha *et al.*, "A Area Variable Capacitive Microaccelerometer with Force-Balancing Electrodes," in *IEEE 1998 Position Location and Navigation Symposium*, pp. 146–151, Apr. 1996.

[14] H. Kulah, J. Chae, and K. Najafi, "Noise analysis and characterization of a sigma-delta capacitive silicon microaccelerometer," *IEEE J. Solid-States Circuits*, vol. 1, no. 2, pp. 95–98, Jan. 2006.

[15] N. Yazdi, A. Salian, K. Najafi, and A. Arbor, "A high sensitivity capacitive microaccelerometer with a folded-electrode structure," *IEEE International MEMS '99 Conference, Twelfth IEEE International Conference on Micro Electro Mechanical Systems*, vol. 4, pp. 600–605, Jan. 1999.

[16] B. V. Amini, R. Abdolvand, and F. Ayazi, "Sub-micro-gravity capacitive SOI microaccelerometers," *Digest of Technical Papers - International Conference on Solid State Sensors and Actuators and Microsystems*, vol. 1, pp. 515–518, Jun. 2005.

[17] F. E. H. Tay, J. Xu, and V. J. Logeeswaran, "Differential capacitive low-g microaccelerometer with mg resolution," *Sensors and Actuators A: Physical*, vol. 86, no. 1–2, pp. 45–51, Oct. 2000.

[18] C. Condemine *et al.*, "A 0.8 mA 50 Hz 15 b SNDR ΔΣ closed-loop 10g accelerometer using an 8th-order digital compensator," *IEEE International Solid-State Circuits Conference. Digest of Technical Papers. ISSCC.*, vol. 1, p. 248–249, Feb. 2005.

[19] N. Yazdi, F. Ayazi, and K. Najafi, "Micromachined inertial sensors," In *Proc. IEEE*, vol. 86, no. 8, pp. 1640–1658, Aug. 1998.

[20] R. Puers, "Capacitive sensors: When and how to use them," *Sensors and Actuators A: Physical*, vol. 37–38, no. C, pp. 93–105, Jun. 1993.

[21] M. Tabib-Azar and a. Garcia-Valenzuela, "Sensing means and sensor shells: a new method of comparative study of piezoelectric, piezoresistive, electrostatic, magnetic, and optical sensors," *Sensors and Actuators A: Physical*, vol. 48, no. 2. pp. 87–100, May. 1995.

[22] N. Yazdi and K. Najafi, "An All-Silicon Single-Wafer Micro-g Accelerometer Process," *J. Microelectromechanical Syst.*, vol. 9, no. 4, pp. 544–550, Dec. 2000.

[23] H. Kulah, N. Yazdi, and K. Najafi, "A CMOS switched-capacitor interface circuit for an integrated accelerometer," in *Proc. the 43rd IEEE Midwest Symposium on Circuits and Systems*, pp. 244–247, Aug. 2000.

[24] M. W. Judy, "Evolution of integrated inertial MEMS technology," *Tech. Dig. Solid-State Sensors, Actuators, and Microsystems Workshop*, pp. 27–32, Jun. 2004.

[25] J. Chae, H. Kulah, and K. Najafi, "A monolithic three-axis silicon capacitive accelerometer with micro-g resolution," *12th International Conference on Solid-State Sensors, Actuators and Microsystems, Digest of Technical Papers*, vol. 1, pp. 81–84, Jun. 2003.

[26] J. Wu, G. K. Feeder, and L. R. Carley, "A low-noise low-offset capacitive sensing amplifier for a 50-μg/√Hz monolithic CMOS MEMS accelerometer," *IEEE J. Solid-State Circuits*, vol. 39, no. 5, pp. 722–730, May. 2004.

[27] J. C. Shiah, "Design Techniques for Low-Power Low Noise CMOS Capacitive-

Sensor Readout Circuits," Ph.D. Dissertation, The University of British Columbia, 2015.
[28] D. Zhao, "A Low-Noise CMOS Interface for Capacitive Microaccelerometers," Ph.D. Dissertation, Georgia Institute of Technology, 2009.
[29] R. Tirupathi and S. K. Kar, "Design and Analysis of Signal Conditioning Circuit for Capacitive Sensor Interfacing," *IEEE International Conference on Power, Control, Signals and Instrumentation Engineering (ICPCSI)*, pp. 1717–1721, May. 2017.
[30] D. Fang, "Low-Noise and Low-Power Interface Circuits Design for Integrated CMOS-MEMS Inertial Sensors," Ph.D. Dissertation, University of Florida, 2006.
[31] R. K. A. Utz, C. WalK, N. Haas, T. Fedtschenko, A. Stanitzki, M. Mokhtari, M. Gortz, M. Kraft, "An ultra-low noise capacitance to voltage converter for sensor applications in 0.35µm CMOS," *J. Sensors and Sensor Systems*, pp. 285–300, Jun. 2017.
[32] P. Vejdani, K. Allidina, and F. Nabki, "Ultra-High Sensitivity, Low-Power Dual Chopper Signal Conditioning Circuit for Integrated Sensors," *14th IEEE International New Circuits and Systems Conference (NEWCAS)*, pp. 346–350, Jun. 2016.
[33] H. Sun, "Sensing and Control Electronics Design for Capacitive CMOS-MEMS Inertial Sensors," Ph.D. Dissertation, University of Florida, 2011.
[34] J.-C. Lan, Y.-H. Hsueh, and C. Hung, "Integrated chip of capacitive three-axis accelerometer and sensing circuit," *Electronics Letters*, vol. 51, no. 20, pp. 1576–1578, Sep. 2015.
[35] M. Zhao *et al.*, "A Low-Noise Switched-Capacitor Interface for a Capacitive Micro-Accelerometer," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 337–340, May. 2015.
[36] Y. C. Liu, M. H. Tsai, S. S. Li, and W. Fang, "A fully-differential, multiplex-sensing interface circuit monolithically integrated with tri-axis pure oxide capacitive CMOS-MEMS accelerometers," *Transducers and Eurosensors XXVII: The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (TRANSDUCERS and EUROSENSORS 2013)*, pp. 610–613, Jun. 2013.
[37] K. Y. Lai, Z. He, Y. Yang, H. Chang, and C. Lee, "A 0.0354mm2 82µW 125KS/s 3-Axis Readout Circuit for Capacitive MEMS Accelerometer," *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp. 109–112, Nov. 2013.
[38] F. Aezinia, "Design of interface circuits for capacitive sensing applications," Ph.D. Dissertation, Simon Fraser University, 2014.
[39] P. Michalik, J. Madrenas, and D. Fernandez, "Sense/drive architecture for CMOS-MEMS accelerometers with relaxation oscillator and TDC," *19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012)*, pp. 937–940, Dec. 2012.
[40] S. Lee *et al.*, "A bidirectional readout integrated circuit (ROIC) with capacitance-to-time conversion operation for high performance capacitive MEMS accelerometers," in *Proc. IEEE Sensors*, pp. 288–291, Oct. 2007.
[41] I. E. Ocak, R. Kepenek, H. Kulah, and T. Akin, "A high performance ΣΔ Readout circuitry for µg resolution microaccelerometers," *Analog Integr. Circuits Signal Processing*, vol. 64, no. 2, pp. 137–145, Aug. 2010.

[42] H. Kulah, J. Chae, N. Yazdi, and K. Najafi, "Noise analysis and characterization of a sigma-delta capacitive microaccelerometer," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 352–361, Jan. 2006.

[43] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of Op-Amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization," In *Proc. IEEE*, vol. 84, no. 11, pp. 1584–1614, Nov. 1996.

[44] Z. Chong, W. Qisong, Y. Tao, and Y. Haigang, "Noise and mismatch optimization for capacitive MEMS readout," *J. Semiconductors*, vol. 30, no. 11, p. 115003, Nov. 2009.

[45] A. Bakker, K. Thiele, and J. H. Huijsing, "CMOS nested-chopper instrumentation amplifier with 100-nV offset," *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pp. 156-157, Feb. 2000.

[46] S. Y. Peng, M. S. Qureshi, P. E. Hasler, A. Basu, and F. L. Degertekin, "A charge-based low-power high-SNR capacitive sensing interface circuit," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 55, no. 7, pp. 1863–1872, Feb. 2008.

[47] A. Heidary, S. H. Shalmany, and G. Meijer, "A flexible low-power high-resolution integrated interface for capacitive sensors," *IEEE International Symposium on Industrial Electronics*, pp. 3347–3350, Jul. 2010.

[48] K. Zhou, Z. Wang, F. Li, C. Zhang, and Z. Wang, "A low-power high-linearity symmetrical readout circuit for capacitive sensors," *54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 1-4, Aug. 2011.

[49] ن. ابراهیمی، "طراحی و شبیه سازی مدارهای واسط CMOS برای شتاب سنج خازنی MEMS با رزولوشن گرانشی میکرو" پایان نامه ارشد، دانشگاه صنعتی امیرکبیر، ۱۳۹۰.

[50] P. A. Mohan, *Current-mode VLSI analog filters: design and applications*. Springer Science & Bussiness Media, 2012.

[51] B. Vakili Amini, "A Mixed-Signal Low-Noise Sigma-Delta Interface IC for Integrated Sub-Micro-Gravity Capacitive SOI Accelerometers," Ph.D. Dissertation, Georgia Institute of Technology, 2006.

[52] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.

[53] P. Lajevardi, "Dynamic Offset Cancellation for MEMS Accelerometers," Ph.D. Dissertation, Stanford University, 2012.

[54] H. K. Ouh *et al.*, "Capacitive readout circuit for tri-axes microaccelerometer with sub-fF offset calibration," *J. Semiconductors Technology and Science*, vol. 14, no. 1, pp. 83–91, Feb. 2014.

[55] S. S. Tan, C. Y. Liu, L. K. Yeh, Y. H. Chiu, M. S. C. Lu, and K. Y. J. Hsu, "An integrated low-noise sensing circuit with efficient bias stabilization for CMOS MEMS capacitive accelerometers," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 58, no. 11, pp. 2661–2672, Sep. 2011.

[56] S. R. Norsworthy, R. Schreier, and G. C. Temes, *Delta-Sigma Data Converters: Theory, Design, and Simulation*. Wiley-IEEE Press, 1996.

[57] B. Razavi, *Principles of data conversion system design*. New York: IEEE press, 1995.

[58] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*. IEEE press Piscataway, NJ, vol. 74, 2005.

[59] P. Malcovati, S. Brigati, and F. Francesconi, "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators," *IEEE Trans. Circuits Syst. I: Reg. Papers*,

vol. 50, no. 3, pp. 352–364, Jul. 2003.
[60] A. Morgado, R. Del Río, and M. José, *Nanometer cmos sigma-delta modulators for software defined radio*. Springer Science & Business Media, 2011.
[61] S. Babayan-Mashhadi and R. Lotfi, "Analysis and design of a low-voltage low-power double-tail comparator," *IEEE Trans. Very Large Scale Integrated (VLSI) Systems*, pp. 1–10, Feb. 2013.
[62] W. F. Lee and P. K. Chan, "A capacitive-based accelerometer IC using injection-nulling switch technique," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 55, no. 4, pp. 980–989, May. 2008.
[63] B. V. Amini, S. Pourkamali, M. Zaman, and F. Ayazi, "A new input switching scheme for a capacitive micro-g accelerometer," *Symp. VLSI Circuits. Dig. Technical Papers*, pp. 310–313, Jun. 2004.
[64] D. Zhao, M. F. Zaman, and F. Ayazi, "A Chopper-Stabilized Lateral-BJT-Input Interface in 0.6μm CMOS for Capacitive Accelerometers," *IEEE International Solid-States Circuits Conference* (*ISSCC). Dig. Technical Papers*, pp. 584–586, Feb. 2008.
[65] J. Shiah and S. Mirabbasi, "A 5-V 290-μw low-noise chopper-stabilized capacitive-sensor readout circuit in 0.8-μm cmos using a correlated-level-shifting technique," *IEEE Trans. Circuits Syst. II: Express Briefs*, vol. 61, no. 4, pp. 254–258, Feb. 2014.
[66] Y. M. Wang, P. K. Chan, S. Member, H. King, H. Li, and S. Ong, "A Low-Power Highly Sensitive Capacitive Accelerometer IC Using Auto-Zero Time-Multiplexed Differential Technique," *IEEE Sensors J.*, vol. 15, no. 11, pp. 6179–6191, Jun. 2015.
[67] J. M. Sánchez-Chiva, P. Michalik, D. Fernández, and J. Madrenas, "A CMOS BEOL accelerometer low-noise readout amplifier with 4.2 zF/√Hz total noise floor," *IEEE SENSORS*, pp. 1–4, Nov. 2015.
[68] D. Nag, "A 6 nV/√ Hz High Precision Analog Front-End with sub-μV Input Offset for MEMS Accelerometer," *International Symposium on Integrated Circuits (ISIC)*, pp. 6–9, Dec. 2016.
[69] M. Yüceta, M. Pulkkinen, A. Kalanti, J. Salomaa, L. Aaltonen, and K. Halonen, "A High-Resolution Accelerometer With Electrostatic Damping and Improved Supply Sensitivity," *IEEE J. Solid-State Circuits*, vol. 47, no. 7, pp. 1721–1730, May. 2012.
[70] M. Zhao, Z. Chen, W. Lu, Y. Zhang, Y. Niu, and G. Chen, "A High-Voltage Closed-Loop SC Interface for a ±50 g Capacitive Micro-Accelerometer With 112.4 dB Dynamic Range," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 64, no. 6, pp. 1328–1341, May. 2017.
[71] M. De Matteis *et al.*, "A 0.13μm-CMOS 90μW 51dB-SNR Continuous- Time Accelerometer Front-End with 10b SAR-ADC," *IEEE SENSORS*, pp. 1-4, Nov. 2015.
[72] H. Xu, X. Liu, and L. Yin, "A closed-loop ΣΔ interface for a high-Q micromechanical capacitive accelerometer with 200 ng/√HzH input noise density," *IEEE J. Solid-State Circuits*, vol. 50, no. 9, pp. 2101–2112, May. 2015.
[73] V. P. Petkov, G. K. Balachandran, and J. Beintner, "A fully differential charge-balanced accelerometer for electronic stability control," *IEEE J. Solid-State Circuits*, vol. 49, no. 1, pp. 262–270, Oct. 2013.

[74] Z. Ye, H. Yang, T. Y. Yin, G. Huang, and F. Liu, "High-Performance Closed-Loop Interface Circuit for High-Q Capacitive Microaccelerometers," *IEEE Sensors J.*, vol. 13, no. 5, pp. 1425–1433, Dec. 2012.

[75] P. Lajevardi, V. Petkov, and B. Murmann, "A ΔΣ Interface for MEMS Accelerometers Using Electrostatic Spring-Constant Modulation for Cancellation of Bondwire Capacitance Drift," *IEEE J. Solid-State Circuits*, vol. 48, no. 1, pp. 265-275, Oct. 2012.

[76] M. Pastre, M. Kayal, H. Schmid, A. Huber, P. Zwahlen, A. M. Nguyen and Y. Dong, "A 300Hz 19b DR capacitive accelerometer based on a versatile front end in a 5th-order ΔΣ loop," In *Proc. ESSCIRC*, pp. 288-291, Sep. 2009.

[77] B. V. Amini, R. Abdolvand, and F. Ayazi, "A 4.5-mW Closed-Loop ΔΣ Micro-Gravity CMOS SOI Accelerometer," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2983–2991, Nov. 2006.

[78] N. Ebrahimi Seraji and M. Yavari, "Minimum Detectable Capacitance in Capacitive Readout Circuits," *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, Seoul, Korea, Aug. 2011.

[79] N. Ebrahimi Seraji and M. Yavari, "On the Design and Optimization of a Switched-Capacitor Interface Circuit for MEMS Capacitive Sensors," *Iranian Conference on Electrical Engineering (ICEE)*, Tehran, Iran, pp. 286-290, May 2012.

پیوست‌ها

پیوست الف که در ادامه آورده شده‌است، کد Verilog-A مربوط به ADC مورد استفاده در سیستم کالیبراسیون می‌باشد که همانطور که گفته شد از ۸ بیت جهت تنظیم بانک خازنی استفاده می‌شود.

پیوست الف: ADC مورد استفاده در سیستم کالیبراسیون.

```
`include "discipline.h"
`include "constants.h"
module adc_8bit(d7, d6, d5, d4, d3, d2, d1, d0, vin1, vin2 , vclk);
electrical d7, d6, d5, d4, d3, d2, d1, d0, vin1, vin2 , vclk;
parameter real trise = 0 from [0:inf);
parameter real tfall = 0 from [0:inf);
parameter real tdel = 0 from [0:inf);
parameter real mismatch_fact=0 from [0:inf);
parameter real vlogic_high = 1;
parameter real vlogic_low  = 0;
parameter real vtrans_clk     = 0.6;
parameter real vref        = 1.2;
`define NUM_ADC_BITS    8
`define MAXINT  2_147_483_647.0
// macro to calculate the fractional mismatches in bits
`define FRAC_MM(I) (1.0 +
mismatch_fact*(dist_range*abs($random(I)/`MAXINT) - \
                    half_dist_range))
   real dist_range, half_dist_range;
   real comp_var[0:`NUM_ADC_BITS-1];  // Fractional comparator
mismatches
   real unconverted;
   real halfref;
   real comp_vref;
   real vin;
   real vd[0:`NUM_ADC_BITS-1];
   integer i;
   integer iseed;


   analog begin
      @ ( initial_step ) begin
         dist_range = 0.02;
         half_dist_range = 0.01;
       generate j ( 0, `NUM_ADC_BITS-1 ) begin
         iseed = j;
         comp_var[j] = `FRAC_MM(iseed);
       end
         halfref = vref / 2;
      end
```

```
if (0<=V(vin1,vin2)) vin=V(vin1,vin2);
else vin=-V(vin1,vin2);
      @ (cross(V(vclk) - vtrans_clk, 1, 1.0, vclk.potential.abstol))
begin
         unconverted = vin;
         for (i = `NUM_ADC_BITS-1; i >= 0 ; i = i - 1) begin
            vd[i] = 0;
            comp_vref = halfref * comp_var[i];
            if (unconverted > comp_vref) begin
               vd[i] = vlogic_high;
               unconverted = unconverted - comp_vref;
            end else begin
               vd[i] = vlogic_low;
            end
            unconverted = unconverted * 2;
         end
      end
      //
      // assign the outputs
      //
      V(d7) <+ transition( vd[7], tdel, trise, tfall );
      V(d6) <+ transition( vd[6], tdel, trise, tfall );
      V(d5) <+ transition( vd[5], tdel, trise, tfall );
      V(d4) <+ transition( vd[4], tdel, trise, tfall );
      V(d3) <+ transition( vd[3], tdel, trise, tfall );
      V(d2) <+ transition( vd[2], tdel, trise, tfall );
      V(d1) <+ transition( vd[1], tdel, trise, tfall );
      V(d0) <+ transition( vd[0], tdel, trise, tfall );
`undef NUM_ADC_BITS
   end
endmodule
```

پیوست ب مربوط به کد Verilog-A جهت تعیین پایه مربوطه به منظور اتصال بانک خازنی مورد نظر می‌باشد. همانطور که پیداست اگر ولتاژ خروجی مثبت وکوچکتر از V_{mid1} باشد پایه مربوط به خازن C_{P2} و اگر بزگتر یا مساوی با V_{mid1} باشد پایه مربوط به خازن C_{P4} فعال می‌گردد. همچنین اگر ولتاژ خروجی منفی و بزرگتر یا مساوی با V_{mid2} باشد پایه مربوط به خازن C_{P1} و اگر کوچکتر از خازن C_{P3} باشد پایه مربوط به خازن C_{P3} فعال می‌گردد.

پیوست ب: شرح سیستم کنترلی جهت تعیین پایه اتصال.

```
// VerilogA for Comparator, node_Control_02, veriloga
`include "constants.vams"
`include "disciplines.vams"
module node_Control_02(Vo1, Vo2, p1, p2, p3, p4);
input Vo1, Vo2;
output p1, p2, p3, p4;
electrical Vo1, Vo2, p1, p2, p3, p4;
parameter real Vref=+1.2;
parameter real gnd=0;
parameter real Vmid1=+0.18;
parameter real Vmid2=-0.18;
parameter real vtrans_phi4b1=+0.6;
```

```
real vp[1:4];
analog begin
if (+vtrans_phi4b1>V(Phi4b1)) begin
V(p1)<+vp[1]; V(p2)<+vp[2]; V(p3)<+vp[3]; V(p4)<+vp[4];
end
else begin
if (+gnd<=V(Vo1,Vo2) && Vmid1>V(Vo1,Vo2)) begin
vp[2]=+Vref; vp[1]=+gnd; vp[3]=+gnd; vp[4]=+gnd;
V(p2)<+Vref; V(p1)<+gnd; V(p3)<+gnd; V(p4)<+gnd;
end
else if (+gnd<=V(Vo1,Vo2) && Vmid1<=V(Vo1,Vo2)) begin
vp[4]=+Vref; vp[1]=+gnd; vp[2]=+gnd; vp[3]=+gnd;
V(p4)<+Vref; V(p1)<+gnd; V(p2)<+gnd; V(p3)<+gnd;
end
else if (-gnd>V(Vo1,Vo2) && Vmid2<=V(Vo1,Vo2)) begin
vp[1]=+Vref; vp[2]=+gnd; vp[3]=+gnd; vp[4]=+gnd;
V(p1)<+Vref; V(p2)<+gnd; V(p3)<+gnd; V(p4)<+gnd;
end
else if (-gnd>V(Vo1,Vo2) && Vmid2>V(Vo1,Vo2)) begin
vp[3]=+Vref; vp[1]=+gnd; vp[2]=+gnd; vp[4]=+gnd;
V(p3)<+Vref; V(p1)<+gnd; V(p2)<+gnd; V(p4)<+gnd;
end
else begin
V(p1)<+vp[1]; V(p2)<+vp[2]; V(p3)<+vp[3]; V(p4)<+vp[4];
end
end
end
endmodule
```

پیوست ج کد Verilog-A جهت تعیین مقدار ظرفیتی از بانک خازنی که باید به پایه متصل شود را شرح می‌دهد. عملکرد این کد بدین صورت است که خروجی‌های وزن‌دار شده ADC با یکدیگر مقایسه شده و بیت با کمترین ارزش و بیشترین وزن به عنوان خروجی انتخاب می‌شود. به منظور کاهش تعداد مقایسه-ها، عمل مقایسه ابتدا با بیت‌هایی با ارزش کمتر شروع می‌شود.

پیوست ج: شرح سیستم کنترلی جهت تعیین مقدار ظرفیت پایه متصل.

```
// VerilogA for Comparator, value_control_02, veriloga
`include "constants.vams"
`include "disciplines.vams"
module value_control_02(p1, d0, d1, d2, d3, d4, d5, d6, d7, c0, c1,
c2, c3, c4, c5, c6, c7);
input p1, d0, d1, d2, d3, d4, d5, d6, d7;
output c0, c1, c2, c3, c4, c5, c6, c7;
electrical p1, d0, d1, d2, d3, d4, d5, d6, d7, c0, c1, c2, c3, c4,
c5, c6, c7;
parameter real Vref=+5;
parameter real gnd=0;
parameter real vtrans_p1=+0.6;
real vd[0:7];
real vc[0:7];
analog begin
vd[0]=V(d0); vd[1]=0.875*V(d1); vd[2]=0.75*V(d2); vd[3]=0.625*V(d3);
vd[4]=0.5*V(d4); vd[5]=0.375*V(d5); vd[6]=0.25*V(d6);
```

```
vd[7]=0.125*V(d7);
if (vtrans_p1>V(p1)) begin
V(c0)<+vc[0]; V(c1)<+vc[1]; V(c2)<+vc[2]; V(c3)<+vc[3];
V(c4)<+vc[4]; V(c5)<+vc[5]; V(c6)<+vc[6]; V(c7)<+vc[7];
end
else begin
if (vd[1]<vd[0] || vd[2]<vd[0] || vd[3]<vd[0] || vd[4]<vd[0] ||
vd[5]<vd[0] || vd[6]<vd[0] || vd[7]<vd[0]) begin
vc[0]=Vref; vc[1]=0; vc[2]=0; vc[3]=0; vc[4]=0; vc[5]=0; vc[6]=0;
vc[7]=0;
V(c0)<+Vref; V(c1)<+gnd; V(c2)<+gnd; V(c3)<+gnd; V(c4)<+gnd;
V(c5)<+gnd; V(c6)<+gnd; V(c7)<+gnd;
end
else if (vd[0]<vd[1] || vd[2]<vd[1] || vd[3]<vd[1] || vd[4]<vd[1] ||
vd[5]<vd[1] || vd[6]<vd[1] || vd[7]<vd[1]) begin
vc[0]=0; vc[1]=Vref; vc[2]=0; vc[3]=0; vc[4]=0; vc[5]=0; vc[6]=0;
vc[7]=0;
V(c1)<+Vref; V(c0)<+gnd; V(c2)<+gnd; V(c3)<+gnd; V(c4)<+gnd;
V(c5)<+gnd; V(c6)<+gnd; V(c7)<+gnd;
end
else if (vd[0]<vd[2] || vd[1]<vd[2] || vd[3]<vd[2] || vd[4]<vd[2] ||
vd[5]<vd[2] || vd[6]<vd[2] || vd[7]<vd[2]) begin
vc[0]=0; vc[1]=0; vc[2]=Vref; vc[3]=0; vc[4]=0; vc[5]=0; vc[6]=0;
vc[7]=0;
V(c2)<+Vref; V(c0)<+gnd; V(c1)<+gnd; V(c3)<+gnd; V(c4)<+gnd;
V(c5)<+gnd; V(c6)<+gnd; V(c7)<+gnd;
end
else if (vd[0]<vd[3] || vd[1]<vd[3] || vd[2]<vd[3] || vd[4]<vd[3] ||
vd[5]<vd[3] || vd[6]<vd[3] || vd[7]<vd[3]) begin
vc[0]=0; vc[1]=0; vc[2]=0; vc[3]=Vref; vc[4]=0; vc[5]=0; vc[6]=0;
vc[7]=0;
V(c3)<+Vref; V(c0)<+gnd; V(c1)<+gnd; V(c2)<+gnd; V(c4)<+gnd;
V(c5)<+gnd; V(c6)<+gnd; V(c7)<+gnd;
end
else if (vd[0]<vd[4] || vd[1]<vd[4] || vd[2]<vd[4] || vd[3]<vd[4] ||
vd[5]<vd[4] || vd[6]<vd[4] || vd[7]<vd[4]) begin
vc[0]=0; vc[1]=0; vc[2]=0; vc[3]=0; vc[4]=Vref; vc[5]=0; vc[6]=0;
vc[7]=0;
V(c4)<+Vref; V(c0)<+gnd; V(c1)<+gnd; V(c2)<+gnd; V(c3)<+gnd;
V(c5)<+gnd; V(c6)<+gnd; V(c7)<+gnd;
end
else if (vd[0]<vd[5] || vd[1]<vd[5] || vd[2]<vd[5] || vd[3]<vd[5] ||
vd[4]<vd[5] || vd[6]<vd[5] || vd[7]<vd[5]) begin
vc[0]=0; vc[1]=0; vc[2]=0; vc[3]=0; vc[4]=0; vc[5]=Vref; vc[6]=0;
vc[7]=0;
V(c5)<+Vref; V(c0)<+gnd; V(c1)<+gnd; V(c2)<+gnd; V(c3)<+gnd;
V(c4)<+gnd; V(c6)<+gnd; V(c7)<+gnd;
end
else if (vd[0]<vd[6] || vd[1]<vd[6] || vd[2]<vd[6] || vd[3]<vd[6] ||
vd[4]<vd[6] || vd[5]<vd[6] || vd[7]<vd[6]) begin
vc[0]=0; vc[1]=0; vc[2]=0; vc[3]=0; vc[4]=0; vc[5]=0; vc[6]=Vref;
vc[7]=0;
V(c6)<+Vref; V(c0)<+gnd; V(c1)<+gnd; V(c2)<+gnd; V(c3)<+gnd;
V(c4)<+gnd; V(c5)<+gnd; V(c7)<+gnd;
end
else if (vd[0]<vd[7] || vd[1]<vd[7] || vd[2]<vd[7] || vd[3]<vd[7] ||
vd[4]<vd[7] || vd[5]<vd[7] || vd[6]<vd[7]) begin
```

```
vc[0]=0; vc[1]=0; vc[2]=0; vc[3]=0; vc[4]=0; vc[5]=0; vc[6]=0;
vc[7]=Vref;
V(c7)<+Vref; V(c0)<+gnd; V(c1)<+gnd; V(c2)<+gnd; V(c3)<+gnd;
V(c4)<+gnd; V(c5)<+gnd; V(c6)<+gnd;
end
end
end
endmodule
```

Abstract

In recent years, the demand for MEMS capacitive inertial sensors (accelerometer / gyroscope) is gradually increasing due to low cost, high performance and very small size. For example, MEMS capacitive accelerometers for high precision applications need micro gravity resolution at the frequency of interest. The precision in a micro-sensor system is limited by the electrical noise of the CMOS interface circuit. On the other hand, with the increasing popularity of portable devices such as cell phones and tablets, power consumption is also one of the key factors in designing these sensors. Therefore this thesis presents a structure that will improve important factors such as noise and power consumption. This configuraton consists of two front, end-end, and back-end sections. In the front-end circuit, with using bidirectional double sampling and a subtractor filter, the structure is modified to reduce the noise of the system at low frequencies, which is the most important noise in these sensors. In back-end, a second-order sigma-delta modulator is designed to digitize the front-end circuit outputs. In addition, for reducing the power consumption of whole system, it's tried to keep the power consumption of amplifiers as low as possible. In order to increase the detectable range, the front-end circuit with variable sensitivity is designed. The other consideration of this thesis are considering the mismatch in the configuration and presenting an algorithm in Verilog-A to calibrate this asymmetry with four capacitor banks in sensor interfaces.

Key Words: MEMS Capacitive Inertial Sensors, Micro Sensor System, CMOS Interface Circuit, Noise, Power Consumption, Front-end Circuit, Back-end Circuit, Sigma-Delta Modulator, Calibrate, Verilog-A

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Analysis and Design of Low-Power Low-Noise CMOS Interface Circuits for Capacitive Sensors

By
Sepideh Gholipour Picha

Supervisor
Dr. Mohammad Yavari

July 2017