Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

MSc Thesis

Title

Analysis, Design, and Structural Improvement of CMOS Operational Amplifiers for Switched-Capacitor Circuits

By
Seyyed Sajad Golabi

Supervisor
Dr. Mohammad Yavari

Dr. Saeid Khatami

October 2013

دانشگاه صنعتی امیرکبیر(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان نامه کارشناسی ارشد مهندسی برق-الکترونیک دیجیتال

تحلیل، طراحی و بهبود ساختاری تقویت‌کننده‌های عملیاتی CMOS برای کاربرد در مدارهای سوئیچ شونده خازنی

نگارش:

سید سجاد گلابی

اساتید راهنما:

دکتر محمد یاوری

دکتر سعید خاتمی

مهر ۱۳۹۲

بسم الله الرحمن الرحیم

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

اینجانب **سید سجاد گلابی** متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

امضا

تقدیم به

خانواده عزیزم

قدردانی و تشکر

بر خود واجب می‌دانم که از استاد بزرگوارم دکتر محمد یاوری به دلیل راهنمایی‌های ارزنده و همراهی و همفکری بسیار سپاسگزاری به عمل آورم؛ همچنین برای روح بلند استاد ارجمندم زنده یاد دکتر سعید خاتمی علو درجات را از خداوند متعال خواستارم. از استادان محترم دکتر آشتیانی و دکتر شالچیان که داوری این پایان‌نامه را بر عهده داشته‌اند، قدردانی می‌نمایم. صمیمانه از زحمات تمامی دوستانم در آزمایشگاه مدارهای مجتمع خطی تشکر می‌نمایم و برای تک تکشان آرزوی موفقیت و سربلندی دارم.

چکیده

در این پایان نامه روشی برای طراحی تقویت‌کننده‌های سه طبقه که در مدارهای سوئیچ شونده خازنی کاربرد دارند، ارایه شده است. در روش پیشنهاد شده تقویت‌کننده برای رسیدن به کم‌ترین توان مصرفی طراحی می‌شود به گونه‌ای که ملزومات بهره، زمان نشست و نویز تقویت‌کننده برآورده شود. همچنین هر دو رفتار خطی و غیرخطی زمان نشست در طراحی گنجانده شده است. روش ارایه شده به منظور غلبه بر پیچیدگی طراحی و پرهیز از سعی و خطا، به طور سیستماتیک و با استفاده از روش‌های بهینه‌سازی انجام می‌شود. در این روش برای یافتن جواب بهینه پارامترهای مدار، طراحی تقویت‌کننده به یک مسئله بهینه‌سازی تبدیل می‌شود. بدین منظور با تحلیل دقیق حلقه بسته روابط طراحی استخراج شده و معیارهای عملکردی بر حسب متغیرهای طراحی فرمول‌بندی می‌شوند. توان مصرفی به عنوان تابع هدف و زمان نشست و توان نویز تقویت‌کننده به عنوان قیدهای مسئله بهینه‌سازی مدل می‌شوند. همچنین برای کاهش ابعاد مسئله بهینه‌سازی (فضای جستجو) متغیرهای سیستمی طراحی که همان مکان نسبی صفرها و قطب‌های تابع تبدیل حلقه بسته می‌باشند، به عنوان متغیرهای مسئله بهینه‌سازی انتخاب شده‌اند و متغیرهای مداری بر حسب متغیرهای سیستمی به دست آمده‌اند. سپس مسئله بهینه‌سازی با استفاده از الگوریتم ژنتیک حل می‌شود. یک مزیت بزرگ استفاده از الگوریتم ژنتیک آن است که قادر است جواب بهینه سراسری را بدون نیاز به حدس اولیه پیدا کند.

یکی از مشکلات تقویت‌کننده‌های سه طبقه سرعت چرخش کم آن‌هاست که زمان نشست را محدود می‌کند، در نتیجه باید جریان بایاس بیش‌تری مصرف گردد که باعث افزایش توان مصرفی می‌شود. برای رفع این مشکل یک تقویت‌کننده سه طبقه کلاس AB پیشنهاد شده است. در تقویت‌کننده پیشنهاد شده از ساختار جبران‌سازی RNMC به منظور پایدارسازی آن استفاده شده است. همچنین یک سلول FVF در طبقه اول و یک خازن شیفت دهنده dc در طبقه خروجی به کار برده شده است. به علاوه یک روش طراحی ساده نیز به منظور طراحی تقویت‌کننده پیشنهاد شده ارایه شده است.

جواب مسئله بهینه‌سازی با استفاده از نرم‌افزار Matlab به دست آمده و شبیه‌سازی‌های مداری با استفاده از نرم‌افزار HSPICE و تکنولوژی ۹۰ نانومتر CMOS انجام شده است. نتایج شبیه‌سازی‌های مداری در سه گوشه تکنولوژی TT، SS و FF و تغییرات دما از °40- تا °85+ ارایه شده‌اند.

کلید واژه: تقویت‌کننده‌های عملیاتی، جبرانسازی فرکانسی، زمان نشست، سرعت چرخش، نویز مداری، بهینه‌سازی، مدارهای سوئیچ شونده خازنی.

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... د

فهرست شکل‌ها ..... ه

۱- فصل اول: مقدمه ۱

۱-۱- هدف و انگیزه پایان‌نامه ۲

۱-۲- ضرورت استفاده از بهینه‌سازی در طراحی تقویت‌کننده‌های سه طبقه ۴

۱-۳- ساختار بخش‌های مختلف پایان نامه ۵

۲- فصل دوم: تقویت‌کننده‌های عملیاتی ترارسانایی و مفاهیم کلی آنها ۶

۲-۱- ملزومات تقویت‌کننده‌ها ۶

۲-۱-۱- بهره dc ۷

۲-۱-۲- حاصل‌ضرب بهره در پهنای باند ۸

۲-۱-۳- سرعت چرخش ۹

۲-۱-۴- حاشیه فاز ۹

۲-۲- تقویت کننده تک طبقه ۱۰

۲-۳- تقویت‌کننده دو طبقه ۱۱

۲-۳-۱- جبران‌سازی میلری ۱۲

۲-۴- تقویت‌کننده‌های سه طبقه ۱۴

۲-۴-۱- جبران‌سازی NMC و انواع آن ۱۵

۲-۴-۲- جبران‌سازی فرکانسی با فیدبک فعال ۱۸

۳- فصل سوم: روش‌های موجود طراحی تقویت‌کننده‌های سه طبقه ۲۰

۳-۱- روش طراحی بر اساس فیلتر باتروورث ۲۰

۳-۲- تعیین ابعاد خازن‌های جبران‌سازی بر اساس پارامترهای حلقه باز ۲۱

۳-۳- طراحی بر اساس حاشیه فاز و حاصل‌ضرب بهره در پهنای باند ۲۲

۳-۴- طراحی تقویت‌کننده‌های سه طبقه برای کم‌ترین زمان نشست ۲۶
۳-۵- طراحی تقویت‌کننده‌های سه طبقه با زمان نشست سریع بر اساس پارامترهای حلقه باز ۳۰
۳-۶- بهینه‌سازی زمان نشست و نویز تقویت‌کننده‌های سه طبقه ۳۳
۴- فصل چهارم: روش پیشنهادی طراحی برای تقویت‌کننده‌های سه طبقه ۳۴
۴-۱- روند کلی طراحی مبتنی بر بهینه‌سازی ۳۴
۴-۲- مروری بر بهینه‌سازی و روش‌های آن ۳۵
۴-۲-۱- مدل مسایل بهینه‌سازی ۳۶
۴-۲-۲- جواب شدنی، جواب بهینه سراسری و موضعی برای مسایل بهینه‌سازی ۳۷
۴-۲-۳- روش‌های حل مسایل بهینه‌سازی ۳۸
۴-۲-۳-۱- روش‌های تحلیلی ۴۰
۴-۲-۳-۲- روش‌های عددی ۴۱
۴-۲-۳-۳- روش‌های مدرن ۴۲
۴-۲-۴- الگوریتم ژنتیک ۴۳
۴-۲-۴-۱- مفاهیم اولیه در الگوریتم ژنتیک ۴۴
۴-۲-۴-۲- روند الگوریتم ژنتیک ۴۴
۴-۳- طراحی یک تقویت‌کننده NMC با روش پیشنهاد شده ۴۵
۴-۳-۱- ساختار جبران‌سازی NMC ۴۵
۴-۳-۲- پیاده‌سازی ترانزیستوری تقویت‌کننده سه طبقه ۴۷
۴-۳-۲-۱- مدار بایاس ۴۸
۴-۳-۲-۲- مدار CMFB ۵۲
۴-۳-۳- تحلیل معیارهای عملکردی تقویت‌کننده NMC ۵۳
۴-۳-۳-۱- زمان نشست سیگنال کوچک (رفتار خطی پاسخ زمانی تقویت‌کننده) ۵۳
۴-۳-۳-۲- زمان نشست سیگنال بزرگ (رفتار غیرخطی پاسخ زمانی تقویت‌کننده) ۵۶
۴-۳-۳-۳- تحلیل نویز تقویت‌کننده NMC ۵۸
۴-۳-۳-۴- توان مصرفی تقویت‌کننده ۶۴
۴-۳-۴- روند طراحی تقویت‌کننده NMC ۶۴
۴-۴- نتایج طراحی و شبیه‌سازی تقویت‌کننده سه طبقه ۶۹

۴-۴-۱- ملزومات طراحی ۶۹
۴-۴-۲- طراحی سیستمی تقویت‌کننده NMC ۷۱
۴-۴-۳- شبیه‌سازی مداری تقویت‌کننده NMC ۷۲
۴-۴-۴- نتایج شبیه‌سازی تقویت‌کننده NMC ۷۵
۵- فصل پنجم: بهبود ساختاری تقویت‌کننده‌های عملیاتی ۸۲
۵-۱- مروری بر بهبودهای اخیر انجام شده در تقویت‌کننده‌های تک طبقه ۸۲
۵-۱-۱- تقویت‌کننده RFC ۸۲
۵-۱-۲- تقویت‌کننده IRFC ۸۴
۵-۱-۳- تقویت‌کننده کلاس AB بر اساس ساختار RFC ۸۶
۵-۱-۴- سایر بهبودهای انجام شده در تقویت‌کننده FC ۸۸
۵-۲- بهبود ساختاری تقویت‌کننده‌های سه طبقه ۸۸
۵-۲-۱- سرعت چرخش تقویت‌کننده‌های سه طبقه ۸۸
۵-۲-۱-۱- سرعت چرخش تقویت‌کننده NMC ۸۹
۵-۲-۱-۲- سرعت چرخش تقویت‌کننده RNMC ۸۹
۵-۲-۲- تقویت‌کننده RNMC ۹۰
۵-۲-۳- روش طراحی پیشنهادی تقویت‌کننده RNMC ۹۱
۵-۲-۴- تقویت‌کننده سه طبقه کلاس AB پیشنهادی ۹۳
۵-۲-۵- نتایج شبیه‌سازی ۹۵
۶-فصل ششم: نتیجه‌گیری و پیشنهادات ۱۰۱
۶-۱- نتیجه‌گیری ۱۰۱
۶-۲- پیشنهادات ۱۰۲
فهرست مراجع ۱۰۳

فهرست جدول‌ها

عنوان **صفحه**

جدول ۴-۱: ملزومات تقویت‌کننده NMC طراحی شده. ۷۱

جدول ۴-۲: مقادیر پارامترهای سیستمی و مداری به دست آمده. ۷۲

جدول ۴-۳: جدول ابعاد ترانزیستورهای تقویت‌کننده اصلی. ۷۴

جدول ۴-۴: ابعاد نهایی ترانزیستورهای مدار بایاس. ۷۴

جدول ۴-۵: جدول مقادیر پارامترهای CMFB. ۷۴

جدول ۴-۶: نتایج شبیه‌سازی در سه گوشه تکنولوژی. ۷۵

جدول ۴-۷: تغییرات زمان نشست و حاشیه فاز با تغییرات خازن‌های جبران‌سازی و خازن بار. ۷۸

جدول ۴-۸: توان نویز در خروجی ناشی از هر طبقه تقویت‌کننده. ۸۰

جدول ۴-۹: مقایسه انواع روش‌های طراحی ارایه شده. ۸۰

جدول ۵-۱: ابعاد ترانزیستورهای به کار رفته در تقویت‌کننده‌ها. ۹۶

جدول ۵-۲: ابعاد ترانزیستورهای مدار بایاس. ۹۷

جدول ۵-۳: ابعاد ترانزیستورهای CMFB. ۹۷

جدول ۵-۴: خلاصه نتایج شبیه‌سازی تقویت‌کننده‌ها. ۹۸

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: پیکربندی تقویت‌کننده وارونگر که به طور معمول در مدارهای مجتمع یافت می‌شود. ۷

شکل ۲-۲: (الف) بلوک دیاگرام و (ب) پیاده‌سازی ساده ترانزیستوری یک تقویت‌کننده تک‌طبقه. ۱۰

شکل ۲-۳: مدل سیگنال کوچک تقویت‌کننده تک طبقه. ۱۱

شکل ۲-۴: (الف) بلوک دیاگرام (ب) پیاده‌سازی ترانزیستوری یک تقویت‌کننده دو طبقه. ۱۱

شکل ۲-۵: مدل سیگنال کوچک تقویت‌کننده دو طبقه. ۱۲

شکل ۲-۶: (الف) بلوک دیاگرام و (ب) پیاده‌سازی یک تقویت‌کننده دو طبقه که با جبران‌سازی میلری پایدار شده است. ۱۳

شکل ۲-۷: (الف) تقویت‌کننده سه طبقه با جبران‌سازی NMC و (ب) جبران‌سازی RNMC. ۱۵

شکل ۲-۸: (الف) جبران‌سازی میلری تودرتو با مقاومت صفرساز (NMCNR) (ب)جبران‌سازی میلری تودرتوی g_m-C (NGCC) (ج) جبران‌سازی میلری با یک طبقه مسیر مستقیم (NMCF) (د) جبران سازی میلری تودرتوی چندمسیره (MNMC). ۱۷

شکل ۲-۹: جبران‌سازی فرکانسی با فیدبک فعال[۲۷]. ۱۹

شکل ۳-۱: بلوک دیاگرام جبران‌سازی میلری تودرتو با مقاومت صفرساز و یک طبقه مسیر مستقیم (NMCFNR)[۳۰]. ۲۳

شکل ۳-۲: پیاده‌سازی ترانزیستوری تقویت‌کننده سه طبقه [۳۰]. ۲۵

شکل ۳-۳: ضریب میرایی و قطب حقیقی بهینه به ازای دقت‌های مختلف زمان نشست [۸]. ۲۹

شکل ۳-۴: زمان نشست نرمالیزه شده بهینه بر حسب دقت زمان نشست[۸]. ۲۹

شکل ۳-۵: نمودار ترازهای زمان نشست نرمالیزه با خطای 0.1 % سیستم بر حسب R_0 و ζ_0 [۳۲]. ۳۳

شکل ۴-۱: بلوک دیاگرام یک تقویت‌کننده سه طبقه با جبران‌سازی NMC. ۴۶

شکل ۴-۲: یک پیاده‌سازی ممکن برای تقویت‌کننده سه طبقه با ساختار جبران‌سازی NMC. ۴۸

شکل ۴-۳: پیاده‌سازی نهایی انتخاب شده برای تقویت‌کننده سه طبقه با ساختار جبران‌سازی NMC. ۴۸

شکل ۴-۴: روش جریان ثابت برای بایاس ترانزیستور. ۴۹

شکل ۴-۵: مدار بایاس با ترارسانایی ثابت[۱۲]. ۵۰

شکل ۴-۶: ترانزیستور M_5 به عنوان مدار راه‌انداز به مدار بایاس اضافه شده است. ۵۱
شکل ۴-۷: مدار بایاس استفاده شده برای تقویت‌کننده سه طبقه شکل ۴-۳. ۵۲
شکل ۴-۸: مدارهای CMFB تقویت‌کننده سه طبقه شکل ۴-۳. ۵۳
شکل ۴-۹: تقویت‌کننده NMC در حالی که یک پله بزرگ به ورودی آن اعمال شده است. ۵۸
شکل ۴-۱۰: مدل نویز گرمایی کانال در ترانزیستورهایCMOS [37]. ۵۹
شکل ۴-۱۱: مدل نویز تقویت‌کننده NMC. ۶۰
شکل ۴-۱۲: مسئله بهینه‌سازی. ۶۶
شکل ۴-۱۳: خلاصه روند طراحی ارایه شده. ۶۸
شکل ۴-۱۴: **(الف)** مدار نمونه‌بردار سوئیچ شونده خازنی flip-around. **(ب)** پیکربندی تقویت‌کننده در فاز دوم. ۷۰
شکل ۴-۱۵: مسئله بهینه‌سازی. ۷۲
شکل ۴-۱۶: پیاده‌سازی مسئله بهینه‌سازی در Matlab. ۷۳
شکل ۴-۱۷: پاسخ پله خروجی به ازای پله ورودی 1 V (پاسخ زمانی سیگنال بزرگ). ۷۶
شکل ۴-۱۸: پاسخ پله خروجی با ازای پله ورودی 100 mV (پاسخ زمانی سیگنال کوچک). ۷۶
شکل ۴-۱۹: پاسخ فرکانسی تقویت‌کننده NMC. ۷۷
شکل ۴-۲۰: شبیه‌سازی مونت کارلو برای زمان نشست. ۷۸
شکل ۴-۲۱: چگالی طیف توان نویز **(الف)** طبقه اول **(ب)** طبقه دوم و **(ج)** طبقه سوم در خروجی. ۷۹
شکل ۵-۱: تقویت‌کننده کسکد تا شده. ۸۳
شکل ۵-۲: تقویت‌کننده RFC[۴۴]. ۸۳
شکل ۵-۳: تقویت‌کننده IRFC[45] . ۸۵
شکل ۵-۴: تقویت‌کننده کلاس AB بر اساس ساختار RFC [۴۶]. ۸۶
شکل ۵-۵: پیاده‌سازی معمول یک تقویت‌کننده سه طبقه به صورت تمام-تفاضلی. ۸۹
شکل ۵-۶: بلوک دیاگرام ساده یک تقویت‌کننده NMC. ۸۹
شکل ۵-۷: بلوک دیاگرام ساده یک تقویت‌کننده RNMC. ۹۰
شکل ۵-۸: زمان نشست نرمالیزه بر حسب k به ازای مقادیر مختلف ζ. ۹۳

شکل ۵-۹: شماتیک تقویت‌کننده سه طبقه کلاس AB پیشنهادی (خازن‌های جبران‌سازی و مدار بایاس و همچنین مدار CMFB در شکل نشان داده نشده‌اند). ۹۴
شکل ۵-۱۰: مدارهای بایاس تقویت‌کننده پیشنهاد شده. ۹۵
شکل ۵-۱۱: مدار CMFB سوئیچ شونده خازنی. ۹۵
شکل ۵-۱۲: پاسخ پله تقویت‌کننده کلاس A به ورودی ۱ ولت. ۹۷
شکل ۵-۱۳: پاسخ پله تقویت‌کننده کلاس AB پیشنهاد شده به ورودی ۱ ولت. ۹۸
شکل ۵-۱۴: پاسخ پله تقویت‌کننده پیشنهاد شده در صورتی که فقط طبقه اول به صورت کلاس AB باشد. ۹۹
شکل ۵-۱۵: پاسخ فرکانسی تقویت‌کننده کلاس AB پیشنهاد شده. ۱۰۰

فهرست مراجع

[1] Y.-J. Kim and S.-H. Lee, "A 10-b 120-MS/s 45 nm CMOS ADC using a re-configurable three-stage switched amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 72, no. 1, pp. 75-87, Apr. 2012.

[2] K. Young-Ju, C. Hee-Cheol, L. Kyung-Hoon, A. Gil-Cho, L. Seung-Hoon, K. Ju-Hwa, *et al.*, "A 9.43-ENOB 160MS/s 1.2V 65nm CMOS ADC based on multi-stage amplifiers," in *Proc. CICC*, 2009, pp. 271-274.

[3] R. G. Eschauzier and J. H. Huijsing, *Frequency Compensation Techniques for Low-Power Operational Ampliers*: Kluwer Academic Publishers, 1995.

[4] A. Garimella, M. W. Rashid, and P. M. Furth, "Reverse Nested Miller Compensation Using Current Buffers in a Three-Stage LDO," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 57, no. 4, pp. 250-254, Apr. 2010.

[5] L. Ka Nang and P. K. T. Mok, "Nested Miller compensation in low-power CMOS design," *IEEE Trans. Circuits Syst. II, Analog Dig. Signal Proc.*, vol. 48, no. 4, pp. 388-394, Apr. 2001.

[6] G. Song and L. Hoi, "Single-Capacitor Active-Feedback Compensation for Small-Capacitive-Load Three-Stage Amplifiers," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 56, no. 10, pp. 758-762, Oct. 2009.

[7] M. Yavari, "Active-Feedback Single Miller Capacitor Frequency Compensation Techniques for Three-Stage Amplifiers," *Journal of Circuits, Systems and Computers*, vol. 19, no. 07, pp. 1381-1398, Nov. 2010.

[8] A. Pugliese, G. Cappuccino, and G. Cocorullo, "Design Procedure for Settling Time Minimization in Three-Stage Nested-Miller Amplifiers," *IEEE Trans. Circuits Syst. II*, vol. 55, no. 1, pp. 1-5, Jan. 2008.

[9] F. Fernández, Á. Rodríguez-Vázquez, J. L. Huertas, and G. G. E. Gielen, *Symbolic Analysis Techniques: Applications to Analog Design Automation*: Wiley-IEEE Press, 1997.

[10] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 6th ed.: Oxford University Press, 2009.

[11] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5th ed.: John Wiley & Sons, 2009.

[12] T. C. Carusone, D. Johns, and K. Martin, *Analog Integrated Circuit Design*, 2nd ed.: John Wiley, 2011.

[13] H. C. Yang and D. J. Allstot, "Considerations for fast settling operational amplifiers," *IEEE Transactions on Circuits and Systems*, vol. 37, no. 3, pp. 326-334, Mar. 1990.

[14] B. K. Ahuja, "An improved frequency compensation technique for CMOS operational amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 18, no. 6, pp. 629-633, Dec. 1983.

[15] W. C. Black, Jr., D. J. Allstot, and R. A. Reed, "A high performance low power CMOS channel filter," *IEEE Journal of Solid-State Circuits*, vol. 15, no. 6, pp. 929-938, Dec. 1980.

[16] D. Senderowicz, D. Hodges, and P. R. Gray, "High-performance NMOS operational amplifier," *IEEE Journal of Solid-State Circuits*, vol. 13, no. 6, pp. 760-766, Dec. 1978.

[17] Y. Tsividis and P. R. Gray, "An integrated NMOS operational amplifier with internal compensation," *IEEE Journal of Solid-State Circuits*, vol. 11, no. 6, pp. 748-753, Dec. 1976.

[18] A. D. Grasso, G. Palumbo, and S. Pennisi, "Advances in Reversed Nested Miller Compensation," *IEEE Trans. Circuits Syst. I*, vol. 54, no. 7, pp. 1459-1470, July 2007.

[19] L. Ka Nang, P. K. T. Mok, and K. Wing-Hung, "Right-half-plane zero removal technique for low-voltage low-power nested Miller compensation CMOS amplifier," in *Proc. IEEE Int. Conf. Electronics, Circuits, and Systems*, 1999, pp. 599-602 vol.2.

[20] L. Ka Nang, P. K. T. Mok, K. Wing-Hung, and J. K. O. Sin, "Three-stage large capacitive load amplifier with damping-factor-control frequency compensation," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 221-230, Feb. 2000.

[21] G. Palumbo and S. Pennisi, "Design methodology and advances in nested-Miller compensation," *IEEE Trans. Circuits Syst. I*, vol. 49, no. 7, pp. 893-903, July 2002.

[22] W. M. C. Sansen, *Analog Design Essentials*: Springer, 2008.
[23] P. Xiaohong and W. Sansen, "Transconductance with capacitances feedback compensation for multistage amplifiers," *IEEE J. Solid-State Circuits,* vol. 40, no. 7, pp. 1514-1520, July 2005.
[24] F. You, S. H. K. Embabi, and E. Sanchez-Sinencio, "Multistage amplier topologies with nested G_m-C compensation," *IEEE J. Solid-State Circuits,* vol. 32, no. 12, pp. 2000-2011, Dec. 1997.
[25] L. Ka Nang, P. K. T. Mok, and K. Wing-Hung, "Right-half-plane zero removal technique for low-voltage low-power nested Miller compensation CMOS amplifier," in *Proc. IEEE Electron., Circuits, Syst.*, 1999, pp. 599-602 vol.2.
[26] L. Ka Nang and P. K. T. Mok, "Analysis of multistage amplifier-frequency compensation," *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.,* vol. 48, no. 9, pp. 1041-1056, Sept. 2001.
[27] L. Hoi and P. K. T. Mok, "Active-feedback frequency-compensation technique for low-power multistage amplifiers," *IEEE J. Solid-State Circuits,* vol. 38, no. 3, pp. 511-520, March 2003.
[28] L. Hoi and P. K. T. Mok, "Advances in active-feedback frequency compensation with power optimization and transient improvement," *IEEE Trans. Circuits Syst. I, Reg. Paper,* vol. 51, no. 9, pp. 1690-1696, Sept. 2004.
[29] A. Pugliese, G. Cappuccino, and G. Cocorullo, "Nested Miller compensation capacitor sizing rules for fast-settling amplifier design," *Electronics Letters,* vol. 41, no. 10, pp. 573-575, May 2005.
[30] S. O. Cannizzaro, A. D. Grasso, R. Mita, G. Palumbo, and S. Pennisi, "Design Procedures for Three-Stage CMOS OTAs With Nested-Miller Compensation," *IEEE Trans. Circuits and Systems-I: Regular Papers,* vol. 54, no. 5, pp. 933-940, May 2007.
[31] A. Pugliese, F. A. Amoroso, G. Cappuccino, and G. Cocorullo, "Settling Time Optimization for Three-Stage CMOS Amplifier Topologies," *IEEE Trans. Circuits Syst. I,* vol. 56, no. 12, pp. 2569-2582, Dec. 2009.
[32] R. Nguyen and B. Murmann, "The Design of Fast-Settling Three-Stage Amplifiers Using the Open-Loop Damping Factor as a Design Parameter," *IEEE Trans. Circuits Syst. I,* vol. 57, no. 6, pp. 1244-1254, June 2010.
[33] S. Seth and B. Murmann, "Settling Time and Noise Optimization of a Three-Stage Operational Transconductance Amplifier," *IEEE Trans. Circuits Syst. I: Reg. Papers,* vol. 60, no. 5, pp. 1168-1174, May 2013.
[34] S. S. Rao, *Engineering Optimization Theory and Practice*, 4th ed.: Wiely, 2009.
[35] D. A. Coley, *An Introduction to Genetic Algorithms for Scientists and Engineers*: World Scientific Publishing Co., 1999.
[36] M. Yavari, "A design procedure for CMOS three-stage NMC amplifiers," *IEICE Trans. Fundamentals,* vol. E94-A, no. 2, pp. 639-645, Feb. 2011.
[37] B. Razavi, *Design of Analog CMOS Integrated Circuits*: McGraw-Hill, 2011.
[38] A. Dastgheib and B. Murmann, "Calculation of Total Integrated Noise in Analog Circuits," *IEEE Trans. Circuits Syst. I: Reg. Papers,* vol. 55, no. 10, pp. 2988-2993, Nov. 2008.
[39] R. K. Brayton, G. D. Hachtel, and A. L. Sangiovanni-Vincentelli, "A survey of optimization techniques for integrated-circuit design," *Proc. IEEE,* vol. 69, no. 10, pp. 1334-1362, Oct. 1981.
[40] M. Figueiredo, R. Santos-Tavares, E. Santin, J. Ferreira, G. Evans, and J. Goes, "A Two-Stage Fully Differential Inverter-Based Self-Biased CMOS Amplifier With High Efficiency," *IEEE Trans. Circuits Syst. I: Reg. Papers,* vol. 58, no. 7, pp. 1591-1603, July 2011.
[41] R. Santos-Tavares, N. Paulino, J. Higino, J. Goes, and J. P. Oliveira, "Optimization of multi-stage amplifiers in deep-submicron CMOS using a distributed/parallel genetic algorithm," in *Proc. IEEE Int. Symp. Circuits Syst*, 2008, pp. 724-727.
[42] A. Pugliese, G. Cappuccino, and G. Cocorullo, "Settling Time Minimization of Operational Amplifiers," in *Integrated Circuit and System Design. Power and Timing Modeling, Optimization and Simulation*. vol. 4644, N. Azémard and L. Svensson, Eds., ed: Springer, 2007, pp. 107-116.
[43] A. D. Grasso, D. Marano, G. Palumbo, and S. Pennisi, "Analytical comparison of reversed nested Miller frequency compensation techniques," *Int. Journal of Circuit Theory and Applications,* vol. 38, no. 7, pp. 709-737, Sept. 2010.

[44] R. S. Assaad and J. Silva-Martinez, "The Recycling Folded Cascode: A General Enhancement of the Folded Cascode Amplifier," *IEEE Journal of Solid-State Circuits,* vol. 44, no. 9, pp. 2535-2542, 2009.

[45] Y. L. Li, K. F. Han, X. Tan, N. Yan, and H. Min, "Transconductance enhancement method for operational transconductance amplifiers," *Electronics Letters,* vol. 46, no. 19, pp. 1321-1323, Sept. 2010.

[46] M. Yavari, "Single-stage class AB operational amplifier for SC circuits," *Electronics Letters,* vol. 46, no. 14, pp. 977-979, July 2010.

[47] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, and F. M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," *IEEE Trans. Circuits Syst. I: Reg. Papers,* vol. 52, no. 7, pp. 1276-1291, July 2005.

[48] Z. Yan, P.-I. Mak, and R. P. Martins, "Double recycling technique for folded-cascode OTA," *Analog Integrated Circuits and Signal Processing,* vol. 71, no. 1, pp. 137-141, April 2012.

[49] X. Zhao, H. Fang, and J. Xu, "A transconductance enhanced recycling structure for folded cascode amplifier," *Analog Integrated Circuits and Signal Processing,* vol. 72, no. 1, pp. 259-263, July 2012.

[50] A. D. Grasso, G. Palumbo, and S. Pennisi, "Advances in Reversed Nested Miller Compensation," *IEEE Trans. Circuits and Systems-I: Regular Papers,* vol. 54, no. 7, pp. 1459-1470, July 2007.

[51] A. D. Grasso, D. Marano, G. Palumbo, and S. Pennisi, "Improved Reversed Nested Miller Frequency Compensation Technique With Voltage Buffer and Resistor," *IEEE Trans. Circuits and Systems-II: Exp. Briefs,* vol. 54, no. 5, pp. 382-386, May 2007.

[52] M. Jalalifar, M. Yavari, and F. Raissi, "A novel topology in reversed nested miller compensation using dual-active capacitance," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, 2008, pp. 2270-2273.

[53] M. Jalalifar, M. Yavari, and F. Raissi, "A novel topology in RNMC amplifiers with single miller compensation capacitor," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, 2008, pp. 296-299.

[54] H. Kin-Pui, C. Cheong-Fat, C. Chiu-Sing, and P. Kong-Pang, "Reversed nested Miller compensation with voltage buffer and ing resistor," *IEEE J. Solid-State Circuits,* vol. 38, no. 10, pp. 1735-1738, Oct. 2003.

[55] R. G. Carvajal, A. Torralba, J. Ramirez-Angulo, J. Tombs, and F. Munoz, "Low voltage class AB output stages for CMOS op-amps using floating capacitors," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, 2001, pp. 13-16 vol. 1.

Abstract

In this thesis, a time-domain design procedure for fast-settling three-stage amplifiers is presented. In the proposed design approach, the amplifier is designed to settle within a specific time with a given settling accuracy and circuit noise budget by optimizing both the power consumption and silicon die area. Both linear and nonlinear settling regions of three-stage amplifiers are considered and optimal values of the amplifier stages transconductance and compensation capacitors are obtained using the genetic algorithm (GA) optimization. Detailed design equations are provided and circuit level simulation results using a 90 nm CMOS technology are presented to evaluate the usefulness of the proposed design scheme respected to the previously reported design approaches.

Also, a class AB three-stage Amplifier with high slew rate is presented. Revers nested Miller Compensation has been used to stablize this amplifier which makes the class AB operation feasible and simple. A flipped-voltage follower cell in the first stage in combination with a switched-capacitor level shifter in the last stage is utilized to implement the class AB three-stage amplifier. Besides, a simple design methodology is presented to design of this amplifier. Circuit level simulations are carried out with HSPICE using 90 nm CMOS technology which show 267% slew rate enhancement with approximately the same power dissipation.

Keywords: Three-stage operational amplifiers, nested Miller compensation, reverse nested Miller Compensation, small-signal and large-signal settling times, slew rate, circuit noise, switched-capacitor circuits.

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

MSc Thesis

Title

Analysis, Design, and Structural Improvement of CMOS Operational Amplifiers for Switched-Capacitor Circuits

By
Seyyed Sajad Golabi

Supervisor
Dr. Mohammad Yavari

Dr. Saeid Khatami

October 2013