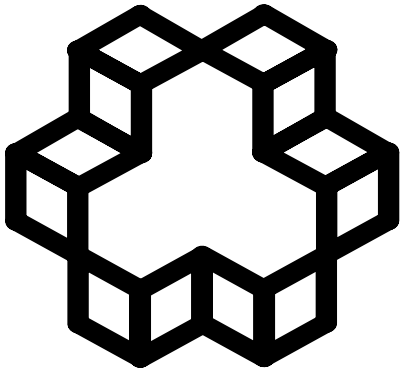


Elestrical Engineering Department
K. N. Toosi University of Technology
Tehran

By
Sahel Abdinia

Submitted in Fulfillment
of the Requirements
for the Degree of
Master of Science in Electronics
in

Design and Simulation of a Low-Power and high-Speed Pipelined Analog-o-Digital Converter in 90-nm CMOS

Under Supervision of

Prof. Farshid Raissi ***Prof. Mohammad Yavari***

تأسیس ۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد مهندسی برق- الکترونیک

طراحی و شبیه‌سازی یک مبدل آنالوگ به دیجیتال توان پایین و سرعت بالا با معماری Pipeline در تکنولوژی ۹۰ نانومتر CMOS

اساتید راهنما

دکتر فرشید رئیسی **دکتر محمد یاوری**

دانشجو : ساحل عبدی‌نیا

خرداد ۱۳۸۸

بسم الله الرحمن الرحيم

تقدیم به

پدرم، مادرم

و

همه آن ها که دوستشان دارم.

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق

تائیدیه هیات داوران

هیئت داوران پس از مطالعه پایان‌نامه و شرکت درجلسه دفاع از پایان‌نامه تهیه شده تحت عنوان **"طراحی و شبیه‌سازی یک مبدل آنالوگ به دیجیتال توان پایین و سرعت بالا با معماری Pipeline در تکنولوژی ۹۰ نانومتر CMOS"** توسط خانم **ساحل عبدی‌نیا** صحت و کفایت تحقیق انجام شده را برای اخذ درجه کارشناسی ارشد در رشته **مهندسی برق**، گرایش **الکترونیک**، با رتبه.....مورد تائید قرار می‌دهند.

۱-استاد راهنما	**آقای دکتر محمد یاوری**	**امضاء.....**
۲-استاد راهنما	**آقای دکتر فرشید رئیسی**	**امضاء.....**
۳-استاد ارزیاب	**آقای دکتر ستار میرزاکوچکی**	**امضاء.....**
۴- استاد ارزیاب	**آقای دکتر حسین شمسی**	**امضاء.....**

اظهار نامه دانشجو

موضوع پایان نامه : طراحی و شبیه‌سازی مبدل‌های آنالوگ به دیجیتال توان پایین و سرعت بالا با معماری Pipeline در تکنولوژی ۹۰ نانومتر CMOS

اینجانب *ساحل عبدی‌نیا* دانشجوی دوره کارشناسی ارشد مهندسی برق گرایش الکترونیک، دانشکده *مهندسی برق* دانشگاه صنعتی خواجه نصیرالدین طوسی گواهی می‌نمایم که تحقیقات ارائه شده در این پایان نامه توسط شخص اینجانب انجام شده است و صحت و اصالت مطالب نگارش شده مورد تائید می‌باشد، و در موارد استفاده از کار دیگر محققان به مرجع مورد استفاده اشاره شده است. بعلاوه گواهی می‌نمایم که مطالب مندرج در این پایان‌نامه تاکنون برای دریافت هیچ نوع مدرک یا امتیازی توسط اینجانب یا فرد دیگری در هیچ جا ارائه نشده است و در تدوین متن پایان نامه چارچوب (فرمت) مصوب دانشگاه را بطور کامل رعایت کرده‌ام.

ساحل عبدی‌نیا

حق طبع و نشر و مالکیت نتایج

۱- حق چاپ و تکثیر این پایان نامه متعلق به نویسنده آن می باشد. هرگونه کپی برداری بصورت کل پایان نامه یا بخشی از آن تنها با موافقت نویسنده یا کتابخانه دانشکده برق دانشگاه صنعتی خواجه نصیرالدین طوسی مجاز می باشد.

ضمنا متن این صفحه نیز باید در نسخه تکثیر شده وجود داشته باشد.

۲- کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی خواجه نصیرالدین طوسی می‌باشد و بدون اجازه کتبی دانشگاه به شخص ثالث قابل واگذاری نیست.

همچنین استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی‌باشد.

چکیده

هدف کلی در این پایان‌نامه، طراحی یک مبدل آنالوگ به دیجیتال Pipeline با سرعت بالا و رزولوشن متوسط و توان مصرفی بهینه در ولتاژ پایین است. بر این اساس، پس از بررسی دقیق عملکرد این مبدل‌ها، به مطالعه‌ی روش‌های کاهش توان در آن‌ها پرداخته شده و ساختاری برای بهینه‌سازی توان ارائه داده شده است.

در مبدل آنالوگ به دیجیتال Pipeline طراحی شده در این پایان‌نامه، با به کار گیری روش Double Sampling در طبقات ورودی و به اشتراک گذاشتن تقویت‌کننده‌ها در طبقات آخر، از این دو روش کاهش توان به شکل مؤثرتری استفاده شده و از اثرات منفی آن‌ها کاسته شده است. همچنین با انتخاب مناسب تعداد بیت‌ها در هر طبقه، Scaling خازن‌های نمونه‌برداری در طول Pipeline، و در نتیجه به کار بردن آپ- اَمپ بهینه در هر طبقه، توان مصرفی بهینه شده است.

انتخاب توپولوژی مناسب برای آپ- اَمپ‌ها و ابعاد ترانزیستورها در آن‌ها، با توجه به پایین بودن ولتاژ منبع تغذیه انجام شده است؛ در SH و MDAC طبقه اول و دوم مبدل آنالوگ به دیجیتال Pipeline از یک آپ- اَمپ دو طبقه، که طبقه اول آن Folded Cascode و طبقه دوم آن یک آینه‌ی جریان سورس مشترک Class AB است، استفاده شده است. آپ- اَمپ به کار رفته در سایر طبقات مبدل آنالوگ به دیجیتال Pipeline ساختار مشابهی دارد، با این تفاوت که به دلیل کوچک بودن بار خازنی خروجی، از تکنیک Class AB استفاده نشده است. با توجه به مقدار بهره‌ی لازم در طبقات اولیه، در SH و سه طبقه‌ی اول مبدل A/D روش افزایش بهره به کار گرفته شده است. همچنین با توجه به اصلاح دیجیتال در مبدل‌های آنالوگ به دیجیتال Pipeline که منجر به تحمل خطای آفست نسبتاً زیادی می‌شود، از یک مقایسه‌گر دینامیکی Latch با ساختار سوئیچ‌شونده‌ی خازنی استفاده شده است. به علاوه، سوئیچ‌های مهم توسط تکنیک بوت‌اِسترپ به گونه‌ای پیاده‌سازی شده‌اند که در ضمن بالا بودن قابلیت اطمینان، به اندازه‌کافی خطی باشند.

با استفاده از روش‌های ذکر شده، یک مبدل آنالوگ به دیجیتال Pipeline ۱۰ بیتی با فرکانس نمونه‌برداری ۲۰۰MS/s در تکنولوژی ۹۰ نانومتر CMOS و ولتاژ تغذیه یک ولت به کمک نرم‌افزار HSPICE طراحی و شبیه‌سازی شده است، که SNDR (نسبت سیگنال به نویز و اعوجاج) در آن برای سیگنال سینوسی ورودی با فرکانس ۹/۳۷۵MHz برابر با ۶۰/۰۳dB است و ۳۰/۹mW توان مصرف می‌کند.

کلمات کلیدی: مبدل آنالوگ به دیجیتال Pipeline، توان بهینه، سرعت بالا، رزولوشن متوسط، Scaling خازن‌ها، به اشتراک گذاشتن آپ- اَمپ‌ها، Double Sampling.

فهرست مطالب

عنوان **صفحه**

فصل اول مقدمه ۱

۱-۱ انگیزه‌ی تحقیق ۱

۱-۲ فصل‌بندی پایان‌نامه ۳

فصل دوم اساس مبدل A/D با معماری Pipeline ۴

۲-۱ ساختار مبدل‌های آنالوگ به دیجیتال Pipeline ۴

۲-۲ اصلاح دیجیتال در مبدل آنالوگ به دیجیتال Pipeline ۵

۲-۳ اجزای مبدل آنالوگ به دیجیتال Pipeline و خطا در آن‌ها ۶

۲-۳-۱ SH ورودی ۷

۲-۳-۲ زیر-مبدل‌ها ۸

۲-۳-۳ MDAC ها ۸

۲-۴ انتخاب رزولوشن طبقات ۱۲

۲-۵ Scaling خازن‌های نمونه‌برداری در طبقات مبدل آنالوگ به دیجیتال Pipeline ۱۳

فصل سوم کاهش توان در مبدل‌های آنالوگ به دیجیتال Pipeline ۱۵

۳-۱ روش "به اشتراک گذاشتن تقویت‌کننده‌ها" درطبقات مجاور Pipeline ۱۵

۳-۱-۱ اثرات نامطلوب ناشی از به اشتراک گذاشتن آپ- اَمپ در دو طبقه‌ی مجاور ۱۶

۳-۲ روش Double Sampling ۱۸

۳-۲-۱ اثرات نامطلوب ناشی از به کار گیری روش Double Sampling در مبدل آنالوگ به دیجیتال Pipeline ۱۹

۳-۳ ساختار پیشنهادی ۲۱

۳-۳-۱ مقایسه Double Sampling و به اشتراک گذاشتن آپ- اَمپ‌ها در یک مبدل آنالوگ به دیجیتال Pipeline ۲۱

۳-۳-۲ ساختار پیشنهادی؛ ترکیبی بهینه از دو روش بررسی شده ۲۱

فصل چهارم طراحی مدارهای سوئیچ‌شونده خازنی در ولتاژ پایین ۲۵

۴-۱ مشکلات طراحی مدارهای سوئیچ‌شونده‌ی خازنی در ولتاژ پایین ۲۵

۴-۲ سوئیچ نمونه‌برداری با قابلیت اطمینان بالا ۲۶

۴-۳ آپ- اَمپ ۲۹

۴-۳-۱ توپولوژی ۲۹

۴-۳-۲ جبران‌سازی ۳۱
۴-۳-۳ مدار فیدبک مد- مشترک (CMFB) ۳۲
۴-۳-۴ مدار بایاس ۳۳
۴-۳-۵ بهره DC ۳۴
۴-۳-۶ پاسخ فرکانسی ۳۶
۴-۳-۷ نویز گرمایی ۴۰
۴-۳-۸ سرعت چرخش ۴۰
۴-۴ مقایسه‌گر ولتاژ ۴۲
۴-۴-۱ توپولوژی و عملکرد ۴۳
۴-۴-۲ سرعت Regeneration ۴۴
۴-۴-۳ نویز Kickback ۴۵
۴-۴-۴ آفست ۴۶

فصل پنجم پیاده‌سازی مداری و نتایج شبیه‌سازی ۴۷

۵-۱ محاسبه خازن‌های نمونه‌برداری ۴۷
۵-۲ شبیه‌سازی سوئیچ‌های نمونه‌برداری ۴۸
۵-۳ شبیه‌سازی آپ- اَمپ ۴۸
۵-۴ شبیه‌سازی مقایسه‌گر ۵۶
۵-۵ شبیه‌سازی ADC ۵۸
۵-۵-۱ عملکرد دینامیک ۵۸
۵-۵-۲ عملکرد استاتیک ۵۸
۵-۶ نتیجه‌گیری و تحقیقات آتی ۷۹

فصل ششم نتیجه‌گیری و پیشنهادات ۶۳

پیوست الف محاسبات مربوط به تعیین اندازه‌ی خازن نمونه‌برداری ۶۵

لیست مقالات ارائه شده ۶۷

مراجع ۶۸

مراجع

[1] Lei Wu, "Low-voltage pipeline A/D converter," MSc thesis, Oregon State University, 2000.
[2] D. Johns and K. W. Martin, "Analog integrated circuit design," *John Wiley & Sons*, 1997.
[3] M. Gustavsson, J. Winker and N. Tan, "CMOS Data Converters for Communications," *Kluwer Academic Publishers*, 2000.
[4] B. Razavi, "Principles of data conversion system design," *IEEE Press*, 1995.
[5] J. Li, "accuracy enhancement techniques in high-speed low-voltage high-speed Pipelined ADC design," PhD thesis, Oregon State University, 2004.
[6] S. Kawahito, "Low-power design of Pipelined A/D converters," IEEE Custom Integrated Circuits Conf., pp. 505-512, 2006.
[7] A. M. Abo, "Design for reliability of low-voltage, switched capacitor circuits," PhD thesis, University of California, Berkeley, 1999.
[8] F. Maloberti, F. Francesconi, et al., "Design considerations on low-voltage low-power data converters," IEEE Trans. Circuits and Systems-I: Fundamental Theory and Applications, vol. 42, no. 11, pp. 853-63, Nov. 1995.
[9] D. W. Cline, and P. R. Gray, "A power optimized 13-b 5 Msamples/s pipelined analog-to-digital converter in 1.2μm CMOS," IEEE J. Solid-State Circuits, vol. 31, no. 3, pp.294-303, Mar. 1996.
[10] K. Nagaraj, H. S. Fetterman, et al., "A 250-mW, 8-b 52-Msample/s parallel-Pipelined A/D converter with reduced number of amplifiers," IEEE J. Solid-State Circuits, vol. 32, no. 3, pp. 312-320, Mar. 1997.
[11] B. M. Min, P. Kim, et al., "A 69-mW 10-bit 80-Msample/s Pipelined CMOS ADC," IEEE J. Solid-State Circuits, vol. 38, no. 12, pp. 2031-2039, Dec. 2003.
[12] D. Kurose, T. Ito, et al., "55-mW 200-MSPS 10-bit Pipeline ADCs for wireless receivers," Proc. ESSCIRC, pp. 527-530, 2005.
[13] K. Honda, M. Furuta, et al., "A 1V 10b 125Msample/s A/D converter using cascade amp-sharing and capacitance coupling techniques," Int. Symp. on Circuits and Systems (ISCAS), pp. 1031-1034, 2006.
[14] Y. D. Jeon, S. C. Lee, et al., "A 4.7mW 0.32mm^2 10b 30MS/s Pipeline ADC without a front-end S/H in 90nm CMOS," IEEE Int. Solid-State Circuits Conf., pp. 456-457, 2007.
[15] H. H. Ou, S. J. Chang, et al., "A power efficient 0.8V, 9-bit, 20-MS/s Pipelined ADC with opamp-shared loading-free architecture," Int. Conf. on Communications, Circuits and Systems, pp. 1044-1047, May 2008.

[16] W. Bright, "8b 75MSample/s parallel Pipelined ADC incorporating Double Sampling," IEEE Int. Solid-State Circuits Conf., pp. 146-147, 1998.
[17] J. Arias, V. Boccuzzi, et al., "Low-power Pipeline ADC for wireless LANs," IEEE J. Solid-State Circuits, vol. 39, no. 8, pp. 1338-1340, Aug. 2004.
[18] D. Kurose, T. Ito, et al., "55-mW 200-MSPS 10-bit Pipeline ADCs for wireless receivers," IEEE J. Solid-State Circuits, vol. 41, no. 7, pp. 1589-1595, Jul. 2006.
[19] B. Xia, A. V. Garcia and E. S. Sinencio, "A 10-bit 44-MS/s 20-mW Configurable time-interleaved Pipeline ADC for a dual-mode 802.11b/Bluetooth receiver," IEEE J. Solid-State Circuits, vol. 41, no. 3, pp. 530-539, Mar. 2006.
[20] C. Jumin, C. Zhongjian, et al., "A 10-b 80Ms/s time-interleaved Pipeline ADC using partially opamp sharing scheme," 7th Int. Conf. on ASIC, pp. 257-260, Oct. 2007.
[21] M. Dahoumane, D. Dzahini, et al., "Optimization of pipeline ADC architecture for Monolithic Active Pixel Sensors," 14th IEEE Int. Conf. on Electronics, Circuits, and Systems, pp. 665-668, Dec. 2007.
[22] J. Li and U. K. Moon, "A 1.8-V 67mW 10-bit 100MSPS Pipelined ADC using time-shifted CDS technique," IEEE Custom Integrated Circuits Conf., pp. 413-416, 2003.
[23] T. Matsuura, M. Hotta, et al., "A 95-mW, 10-b 15-MHz low-power CMOS ADC using analog double-sampled pipelining scheme," Symp. on VLSI Circuits Digest of Technical Papers, pp. 98-99, 1992.
[24] A. Tamtrakarn and N. Wongkomet, "A 2.5-V 10-bit 40-MS/s Double Sampling Pipeline A/D converter," Asia-Pacific Conf. on Circuits and Systems, pp. 419-424, 2002.
[25] S. Halder, A. Ghosh, et al., "A 160MSPS 8-bit Pipeline based ADC," Proc. the 18th Int. Conf. on VLSI Design, 2005.
[26] R. Zanbaghi, M. Atarodi, et al., "A low power Pipeline A/D converter by using Double Sampling and averaging techniques," IEEE Region 10 Conf., pp. 1-4, Nov. 2006.
[27] C. Chang and T. S. Lee, "A 10-bit 60MS/s low-power CMOS Pipelined analog-to-digital converter," IEEE Trans. on Circuits and Systems_II :Express Briefs, vol. 54, no. 8, pp. 658-662, Aug. 2007.
[28] D. Garrity, D. LoCascio, et al., "A single analog-to-digital converter that converts two separate channels (I and Q) in a broadband radio receiver," IEEE J. Solid-State Circuits, vol. 43, no. 6, pp. 1458-1469, Jun. 2008.
[29] M. Waltary and K. Halonen, "Timing-skew insensitive switching for double-sampled circuits," Proc of IEEE Int. Symp. on Circuits and Systems, vol. 2, pp. 61-64, 1999.
[30] T. Cho, "Low-power low-voltage analog-to-digital conversion techniques using pipeline architectures, PhD Thesis, University of California, Berkeley, 1995.
[31] J-T. Wu, Y-H. Chang et al., "1.2V CMOS switched-capacitor circuits," IEEE Solid-State Circuits Conf. Digest of Technical Papers, San Francisco, pp.388-389, Feb. 1996.
[32] M. Hekmat, and V. Grag, "Design and analysis of a source-follower track-and-hold circuit," EE315 (VLSI Data Conversion Circuits) Project Report, pp. 1-4, Jun. 2006.
[33] Y. Moisiadis, I. Bouras, et al., "Charge pump circuits for low voltage applications," VLSI Design, vol. 15(1), pp. 477-483, Mar. 2002.

[34] J. Crols, M. Steyaert, "Switched-opamp: an approach to realize full CMOS switched-capacitor circuits at very low power supply voltages," IEEE J. Solid-State Circuits, vol. 29, no. 8, pp. 936-942, Aug. 1994.
[35] M. Waltari, and K. A. I. Halonen, "1-V 9-bit pipelined switched-opamp ADC," IEEE J. Solid-State Circuits, vol. 36, no.1, pp.129-134, Jan. 2001.
[36] H-Ch Choi, Y-J Kim, et al., "A 12b 50MS/s 10.2mA 0.18μm CMOS nyquist ADC with a fully-differential class-AB switched op-amp," Symp. on VLSI Circuits Digest of Technical Papers, pp. 220-221, 2008.
[37] G. Ferri, A. Costa et al., "A 1.2V rail-to-rail switched buffer," Proceeding of IEEE Int. Conf. on Electronics, Circuits, and Systems, PP. 45-48, 1998.
[38] M. Dessouky, and A. Kaiser, "Input switche configuration suitable for rail-to-rail operation of switched opamp circuits," Electronics Letters, vol. 35, no. 1, pp. 8-10, Jan. 1999.
[39] A. Abo, and P. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," IEEE J. Solid-State Circuits, vol.34, no. 5, pp. 599-606, May 1999.
[40] L. Wang, J. Ren, et al., "A high-speed high-resolution low-distortion CMOS bootstrapped switch," IEEE Int. Symp. On Circuits and Systems , pp. 1721-1724, May 2007.
[41] M. Dessouky, and A. Kaiser, "very low-voltage digital-audio $\Delta\sum$ modulator with 88-dB dynamic range using local switched bootstrapping," IEEE J. Solid-State Circuits, vol.36, no. 3, pp. 349-355, Mar. 2001.
[42] M. Yavari, and O. Shoaei, "Low-voltage low-power fast-settling CMOS operational amplifiers for switched-capacitor applications," ISLPED, pp.345-348, Aug. 2003.
[43] M. Yavari, "Hybrid cascode compensation for two-stage CMOS opamps," IEICE Trans. Electron., vol. E88-C, no. 6, Jun. 2005.
[44] M. Yavari, and O. Shoaei, "Low-voltage low-power fast-settling CMOS operational transconductance amplifiers for switched-capacitor applications," IEE Proc. Circuits Devices Syst, vol. 151, no. 6, Dec. 2004.
[45] k. Bult, and G. J. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain," IEEE J. Solid-State Circuits, vol. 25, no. 3, pp. 349-355, Mar. 2001.
[46] E. Sackinger, and W. Guggenbuhl, "A high-swihg, high-impedance MOS cascode circuit," IEEE J. Solid-State Circuits, vol. 25, no. 1, pp. 289-298, Feb. 1990.
[47] J. Lloyd, and H-Seung Lee, "A CMOS op amp with fully-differential gain enhancement," IEEE Trans. Circuits and Systems-II, vol. 41, no. 3, pp. 241-243, Mar. 1997.
[48] M. Yavari, O. Shoaei, et al., "Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation," Proc. on Design, Automation, and Test in Europe, vol. 1, pp. 6-9, Mar. 2006.
[49] A. R. Feldman, "High-speed, low-power sigma-delta modulators for RF baseband channel applications," PhD thesis, University of Californnia, Berkeley, 1992.
[50] P. M. Figueiredo, and J. C. Vital, "Low kickback noise techniques for CMOS Latch comparators," Proc. Int. Symp. on Circuits and Systems, vol. 1, pp. 537-540, May 2004.
[51] L. Sumanen, M. Waltari, et al., "CMOS dynamic comparators for pipeline A/D converters," IEEE Int. Symp. on Circuits and Systems, vol. 5, pp. 157-160, 2002.
[52] R. Lotfi, M. T-Sani, et al., "A 1-V MOSFET-only fully differential dynamic

comparator for use in low-voltage pipelined A/D converters," Int. Symp. on Signals, Circuits and Systems, vol. 2, pp. 377-380, Jul. 2003.
[53] J. Francke, H. Yang, et al., "A 10-bit, 40MSamples/s low power pipeline ADC for system-on-a-chip digital TV application," Int. Semiconductor Conf. vol. 2, pp. 421-424, September 2006.
[54] P. Amaral, J. Goes, et al., "An improved low-voltage low-power CMOS comparator to be used in high-spped pipeline ADCs," IEEE Int. Symp. on Circuits and Systems, vol. 5, pp. 141-144, 2002.
[55] M. J. M. Pelgrom, A. C. J. Duinmaijer, "Matching properties of MOS transistors," IEEE J. Solid-State Circuits, vol. 24, no. 5, pp. 1433-1440, Oct. 1989.
[56] M. Dessouky, M.-M. Louerat, et al., "Switch sizing for very low-voltage switched-capacitor circuits," The 8th IEEE Internaional Conf. on Electronics, Circuits, and Systems, vol. 3, pp. 1549-1552, 2001.
[57] W-H Tu, and T-H Kang, "A 1.2V 30mW 8b 800MS/s time-interleaved ADC in 65nm CMOS," Symp. on VLSI Circuits Digest of Technical Papers, pp.72 -73, 2008.
[58] S. Hashemi, and O. Shoaei, "A 0.9V 10-bit 100MS/s switched-RC pipeline ADC without using a front-end S/H in 90nm CMOS," IEEE Int. Symp. on Circuits and Systems, pp. 13-16, May 2008.
[59] J. Shen, and P. Kinget, "A 0.5-V 8-bit 10MS/s pipelined ADC in 90-nm CMOS," IEEE J. Solid-State Circuits, vol. 43, no. 4, pp. 787-795, Apr. 2008.
[60] Sh. Jiang, M. A. Do, et al., "An 8-bit 200-Msample/s pipelined ADC with mixed-mode front-end S/H circuit," IEEE Trans. Circuits and Systems-I, vol. 55, no. 6, pp. 1430-1440, Jul. 2008.
[61] C-C Lu, and W-X Tung, "A 10-b low-voltage CMOS pipelined analog-to-digital converter," Int. Conf. on Communications, Circuits, and Systems, pp. 1053-1056, May 2008.
[62] C. Jun, R. Feng, et al., "A 10-bit 40MSPS analog-to-digital converter," Int. Conf. on Electronic Packaging Technology & High density Packaging, 2008.
[63] J. Hu, N. Dolev, et al., "A 9.4-bit, 50-MS/s, 1.44-mW pipelined ADC using dynamic residue amplification," Symp. on VLSI Circuits Digest of Technical Papers, pp.216-217, 2008.
[64] H. V. de Vel, B. Buter, et al.,"A 1.2V 250mW 14b 100MS/s digitally calibrated pipeline ADC in 90nm CMOS," Symp. on VLSI Circuits Digest of Technical Papers, pp.74 -75, 2008.
[65] S-K Shin, Y-S You, et al., "A fully-differential zero-crossing-based 1.2V 10b 26MS/s pipelined ADC in 65nm CMOS," Symp. on VLSI Circuits Digest of Technical Papers, pp.218-219, 2008.

Abstract

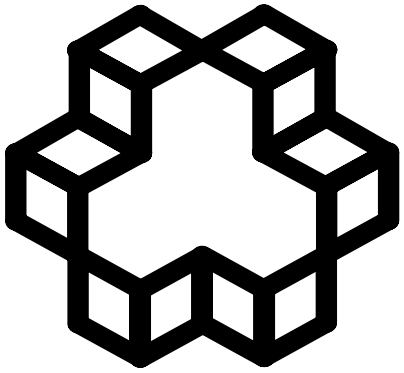
This thesis focuses on high-speed medium-resolution low-voltage low-power pipelined ADCs. Therefore, the performance of this type of nyquist rate ADCs has been considered, and then its power-reduction techniques have been studied carefully to present a proper architecture for a power-optimized pipelined ADC.

Based on the advantages and disadvantages of two power reduction techniques, double sampling and amplifier sharing along a single pipeline, an architecture has been presented which takes advantages of them both and attenuates their drawbacks. In addition, suitable resolution per stage has been chosen, and capacitor scaling has been applied to the pipeline stages efficiently to optimize the power dissipation.

A low-voltage low-power gain-boosted amplifier which combines a folded cascode as the first stage and active current mirrors as the second stage has been used as the sample-and-hold amplifier. The amplifiers of the MDACs have the same structure as that of SH stage except that in the stages 3 to 8, they do not use the class AB technique in their second stage, since their capacitance load is relatively smaller. Depending on the gain requirements of the stages, gain boosting technique has been applied to the first three stages. In addition, since digital correction makes pipline ADCs tolerate a relatively high offset error, Latch switched capacitor based dynamic comparators has been employed to achieve low-power and high-speed. Moreover, the critical switches have been implemented in a reliable bootstrapped configuration to minimize the nonlinearity introduced by signal-dependant on-resistance.

Using the mentioned techniques and structures, a 1-V 10-bit 200MS/s pipelined ADC has been designed and simulated in a 90nm CMOS process using HSPICE. Simulation results show 60.03dB SNDR for a 9.375MHz input signal, while consuming only 30.9mW power.

Keywords: Pipelined analog-to-digital converters, low-power, high-spped, medium-resolution, capacitor scaling, amplifier sharing, double sampling.



Elestrical Engineering Department
K. N. Toosi University of Technology
Tehran

By
Sahel Abdinia

Submitted in Fulfillment
of the Requirements
for the Degree of
Master of Science in Electronics
in

Design and Simulation of a Low-Power and high-Speed Pipelined Analog-o-Digital Converter in 90-nm CMOS

Under Supervision of

Prof. Farshid Raissi ***Prof. Mohammad Yavari***