



Amirkabir University of Technology
(Tehran Polytechnic)

A proposal for Doctor of Philosophy dissertation
in electrical engineering

**Analysis and Design of Adaptive Analog-to-Digital
Converter for Implantable Neural Recording
Systems**

By:
Saeid Barati

Supervisor:
Dr. Mohammad Yavari

Winter 2019



دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

رساله دکترا

(گرایش الکترونیک)

عنوان

تحلیل و طراحی مبدل آنالوگ به دیجیتال تطبیقی برای سامانه‌های ثبت

عصبی قابل کاشت

نگارش

سعید براتی

استاد راهنما

دکتر محمد یآوری

بهمن ۱۳۹۷


صفحه فرم ارزیابی و تصویب پایان نامه - فرم تأیید اعضاء کمیته دفاع

به نام خدا

شماره:

تاریخ:

برگ ارزیابی دفاع نهایی رساله دکتری



دانشگاه علمی کاربردی
شاخه بوشهر

نام و نام خانوادگی: سعید براتی
رشته و گرایش تحصیلی: برق - الکترونیک
عنوان رساله: تحلیل و طراحی مبدل آنالوگ به دیجیتال برای سامانه های ثبت عصبی قابل کاشت

شماره دانشجویی: ۹۳۱۳۳۹۰۱
دانشکده: مهندسی برق

شروع دوره: مهر ۹۲

تاریخ تصویب پیشنهاد رساله: ۱۳۹۴/۱۰/۱۳

تاریخ دفاع: ۹۷/۱۱/۱۶

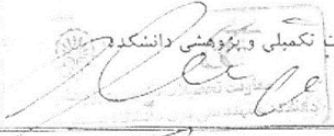
هیات داوران	نام و نام خانوادگی	کد انفرماتیک	رتبه علمی	نمره	امضاء
استاد راهنما	دکتر باوری	۱۱۳۳۵	دانشیار	۱۹	
استاد مشاور					
نماینده تحصیلات تکمیلی دانشگاه	دکتر کاتوزیان	۱۰۷۹۱	استاد	۱۹	
داور داخلی اول	دکتر کاتوزیان	۱۰۷۹۱	استاد	۱۹	
داور داخلی دوم	دکتر معزی	۱۵۶۶۱	استادیار	۱۹	
داور خارجی اول	دکتر شمسی	۱۴۷۷۹	استادیار	۱۹	
داور خارجی دوم	دکتر شهابی	۱۷۸۳۹	دانشیار	۱۹	

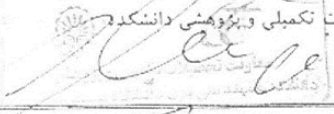
میانگین نمرات هیئت داوران

معیار (۲۰ - ۱۸.۵۱): بسیار خوب (۱۸.۵۱ - ۱۷.۰۱): خوب (۱۷.۰۱ - ۱۶.۰۱): قابل قبول (۱۶.۰۱ - ۱۵.۰۱): نمره قابل قبول (کمتر از ۱۵.۰۱)

نمره نهایی (از ۲۰)	به عدد	به حروف
	۱۹	نوزده تمام

سور جلسه دفاع و سایر مدارک به پیوست می باشد.

معاون تحصیلات تکمیلی و پژوهشی دانشکده: 

امضاء و مهر: 

تأیید کارشناس: _____

مدیر تحصیلات تکمیلی دانشگاه: _____

مهر و امضاء: _____

اینجانب سعید براتی متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع داده شده و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است. در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

نام و نام خانوادگی دانشجو

امضا

تقدیم به:

سپاس از سه وجود مقدس:

آنان که ناتوان شدند تا ما به توانایی برسیم.

موهایشان سپید شد تا ما روسفید شویم.

و عاشقانه سوختند تا گرمابخش وجود ما و روشنگر راهمان باشند.

پدر، مادر و همسر عزیزم

تقدیم به پدر و مادر مهربانم که هر لحظه وجودم را از چشمه سار پر از عشق چشمان-
شان سیراب میکنند.

تقدیم به همسرم

به پاس قدر دانی از قلبی آکنده از عشق و معرفت که محیطی سرشار از سلامت، امنیت،
آرامش و آسایش برای من فراهم آورده است

سپاسگذار کسانی هستم که سراغاز تولد من هستند. از یکی زاده میشوم و از دیگری
جاودانه. استادی که سپیدی را بر تخته سیاه زندگی نگاشت و مادری که تار مویی از او بپای
من سیاه نماند.

تشکر و قدردانی:

از استاد فرهیخته، جناب آقای دکتر یاوری که در راه انجام این پژوهش مرا از مساعدت‌های علمی و عملی خود بهره‌مند ساختند. کمال تشکر و قدردانی را دارم. دلسوزی، تلاش و کوشش حضرتعالی در تعلیم و تربیت و انتقال تجربیات ارزشمند در کنار برقراری رابطه صمیمی و دوستانه با دانشجویان و ایجاد فضائی دلنشین برای کسب علم و دانش و درک شرایط دانشجویان حقیقتاً قابل ستایش است. اینجانب بر خود وظیفه میدانم در کسوت شاگردی از زحمات و خدمات ارزشمند شما استاد گرانقدر تقدیر و تشکر نمایم.

از خداوند متعال برایتان سلامتی، موفقیت و همواره یاد دادن را مسئلت دارم.

چکیده

سامانه‌های ثبت عصبی بی‌سیم به سرعت در حال توسعه هستند. این سامانه‌ها برای شناخت عملکرد مغز، پیش‌بینی و درمان بیماری‌ها، احیای حرکت دوباره اندام‌ها استفاده می‌شوند. یکی از بلوک‌های مهم در این سامانه‌ها، مبدل آنالوگ به دیجیتال است. بهینه‌سازی توان مصرفی و مساحت مبدل آنالوگ به دیجیتال هدف این رساله بوده است. مبدل آنالوگ به دیجیتال سیگما-دلتای نمودی توان مصرفی خیلی پایین و سطح تراشه کمی دارد. در این رساله یک مبدل سیگما-دلتای زمان پیوسته تطبیقی برای استفاده در سامانه ثبت عصبی پیشنهاد شده است. مبدل آنالوگ به دیجیتال پیشنهادی دارای دو مُد دقت-بالا و پایین است که متناسب با محتوای سیگنال عصبی به صورت تطبیقی انتخاب می‌شوند. مبدل پیشنهادی پتانسیل‌های فعالیت را در مُد دقت بالا با ۸ بیت دقت دیجیتال می‌کند و مُد دقت-پایین با ۳ بیت دقت برای نویز زمینه استفاده می‌شود. توان مصرفی مبدل سیگما-دلتای نمودی زمان پیوسته متناسب با دقت مبدل است و چون در اغلب زمان‌ها، سیگنال عصبی حاوی نویز زمینه است لذا توان مصرفی به مقدار قابل توجه کاهش می‌یابد. تغییر دقت مبدل آنالوگ به دیجیتال باعث کاهش ۵۰ درصدی نرخ داده تولید شده می‌شود. برای انتخاب مُدهای کاری مبدل آنالوگ به دیجیتال، مدار آشکارساز پتانسیل فعالیت خودکار پیشنهاد شده است. آشکارساز خودکار با تنظیم یک ولتاژ آستانه متناسب با مقدار RMS سیگنال عصبی، پتانسیل‌های فعالیت را شناسایی می‌کند. مدولاتور سیگما-دلتا در مبدل آنالوگ به دیجیتال و آشکارساز پتانسیل فعالیت به صورت اشتراکی استفاده می‌شود. در این رساله یک روش طراحی بهینه برای طراحی مبدل‌های سیگما-دلتای زمان-پیوسته نمودی پیشنهاد شده که با انتخاب مناسب فرکانس نمونه برداری، چرخه کار پالس ریست و نسبت نویز حرارتی به نویز کوانتیزاسیون توان مصرفی مبدل مینیمم می‌شود. یک مبدل نمونه بر اساس این روش طراحی بهینه طراحی شده است.

نتایج شبیه‌سازی سیستمی در MATLAB و همچنین شبیه‌سازی مداری با استفاده از نرم‌افزار Cadence در تکنولوژی TSMC CMOS 90nm برای مبدل آنالوگ به دیجیتال و آشکارساز پتانسیل فعالیت و در تکنولوژی TSMC CMOS 180nm برای مبدل طراحی شده با روش طراحی بهینه ارائه شده است. لی‌آوت مبدل تطبیقی، آشکارساز پتانسیل فعالیت و مبدل سیگما-دلتای بهینه رسم شده و نتایج شبیه‌سازی بعد از لی‌آوت عملکرد آنها را نشان می‌دهد. توان مصرفی مبدل تطبیقی $1.89 \mu W$ و مبدل طراحی شده با روش طراحی بهینه $2.96 \mu W$ است. مساحت آشکارساز، مبدل تطبیقی و مبدل بهینه بترتیب حدود 0.041 ، 0.125 و 0.34 میلی‌متر مربع است.

واژه‌های کلیدی:

مدولاتور سیگما-دلتای نمودی زمان-پیوسته، ثبت سیگنال عصبی، پتانسیل فعالیت، نویز زمینه، آشکارساز پتانسیل فعالیت.

فهرست مطالب

۱	فصل ۱: مقدمه
۱-۱-۱	انگیزه.....
۲-۱-۱	دستاوردهای رساله.....
۳-۱-۱	ساختار رساله.....
۴	
۶	فصل ۲: سامانه‌های ثبت عصبی بی‌سیم
۶-۱-۱	مقدمه.....
۸-۱-۲	پتانسیل فعالیت.....
۹-۲-۲	دوره بی‌پاسخی.....
۹-۲-۲	انواع سیگنال‌های مغز.....
۹-۲-۲	پتانسیل فعالیت.....
۱۰-۲-۲	الکترومایوگرام.....
۱۰-۲-۲	الکتروانسفالوگرام.....
۱۰-۳-۲	سامانه‌های ثبت عصبی قابل کاشت.....
۱۲-۴-۲	آشکارساز پتانسیل فعالیت.....
۱۲-۵-۲	روش‌های آشکارسازی پتانسیل فعالیت.....
۱۲-۱-۵-۲	روش‌های مبتنی بر ویژگی.....
۱۴-۲-۵-۲	روش‌های آشکارسازی پتانسیل فعالیت مبتنی بر آستانه.....
۱۶-۶-۲	مروری بر سامانه‌های ثبت عصبی ارائه شده.....
۱۶-۱-۶-۲	سامانه ثبت عصبی قابل کاشت با ۶۴ کانال.....
۱۷-۲-۶-۲	سامانه ثبت عصبی قابل کاشت با ۱۰۰ کانال.....
۱۸-۳-۶-۲	سامانه ثبت عصبی قابل کاشت با ۶۴ کانال.....
۱۹-۴-۶-۲	سامانه ثبت عصبی قابل کاشت با ۱۰۰ کانال.....
۱۹-۵-۶-۲	سامانه ثبت عصبی قابل کاشت با ۱۶ کانال.....
۲۰-۶-۶-۲	سامانه ثبت عصبی مستقیم ۹۶ کاناله.....
۲۱-۷-۲	مقایسه سامانه‌های ثبت عصبی قابل کاشت ارائه شده.....
۲۱-۸-۲	جمع‌بندی.....
۲۲	فصل ۳: مبدل‌های آنالوگ به دیجیتال برای سامانه‌های ثبت عصبی
۲۲-۱-۳	معیارهای عملکردی مبدل آنالوگ به دیجیتال.....
۲۴-۲-۳	بیش‌نمونه‌برداری.....
۲۴-۳-۳	انواع مبدل‌های آنالوگ به دیجیتال.....
۲۵-۴-۳	مبدل آنالوگ به دیجیتال SAR.....
۲۶-۲-۴-۳	الگوریتم مبدل SAR.....
۲۷-۵-۳	مبدل آنالوگ به دیجیتال سیگما-دلتای نموی.....
۲۹-۲-۵-۳	دقت مبدل سیگما-دلتای نموی.....
۳۲-۳-۵-۳	مدولاتورهای سیگما-دلتای نموی زمان گسسته و زمان پیوسته.....
۳۴-۴-۵-۳	فیلتر Decimation.....
۳۵-۵-۵-۳	تاخیر اضافی حلقه در مبدل‌های سیگما-دلتای نموی زمان پیوسته.....

۳۶	۳-۵-۶- جیتر کلاک در مدولاتورهای سیگما- دلتای نموی.....
۳۷	۳-۵-۷- نویز مداری در مدولاتورهای نموی زمان پیوسته.....
۳۹	۳-۶-۶- مروری بر چند نمونه از مبدل‌های سیگما- دلتای نموی.....
۳۹	۳-۶-۱- مبدل نموی زمان پیوسته برای کاربردهای پزشکی.....
۴۰	۳-۶-۲- مبدل نموی زمان پیوسته برای سامانه‌های ثبت عصبی.....
۴۱	۳-۶-۳- مبدل سیگما- دلتای نموی دو طبقه توان پایین.....
۴۲	۳-۶-۴- مبدل دلتا-نمون‌بردار تطبیقی برای سامانه‌های ثبت عصبی.....
۴۳	۳-۶-۵- مبدل SAR غیر خطی برای سامانه‌های ثبت عصبی.....
۴۴	۳-۶-۶- مقایسه مبدل‌های سیگما- دلتای نموی و مبدل SAR.....
۴۴	۳-۷-۷- جمع بندی.....

فصل ۴: آشکار ساز خودکار پتانسیل فعالیت پیشنهادی

۴۵	۴-۱- آشکار ساز خودکار پتانسیل فعالیت پیشنهادی.....
۴۷	۴-۲- تقویت کننده بهره متغیر به عنوان تقسیم کننده.....
۴۹	۴-۳- مدولاتور زمان پیوسته سیگما-دلتا با MDAC به عنوان ضرب کننده.....
۵۴	۴-۳-۲- طراحی تقویت کننده.....
۵۸	۴-۳-۳- مدار مقایسه گر.....
۶۰	۴-۴-۱- فیلتر میانگین گیر.....
۶۰	۴-۴-۱- فیلتر پایین گذر G_m-C
۶۱	۴-۴-۲- فیلتر پایین گذر با ضرب کننده خازنی مبتنی بر ناقل جریان.....
۶۵	۴-۴-۳- نویز در ناقل جریان.....
۶۶	۴-۵-۵- آنالیز ساختار آشکار ساز پتانسیل فعالیت پیشنهادی.....
۶۶	۴-۵-۱- آنالیز زمانی آشکار ساز خودکار پتانسیل فعالیت پیشنهادی.....
۶۷	۴-۵-۲- تحلیل دقت سطح آستانه در آشکار ساز پتانسیل فعالیت پیشنهادی.....
۶۹	۴-۶-۱- ترسیم لی آوت و نتایج شبیه سازی.....
۶۹	۴-۶-۱- لی آوت آشکار ساز پیشنهادی.....
۷۲	۴-۶-۲- شرایط شبیه سازی.....
۷۲	۴-۶-۳- نتایج شبیه سازی.....
۷۸	۴-۶-۴- مقایسه عملکرد.....

فصل ۵: مبدل آنالوگ به دیجیتال سیگما- دلتای نموی زمان پیوسته تطبیقی

۷۹	۵-۱- مقدمه.....
۸۰	۵-۲- ویژگی‌های سیگنال عصبی.....
۸۱	۵-۳- مقیاس بندی توان و دقت در مبدل سیگما- دلتای نموی.....
۸۳	۵-۴- ساختار مبدل پیشنهادی.....
۸۵	۵-۵- طراحی سیستمی مبدل پیشنهادی.....
۸۶	۵-۵-۱- مدولاتور سیگما- دلتای زمان پیوسته.....
۸۹	۵-۵-۲- فیلتر Decimation.....
۹۰	۵-۵-۳- تاثیر ELD و جیتر کلاک بر مبدل سیگما- دلتای نموی زمان پیوسته.....
۹۱	۵-۶- آشکار ساز خودکار پتانسیل فعالیت.....
۹۴	۵-۷- پیاده سازی مداری مبدل پیشنهادی.....
۹۵	۵-۷-۲- تقویت کننده‌های فیلتر حلقه.....

۱۰۰	۵-۷-۳- طراحی مقایسه گر.....
۱۰۱	۵-۷-۴- مدار تقویت کننده با بهره متغیر.....
۱۰۱	۵-۷-۵- فیلتر میانگین گیر.....
۱۰۳	۵-۷-۶- فیلتر Decimation.....
۱۰۴	۵-۸-۸- ترسیم لی آوت و نتایج شبیه سازی.....
۱۰۴	۵-۸-۱- لی آوت مبدل پیشنهادی.....
۱۰۷	۵-۹- نتایج شبیه سازی بعد از لی آوت.....
۱۱۲	۵-۱۰- مقایسه عملکرد.....

۱۱۴ فصل ۶:

۱۱۴	طراحی بهینه مبدل سیگما- دلتای نموی زمان- پیوسته
۱۱۴	۶-۱- طراحی مبدل سیگما- دلتای نموی زمان پیوسته بر اساس بهینه سازی توان مصرفی.....
۱۱۶	۶-۱-۲- نويز كوانتيزاسيون مبدل نموی.....
۱۱۶	۶-۱-۳- نويز مدار مبدل نموی زمان- پیوسته.....
۱۱۸	۶-۱-۴- توان مصرفی مبدل سیگما- دلتای زمان پیوسته.....
۱۲۱	۶-۱-۵- طراحی بهینه مبدل سیگما- دلتای نموی زمان پیوسته.....
۱۲۵	۶-۲- طراحی سیستمی مبدل آنالوگ به دیجیتال نموی زمان- پیوسته بر اساس طراحی بهینه.....
۱۲۷	۶-۳- پیاده سازی مداری مبدل پیشنهادی.....
۱۲۸	۶-۳-۲- تقویتکننده های فیلتر حلقه.....
۱۳۱	۶-۳-۳- مقایسه گر- جمع کننده با سه ورودی تفاضلی.....
۱۳۲	۶-۴- ترسیم لی آوت و نتایج شبیه سازی.....
۱۳۲	۶-۴-۱- لی آوت مبدل پیشنهادی.....
۱۳۴	۶-۵- نتایج شبیه سازی بعد از لی آوت.....

۱۳۸ فصل ۷: نتیجه گیری و پیشنهادات

۱۳۸	۷-۱- جمع بندی و نتیجه گیری.....
۱۳۹	۷-۲- پیشنهادها و کارهای آتی.....

۱۴۱ مراجع

فهرست شکل‌ها

- شکل (۱-۲): سلول عصبی ۷
- شکل (۲-۲): نسبت یون‌ها در حالت‌های پتانسیل استراحت و عمل ۸
- شکل (۳-۲): زمان تحریک پذیری مطلق و زمان تحریک ناپذیری نسبی ۹
- شکل (۴-۲): نمای کلی یک میکرو سیستم ثبت عصبی ۱۱
- شکل (۵-۲): سیگنال عصبی ۱۲
- شکل (۶-۲): بانک‌های فیلتر تبدیل موجک ۱۳
- شکل (۷-۲): روش‌های آشکارساز پتانسیل فعالیت مبتنی بر آستانه ۱۵
- شکل (۸-۲): بلوک دیاگرام میکروسامانه پتانسیل فعالیت طراحی شده در دانشگاه میشیگان ۱۷
- شکل (۹-۲): بلوک دیاگرام میکروسیستم پتانسیل فعالیت طراحی شده در دانشگاه یوتا ۱۷
- شکل (۱۰-۲): بلوک دیاگرام میکروسیستم طراحی شده ۱۸
- شکل (۱۱-۲): بخش‌های مختلف یک بانک ثبت عصبی در سامانه طراحی شده ۱۸
- شکل (۱۲-۲): بلوک دیاگرام میکروسیستم طراحی شده ۱۹
- شکل (۱۳-۲): بخش‌های مختلف سامانه ارائه شده ۲۰
- شکل (۱۴-۲): سرخست ۶۴ کاناله ثبت سیگنال عصبی ۲۰
- شکل (۱-۳): ساختار یک مبدل آنالوگ به دیجیتال SAR ۲۵
- شکل (۲-۳): مبدل آنالوگ به دیجیتال SAR ۲۶
- شکل (۳-۳): بلوک دیاگرام یک مبدل سیگما-دلتای نموی ۲۸
- شکل (۴-۳): سیگنال‌های ریست، ورودی و خروجی یک مبدل نموی ۲۸
- شکل (۵-۳): مبدل سیگما-دلتای نموی مولتی پلکس شده بین n کانال سیگنال ۲۹
- شکل (۶-۳): مبدل سیگما-دلتای نموی مرتبه اول ۳۰
- شکل (۷-۳): مبدل سیگما-دلتای نموی مرتبه دوم ۳۱
- شکل (۸-۳): شکل موج مستطیلی برای DAC ۳۶
- شکل (۹-۳): تاثیر نویز جیتر کلاک در دنباله پالس‌های NRZ-DAC DAC ۳۷
- شکل (۱۰-۳): انتگرال‌گیر opamp-RC تمام تفاضلی با منابع نویز اضافه شده ناشی از مقاومت‌ها و تقویت کننده ۳۸
- شکل (۱۱-۳): مبدل نموی زمان پیوسته ۴۰
- شکل (۱۲-۳): مبدل نموی زمان پیوسته برای سیستم‌های ثبت عصبی ۴۰
- شکل (۱۳-۳): مبدل نموی ۴۱
- شکل (۱۴-۳): مرحله ۱ و ۲ مبدل نموی دو طبقه ۴۲
- شکل (۱۵-۳): مبدل دلتا-نمونه بردار تطبیقی ۴۲
- شکل (۱۶-۳): مبدل SAR غیر خطی برای سامانه‌های ثبت عصبی ۴۳
- شکل (۱۷-۳): تابع کوانتیزاسیون نمایی ۴۳
- شکل (۱-۴): بلوک دیاگرام آشکارساز خودکار پتانسیل فعالیت پیشنهادی ۴۶
- شکل (۲-۴): مدار تقویت کننده بهره متغیر ۴۸
- شکل (۳-۴): شماتیک مدار CMFB ۴۸
- شکل (۴-۴): تغییرات بهره تقسیم کننده نسبت به تغییرات ولتاژ V_x ۴۹
- شکل (۵-۴): پیاده‌سازی مربع سیگنال ورودی با ضرب کننده ۵۰
- شکل (۶-۴): سلول ضرب کننده گیلبرت ۵۰
- شکل (۷-۴): میکسر پسیو ۵۱

- شکل (۸-۴): ضرب کننده آنالوگ با استفاده از مدولاتور سیگما-دلتا..... ۵۱
- شکل (۹-۴): مدولاتور زمان پیوسته سیگما-دلتا..... ۵۲
- شکل (۱۰-۴): پیاده سازی مداری ضرب کننده تشکیل شده از مدولاتور سیگما-دلتای زمان پیوسته و MDAC..... ۵۳
- شکل (۱۱-۴): شماتیک تقویت کننده دو طبقه تمام تفاضلی با جبراساز میلر..... ۵۵
- شکل (۱۲-۴): شماتیک مدار CMFB..... ۵۵
- شکل (۱۳-۴): مدار مولد بایاس برای تقویت کننده و مدار CMFB..... ۵۶
- شکل (۱۴-۴): پاسخ فرکانسی تقویت کننده اول در تکنولوژی TT و دمای ۲۷ درجه سانتیگراد..... ۵۷
- شکل (۱۵-۴): پاسخ فرکانسی تقویت کننده اول در تکنولوژی FF و دمای ۴۰- درجه سانتیگراد..... ۵۷
- شکل (۱۶-۴): پاسخ فرکانسی تقویت کننده اول در تکنولوژی SS و دمای ۸۵+ درجه سانتیگراد..... ۵۸
- شکل (۱۷-۴): مدار مقایسه گر و SR-latch..... ۵۹
- شکل (۱۸-۴): تست overdrive مقایسه گر..... ۶۰
- شکل (۱۹-۴): فیلتر پایین گذر G_m-C ۶۱
- شکل (۲۰-۴): فیلتر میانگین گیر با تکنیک CCII..... ۶۲
- شکل (۲۱-۴): مدار داخلی CCII..... ۶۳
- شکل (۲۲-۴): پاسخ فرکانسی فیلتر میانگینگیر..... ۶۴
- شکل (۲۳-۴): مدار تقویت کننده تفاضلی با ولتاژ DC مختلف DC level shifter..... ۶۴
- شکل (۲۴-۴): مدل نویز ناقل جریان..... ۶۵
- شکل (۲۵-۴): منابع نویز مداری OTA نشان داده شده با H_1 ۶۵
- شکل (۲۶-۴): تغییرات SQNR سطح آستانه نسبت به تغییرات فرکانس نمونه برداری و پهنای باند فیلتر میانگین گیر..... ۶۹
- شکل (۲۷-۴): شمای طرح بستر آشکارساز طراحی شده..... ۷۰
- شکل (۲۸-۴): طرح کلی آیوت رسم شده برای آشکارساز پتانسیل فعالیت پیشنهادی..... ۷۱
- شکل (۲۹-۴): شمای مدار شبیه سازی آشکارساز پتانسیل فعالیت..... ۷۲
- شکل (۳۰-۴): چگالی طیفی توان..... ۷۳
- شکل (۳۱-۴): ولتاژ نویز ارجاع داده شده به ورودی آشکار ساز پتانسیل فعالیت..... ۷۳
- شکل (۳۲-۴): ولتاژ آستانه آشکارساز پتانسیل فعالیت در سه گوشه تکنولوژی، دماهای مختلف..... ۷۴
- شکل (۳۳-۴): نمودار هیستوگرام ولتاژ آستانه آشکارساز پیشنهادی به ازاء تغییرات پروسس و عدم تطبیق سوئیچها..... ۷۵
- شکل (۳۴-۴): شبیه سازی عملکرد آشکار ساز خود کار پیشنهادی با پتانسیل های فعالیت با دامنه بزرگ..... ۷۶
- شکل (۳۵-۴): شبیه سازی عملکرد آشکار ساز خود کار پیشنهادی با پتانسیل های فعالیت با دامنه کوچک..... ۷۶
- شکل (۳۶-۴): شبیه سازی عملکرد آشکار ساز خود کار پیشنهادی با وجود تغییرات بزرگ ولتاژ پایه سیگنال عصبی..... ۷۷
- شکل (۱-۵): یک سیگنال عصبی..... ۸۰
- شکل (۲-۵): بلوک دیاگرام مبدل سیگما-دلتای نموی..... ۸۱
- شکل (۳-۵): ساختار مبدل سیگما-دلتای نموی زمان پیوسته تطبیقی..... ۸۳
- شکل (۴-۵): مبدل سیگما-دلتای نموی زمان- پیوسته..... ۸۶
- شکل (۵-۵): پاسخ فرکانسی دامنه STF مبدل سیگما-دلتای نموی زمان- پیوسته..... ۸۹
- شکل (۶-۵): نتیجه شبیه سازی تغییرات SNDR به جیتر کلاک..... ۹۱
- شکل (۷-۵): شکل موج یک سیگنال عصبی واقعی با دو ولتاژ آستانه..... ۹۲
- شکل (۸-۵): ساختار آشکارساز پتانسیل فعالیت..... ۹۳
- شکل (۹-۵): پیاده سازی مداری مبدل سیگما-دلتای نموی زمان پیوسته تطبیقی..... ۹۴
- شکل (۱۰-۵): پاسخ فرکانسی تقویت کننده اول در گوشه معمولی و دمای ۲۷ درجه سانتیگراد..... ۹۷
- شکل (۱۱-۵): پاسخ فرکانسی تقویت کننده اول در گوشه تند و دمای ۴۰- درجه سانتیگراد..... ۹۸
- شکل (۱۲-۵): پاسخ فرکانسی تقویت کننده اول در گوشه کند و دمای ۸۵ درجه سانتیگراد..... ۹۸

- شکل (۵-۱۳): پاسخ فرکانسی تقویت کننده دوم در گوشه معمولی و دمای ۲۷ درجه سانتیگراد..... ۹۹
- شکل (۵-۱۴): پاسخ فرکانسی تقویت کننده دوم در گوشه تند و دمای ۴۰- درجه سانتیگراد..... ۹۹
- شکل (۵-۱۵): پاسخ فرکانسی تقویت کننده دوم در گوشه کند و دمای ۸۵ درجه سانتیگراد..... ۱۰۰
- شکل (۵-۱۶): مدار D-FF به کار رفته در مقایسه گر..... ۱۰۱
- شکل (۵-۱۷): فیلتر میانگین گیر مبتنی بر CCH و مدار داخلی CCII..... ۱۰۲
- شکل (۵-۱۸): شمای طرح بستر مبدل آنالوگ به دیجیتال طراحی شده..... ۱۰۵
- شکل (۵-۱۹): طرح کلی لی آوت رسم شده برای مبدل پیشنهادی..... ۱۰۶
- شکل (۵-۲۰): طرح کلی لی آوت رسم شده برای فیلتر Decimation..... ۱۰۶
- شکل (۵-۲۱): شمای مدار تست برای مبدل آنالوگ به دیجیتال..... ۱۰۷
- شکل (۵-۲۲): تغییرات SNDR نسبت به تغییرات سطح سیگنال ورودی در گوشه‌های تکنولوژی و دماهای مختلف..... ۱۰۸
- شکل (۵-۲۳): چگالی طیفی توان (PSD) مبدل سیگما-دلتای نموی زمان پیوسته..... ۱۰۸
- شکل (۵-۲۴): شبیه‌سازی حالت گذرای مبدل آنالوگ به دیجیتال پیشنهادی با ورودی سینوسی..... ۱۰۹
- شکل (۵-۲۵): خطا DNL و INL مبدل آنالوگ به دیجیتال پیشنهادی..... ۱۱۰
- شکل (۵-۲۶): شبیه‌سازی حالت گذرای مبدل آنالوگ به دیجیتال پیشنهادی با ورودی سیگنال عصبی..... ۱۱۱
- شکل (۶-۱): بلوک دیاگرام مبدل سیگما-دلتای نموی..... ۱۱۵
- شکل (۶-۲): فلوچارت طراحی بهینه مبدل سیگما-دلتای نموی..... ۱۲۲
- شکل (۶-۳): توان مصرفی میانگین مبدل نموی مرتبه اول ($L = 1$) به ازای α های مختلف..... ۱۲۳
- شکل (۶-۴): توان مصرفی میانگین مبدل نموی مرتبه دوم ($L = 2$) به ازای α های مختلف..... ۱۲۳
- شکل (۶-۵): توان مصرفی میانگین مبدل نموی مرتبه سوم ($L = 3$) به ازای α های مختلف..... ۱۲۴
- شکل (۶-۶): توان مصرفی میانگین مبدل نموی مرتبه چهارم ($L = 4$) به ازای α های مختلف..... ۱۲۴
- شکل (۶-۷): مبدل سیگما-دلتای نموی زمان-پیوسته مرتبه سوم..... ۱۲۶
- شکل (۶-۸): پیاده‌سازی مداری مبدل سیگما-دلتای نموی زمان-پیوسته بهینه..... ۱۲۷
- شکل (۶-۹): شماتیک تقویت‌کننده دو طبقه تمام تفاضلی با جبران‌ساز میلر..... ۱۲۹
- شکل (۶-۱۰): پاسخ فرکانسی تقویت کننده اول در تکنولوژی TT و دمای ۲۷ درجه سانتیگراد..... ۱۳۰
- شکل (۶-۱۳): پاسخ فرکانسی تقویت کننده انتگرال گیر دوم و سوم در تکنولوژی TT و دمای ۲۷ درجه سانتیگراد..... ۱۳۰
- شکل (۶-۱۶): مدار مقایسه گر-جمع کننده با سه ورودی تفاضلی..... ۱۳۱
- شکل (۶-۱۷): شمای طرح بستر مبدل آنالوگ به دیجیتال طراحی شده..... ۱۳۳
- شکل (۶-۱۸): طرح کلی لی آوت مبدل پیاده‌سازی شده..... ۱۳۴
- شکل (۶-۱۹): چگالی طیفی توان (PSD) مبدل سیگما-دلتای نموی در گوشه معمولی و دمای ۲۷ درجه سانتیگراد..... ۱۳۵
- شکل (۶-۲۰): چگالی طیفی توان (PSD) مبدل سیگما-دلتای نموی در گوشه سریع و دمای ۴۰- درجه سانتیگراد..... ۱۳۵
- شکل (۶-۲۱): چگالی طیفی توان (PSD) مبدل سیگما-دلتای نموی در گوشه کند و دمای ۸۵ درجه سانتیگراد..... ۱۳۵
- شکل (۶-۲۲): تغییرات SNDR نسبت به تغییرات سطح سیگنال ورودی در گوشه معمولی و دمای ۲۷ درجه سانتیگراد..... ۱۳۶

فهرست جدول‌ها

جدول (۱-۲):	مقایسه سامانه‌های ثبت سیگنال عصبی ارائه شده.....	۲۱
جدول (۱-۳):	مبدل‌های سیگما-دلتای نموی و SAR ارائه شده.....	۴۴
جدول (۱-۴):	جدول مشخصات عناصر VGA.....	۴۹
جدول (۲-۴):	جدول مشخصات عناصر مدار CMFB تقسیم کننده.....	۴۹
جدول (۳-۴):	جدول مشخصات عناصر تقویت کننده انتگرال گیر.....	۵۶
جدول (۴-۴):	جدول مشخصات عناصر مدار CMFB انتگرال گیر.....	۵۶
جدول (۵-۴):	جدول مشخصات مولد بایاس.....	۵۷
جدول (۶-۴):	خلاصه نتایج شبیه‌سازی تقویت کننده.....	۵۸
جدول (۷-۴):	جدول مشخصات مقایسه گر.....	۵۹
جدول (۸-۴):	جدول مشخصات فیلتر میانگین گیر.....	۶۳
جدول (۹-۴):	جدول مشخصات تقویت کننده تفاضلی.....	۶۴
جدول (۱۰-۴):	توصیف پین‌های آشکارساز خودکار.....	۷۰
جدول (۱۱-۴):	توان مصرفی و سطح اشغالی بخش‌های مختلف آشکارساز.....	۷۸
جدول (۱۲-۴):	جدول مقایسه آشکارساز خودکار پتانسیل فعالیت با نتایج ساخت و شبیه‌سازی گزارش شده.....	۷۸
جدول (۱-۵):	توان‌های مختلف مبدل سیگما-دلتای نموی زمان پیوسته با تغییر مرتبه مبدل.....	۸۵
جدول (۲-۵):	ضرایب و مشخصات مدولاتور سیگما-دلتای نموی زمان-پیوسته.....	۸۹
جدول (۳-۵):	مقادیر المان‌های فیلتر حلقه.....	۹۵
جدول (۴-۵):	جدول مشخصات عناصر تقویت کننده انتگرال‌گیر اول.....	۹۶
جدول (۵-۵):	جدول مشخصات عناصر مدار CMFB انتگرال‌گیر اول.....	۹۶
جدول (۶-۵):	جدول مشخصات عناصر تقویت کننده انتگرال‌گیر دوم.....	۹۶
جدول (۷-۵):	جدول مشخصات عناصر مدار CMFB انتگرال‌گیر دوم.....	۹۷
جدول (۸-۵):	جدول مشخصات مولد بایاس.....	۹۷
جدول (۹-۵):	خلاصه نتایج شبیه‌سازی تقویت کننده اول و دوم.....	۱۰۰
جدول (۱۰-۵):	جدول مشخصات DFF.....	۱۰۱
جدول (۱۱-۵):	جدول مشخصات CCII.....	۱۰۲
جدول (۱۲-۵):	کد VHDL فیلتر Decimation.....	۱۰۳
جدول (۱۳-۵):	گزارش توان مصرفی در سنتز فیلتر Decimation در تکنولوژی 180nm.....	۱۰۴
جدول (۱۴-۵):	توصیف پین‌های مبدل آنالوگ به دیجیتال پیشنهادی.....	۱۰۵
جدول (۱۵-۵):	توان و مساحت مبدل بخش‌های مختلف مبدل آنالوگ به دیجیتال پیشنهادی.....	۱۱۲
جدول (۱۶-۵):	جدول مقایسه عملکرد مبدل پیاده‌سازی شده با نتایج ساخت و شبیه‌سازی گزارش شده.....	۱۱۳
جدول (۱-۶):	مقدار فاکتور K_w با تغییرات OSR و مرتبه مبدل L.....	۱۱۸
جدول (۲-۶):	مقایسه توان تخمین شده با توان مبدلهای سیگما-دلتای زمان پیوسته گزارش شده.....	۱۲۱
جدول (۳-۶):	پارمترهای طراحی مبدل نموی بهینه.....	۱۲۵
جدول (۴-۶):	ضرایب و مشخصات مدولاتور سیگما-دلتای نموی زمان-پیوسته.....	۱۲۶
جدول (۵-۶):	مقادیر المان‌های فیلتر حلقه.....	۱۲۸
جدول (۶-۶):	جدول مشخصات عناصر تقویت کننده انتگرال‌گیر اول.....	۱۲۹
جدول (۷-۶):	جدول مشخصات عناصر مدار CMFB انتگرال‌گیر اول.....	۱۲۹
جدول (۸-۶):	جدول مشخصات عناصر تقویت کننده انتگرال‌گیر دوم و سوم.....	۱۲۹

- جدول (۹-۶): جدول مشخصات عناصرمدار CMFB انتگرال گیر دوم..... ۱۳۰
- جدول (۱۰-۶): خلاصه نتایج شبیه سازی تقویت کننده اول و دوم..... ۱۳۱
- جدول (۱۱-۶): جدول مشخصات مقایسه گر - جمع کننده..... ۱۳۲
- جدول (۱۲-۶): توصیف پین های مبدل آنالوگ به دیجیتال پیشنهادی..... ۱۳۳
- جدول (۱۳-۶) جدول مشخصات مبدل سیگما- دلتای زمان- پیوسته بهینه..... ۱۳۶

فهرست اختصارات

$\Sigma\Delta$	sigma-delta
AAF	anti-aliasing filter
ADC	analog-to-digital converter
BCI	brain-computer interface
CIFB	cascade of integrators in feedback configuration
CIFF	cascade of integrators in feed-forward configuration
CMFB	common-mode feedback
CMOS	complementary metal-oxide-semiconductor
CT	continuous-time
DAC	digital-to-analog converter
dBFS	decibels relative to the full-scale input signal
DF	digital filter
DR	dynamic range
DSP	digital signal processor
DT	discrete-time
dBFS	dB relative to full-scale input
DNL	differential non-linearity
DR	dynamic range
DT	discrete-time
ECoG	electrocorticography
EEG	electroencephalography
ENOB	effective number of bit
ELD	excess loop delay
S/H	sample-and-hold
FOM	figure-of-merit
GBW	gain-bandwidth product
$I\Sigma\Delta$	incremental $\Sigma\Delta$
IBN	in-band noise
INL	integral non-linearity
LF	loop filter
LSB	least significant bit
MSB	most significant bit
MUX	multiplexer
NTF	noise transfer function
NRZ	non-return-to-zero
Opamp	operational amplifier
OSR	oversampling ratio
OTA	operational transconductance amplifier
PSD	power spectral density
RMS	root mean square
RZ	return-to-zero
SAR	successive-approximation-register
SFDR	spurious free dynamic range

SNR	signal-to-noise ratio
SNDR	signal-to-noise and distortion ratio
SQNR	signal-to-quantization noise ratio
SR	slew rate
STF	signal transfer function

واژه نامه

Action Potential	پتانسیل فعالیت
Analog-to-Digital Converter	مبدل آنالوگ به دیجیتال
Averaging Filter	فیلتر میانگین گیر
Background Noise	نویز زمینه
Common-Mode Feedback	فیدبک مد مشترک
Continuous-time	زمان پیوسته
Current conveyors	ناقل جریان
Data Packet	بسته بندی داده
Discrete-time	زمان گسسته
Duty Cycle	چرخه کار
Excess Loop Delay	تاخیر حلقه اضافی
Floor Plan	طرح بستر
Front-end	سر نخست
In-Band Noise	نویز درون باند
Incremental	نموی
Incremental Sigma- Delta ADC	مبدل سیگما- دلتای نموی
Kick Back Noise	نویز بازگشتی
Local Field Potential	پتانسیل میدان محلی
Local Field Potential	پتانسیل فعالیت محلی
Neural Firing Rate	نرخ فعالیت نورون
Neural Processing Unit	واحد پردازشگر عصبی
Noise shaping architecture	ساختار شکل دهی نویز
Noise Transfer Function	تابع تبدیل نویز
Non-return-to-zero	غیر بازگشتی به صفر
Non-Stationary	غیر ایستاد
Opamp	تقویت کننده
Operational amplifier	تقویت کننده عملیاتی
Oversampling ratio	نسبت بیش نمونه برداری

Refractory Period

دوره بی پاسخی

Rest

ریست

Signal Transfer Function

تابع تبدیل سیگنال

Signal-to-Noise ratio

نسبت سیگنال به نویز

Variable Gain Amplifier

تقویت کننده با بهره متغیر

مراجع

- [1] C. Franklin, C, *An account of the effects of electricity in paralytic cases*. Phil. Trans. Lond, 1956. 1(7): p. 481–483.
- [3] G. Brindley, and W. Lewin, *The sensations produced by electrical stimulation of the visual cortex*. J. Physiol, 1968. 196: p. 479–493.
- [3] Wise, K.D. and J.B. Angell, *A Low-Capacitance Multielectrode Probe for Use in Extracellular Neurophysiology*. IEEE Transactions on Biomedical Engineering, 1975. BME-22(3): p. 212-219.
- [4] K. D. Wise, D. J. Anderson, J. F. Hetke, D. R. Kipke and K. Najafi, “Wireless implantable microsystems: high-density electronic interfaces to the nervous system,” in *Proceedings of the IEEE*, pp. 76-97, 2004.
- [5] A. M. Sodagar, G. E. Perlin, K. Najafi and D. Wise, “An Implantable 64-Channel Wireless Microsystem for Single-Unit Neural Recording,” *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2591-2604, Sept. 2009.
- [6] R. R. Harrison, P. T. Watkins, R. J. Kier, R. O. Lovejoy, D. J. Black, B. Greger, and F. Solzbacher, “A low-power integrated circuit for a wireless 100-electrode neural recording system,” *IEEE J. Solid-State Circuits*, vol. 42, no. 1, pp. 123–133, Jan. 2007.
- [7] H. Ando, K. Takizawa, T. Yoshida, K. Matsushita, M. Hirata and T. Suzuki, “Wireless Multichannel Neural Recording With a 128-Mbps UWB Transmitter for an Implantable Brain-Machine Interfaces,” in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 6, pp. 1068-1078, Dec. 2016.
- [8] X. Zou, L. Leu, J.H and Cheong, “A 100-Channel 1-mW Implantable Neural Recording IC,” *IEEE transactions on circuits and systems*, vol. 60, no. 10, October. 2013.
- [9] S. Barati, M. Yavari, “An Automatic Action Potential Detector for Neural Recording Implants,” *Circuits Systems And Signal Processing*, Vol. 37, No. 10, PP. 1 - 19, October 2018.
- [10] S. Barati, M. Yavari, “An adaptive continuous-time incremental SD ADC for neural recording implants,” *International Journal Of Circuit Theory And Applications*, Vol. 46, No. 11, PP. 1 - 17, November 2018.
- [11] E. R. Schwartz, J. H. L. Schwartz and T. M. Jessell, “*Principles of neural science (4th ed.)*” New York: McGraw-Hill, Health Professions Division, 2000.
- [12] R. F. Yazıcıo, C. V. Hoof and R. Puers, “Biopotential Readout Circuits for Portable Acquisition Systems,” *Springer Science*, 2009.
- [13] R. M. Rangayyan, “*Biomedical signal Analysis*” Wiley. 2015.

- [14] K. Wise, A. M. Sodagar, Y. Yao, M. N. Gulari, G. Perlin and K. Najafi, "Microelectrodes Microelectronics, and Implantable Neural Microsystems," *Proceedings of the IEEE*, vol. 96, no. 7, pp 1184-1202, 2008.
- [15] T. Kalayci and O. Ozdamar, "Wavelet preprocessing for automated neural network detection of EEG spikes," in *IEEE Engineering in Medicine and Biology Magazine*, vol. 14, no. 2, pp. 160-166, April 1995.
- [16] R. C. Eberhart, R. W. Dobbins and W. R. S. Webber, "EEG waveform analysis using CaseNet," *Images of the Twenty-First Century. Proceedings of the Annual International Engineering in Medicine and Biology Society*, pp. 2046-2047, 1989.
- [17] R. Harrison, "A Low-Power Integrated Circuit for Adaptive Detection of Action Potentials in Noisy Signals," *Proc. 25th Ann. Int. Conf. IEEE EMBS*, pp. 3325–3328, 2003.
- [18] I. Obeid, P. D. Wolf, "Evaluation of spike-detection algorithms for a brain-machine interface application," *IEEE Trans. Biomed. Eng.*, Vol.51, No. 6, pp. 905 – 911, 2004.
- [19] S. Brenna, F. Padovan, A. Neviani, A. Bevilacqua, A. Bonfanti and A. L. Lacaita, "A 64-Channel 965- μ W Neural Recording SoC With UWB Wireless Transmission in 130-nm CMOS," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 6, pp. 528-532, June 2016.
- [20] M. Mollazadeh, K. Murari, H. Schwerdt, W. Xing, N. Thakor and G. Cauwenberghs, "Wireless Multichannel Acquisition of Neuron Potentials," *Proc. IEEE BioCAS*, pp. 49-52, 2008.
- [21] F. Maloberti, *Data converters*: Springer Science & Business Media, 2007.
- [22] G. Temes, Y. Wang, W. Yu and Markus J., "Incremental Data Converters," *Proceedings of the 19th International Symposium on Mathematical Theory of Networks and Systems*, July. 2010.
- [23] V. Quiquempoix *et al*, "A low-power 22-bit incremental ADC," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 7, pp. 1562-1571, July 2006.
- [24] J. Garcia, S. Rodriguez and A. Rusu, "A Low-Power CT Incremental 3rd Order $\Sigma\Delta$ ADC for Biosensor Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 1, pp. 25-36, Jan. 2013
- [25] S. Tao, J. Chi and A. Rusu, "Design Considerations for Pipelined Continuous-Time Incremental Sigma-Delta ADCs," *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1014-1017, 2015.
- [26] T. C. Caldwell and D. A. Johns, "Incremental Data Converters at Low Oversampling Ratios," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1525-1537, Jul. 2010.
- [27] J. A. Cherry and W. M. Snelgrove, *Continuous-time delta-sigma modulators for high-speed A/D conversion: theory, practice and fundamental performance limits*, Springer Science & Business Media, vol. 521, 2000.

- [28] J. Steensgaard, Z. Zhang, W. Yu, A. Sárhegyi, and G. Temes, "Noise–Power Optimization of Incremental Data Converters," *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 55, no. 5, pp. 391-400, Jun. 2008.
- [29] D. A. Johns and K. Martin, *Analog integrated circuit design*, John Wiley & Sons, 1997.
- [30] F. Gerfers and M. Ortmanns, *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations*, Springer Science & Business Media, vol. 21, 2006.
- [31] H. Pakniat and M. Yavari, "System level design and optimization of single-loop CT sigma-delta modulators for high resolution wideband applications," *Microelectronics Journal*, vol. 46, no. 11, pp. 1073-1081, Nov. 2015.
- [32] S. Tao, S. Rodriguez, and A. Rusu, "DAC waveform effects in CT incremental $\Sigma\Delta$ ADCs for biosensor applications," *IEEE International New Circuits and Systems Conference (NEWCAS)*, pp. 1-4, Jun. 2013.
- [33] M. Mollazadeh, K. Murari, G. Cauwenberghs and N. N. Thakor, "Wireless Micropower Instrumentation for Multimodal Acquisition of Electrical and Chemical Neural Activity," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 3, no. 6, December. 2009.
- [34] S. Tao and A. Rusu, "A Power-Efficient Continuous-Time Incremental Sigma-Delta ADC for Neural Recording Systems," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 6, pp. 1489-1498, Jun. 2015.
- [35] CH. Chen, Y. Zhang, T. He, P. Chiang and G. Temes, "A Micro-Power Two-Step Incremental Analog-to-Digital Converter" *IEEE Journal of Solid-State Circuits*, vol. 50, no. 8, August. 2015.
- [36] Y. Yang, J. Zhou, X. Liu, J.-H. Cheong, and W.-L. Goh, "A 151-nW Adaptive Delta-Sampling ADC for Ultra-Low Power Sensing Applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 7, pp. 638-642, Jul. 2016.
- [37] M. Judy, A. M. Sodagar, R. Lotfi, and M. Sawan, "Nonlinear Signal-Specific ADC for Efficient Neural Recording in Brain-Machine Interfaces," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 8, no. 3, pp. 371-381, Jun. 2014.
- [38] A. Agah, K. Vleugels, P. B. Griffin, M. Ronaghi, J. D. Plummer, B. A. Wooley, "A High-Resolution Low-Power Incremental Sigma Delta ADC With Extended Range for Biosensor Arrays", *IEEE J. Solid-State circuits*, vol. 45, no. 6, pp. 1099-1110, June. 2010
- [39] C. Chen, Z. Tan, and M. A. P. Pertijs, "A 1 V 14b Self-Timed Zerocrossing-Based Incremental ADC," *IEEE ISSCC Dig. Tech. Papers*, pp. 274–275, 2013.
- [40] C. H. Kuo and C. E. Hsieh, "A high energy-efficiency SAR ADC Based on Partial Floating Capacitor Switching Technique," *Proc. IEEE ESSCIRC*, pp. 475–478, 2011.
- [41] M. Yip and A. P. Chandrakasan, "A Resolution-Reconfigurable 5-to-10 b 0.4-to-1 V Power Scalable SAR ADC," *IEEE ISSCC Dig. Tech. Papers*, pp. 190–192, 2011.

- [42] S. K. Lee, S. J. Park, Y. Suh, H. J. Park, and J. Y. Sim, "A 21 fJ/conversion-step 100 kS/s 10-bit ADC with a Low-Noise Time-Domain Comparator for Low-Power Sensor interface," *IEEE J. Solid-State Circuits*, vol. 46, no. 3, pp. 651–659, Mar. 2011.
- [43] Q. Hoang, Q. Le, C.-Wan Kim and S.-Gug Lee, "A 95-dB linear low-power variable gain amplifier," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 8, pp. 1648-1657, Aug. 2006.
- [44] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*, Wiley/IEEE Press: Piscataway, 2005.
- [45] S. Tao and A. Rusu, "A comparative design study of continuous-time incremental sigma-delta ADC architectures," *International Journal of Circuit Theory and Applications*. vol 44, no. 12, pp. 2147-2163, Mar. 2016.
- [46] P. Amaral, J. Goes, N. Paulino, and A. Steiger-Garçon, "An improved low-voltage low-power CMOS comparator to be used in high-speed pipeline ADCs," *IEEE Int. Symp. Circuits Syst*, pp. 141-144, 2002.
- [47] C. Sawigun and S. Thanapitak, "A 0.9-nW, 101-Hz, and 46.3- μ V_{rms} IRN low-pass filter for ECG acquisition using FVF biquads," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 26, no. 11, pp. 2290-2298, Nov. 2018.
- [48] S. Thanapitak and C. Sawigun, "A Subthreshold Buffer-Based Biquadratic Cell and its Application to Biopotential Filter Design," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, no. 9, pp. 2774-2783, Sept. 2018.
- [49] G. Ferri, S. Pennisi, and S. Sperandii, "A low-voltage CMOS 1-Hz low-pass filter," *IEEE ICECS*, pp. 1341-1343, Sep. 1999.
- [50] S. Barati and A. M. Sodagar, "Discrete-time automatic spike detection circuit for neural recording implants," *Elect. Lett.*, vol. 47, no. 5, Mar. 2011.
- [51] B. Gosselin and M. Sawan, "An ultra low-power CMOS automatic action potential detector," *IEEE Trans. Neural Syst. Rehab. Eng.*, vol. 17, no. 4, pp. 346–353, Aug. 2009.
- [52] M. Jalalifar and B. Gyung-Su, "An ultra-low power spike detector for implantable biomedical systems," *IEEE Wireless and Microwave Technology Conference (WAMICON)*, pp. 1-4. Apr. 2013.
- [53] E. Koutsos, S. E. Paraskevopoulou, and T. G. Constandinou, "A 1.5 uW NEO-based spike detector with adaptive-threshold for calibration-free multichannel neural interfaces," *IEEE International Symposium on Circuits and Systems (ISCAS2013)*, pp. 1922-1925, May 2013.
- [54] A. Rodriguez-Perez, J. Ruiz-Amaya, M. Delgado-Restituto, and A. Rodriguez-Vazquez, "A Low-Power Programmable Neural Spike Detection Channel With Embedded Calibration and Data Compression," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, no. 2, pp. 87-100, Apr. 2012.
- [55] T. Wu and Z. Yang, "A multichannel integrated circuit for neural spike detection based on EC-PC threshold estimation," *Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, pp. 779-782, Jul. 2013.

- [56] E. Yao, Y. Chen, and A. Basu, "A 0.7 V, 40 nW Compact, Current-Mode Neural Spike Detector in 65 nm CMOS," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 2, pp. 309-318, Apr. 2016.
- [57] M. S. Chae, Z. Yang, M. R. Yuce, L. Hoang, and W. Liu, "A 128-Channel 6 mW Wireless Neural Recording IC With Spike Feature Extraction and UWB Transmitter," *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 17, no. 4, pp. 312-321, Aug. 2009.
- [58] S. Shoham, D. H. O'Connor, and R. Segev, "How silent is the brain: is there a dark matter problem in neuroscience," *Journal of Comparative Physiology*, vol. 192, no. 8, pp. 777-784, Aug. 2006.
- [59] M. H. Maghami, A. M. Sodagar, and M. Sawan, "Versatile Stimulation Back-End With Programmable Exponential Current Pulse Shapes for a Retinal Visual Prosthesis," *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 24, no. 11, pp. 1243-1253, Nov. 2016.
- [60] R. M. Rangayyan, *Biomedical Signal Analysis: A Case-Study Approach*, Hoboken, NJ: Wiley, 2002.
- [61] S. O'Driscoll, K. V. Shenoy, and T. H. Meng, "Adaptive Resolution ADC Array for an Implantable Neural Sensor," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 2, pp. 120-130, May 2011.
- [62] F. M. Yaul and A. P. Chandrakasan, "A 10 bit SAR ADC With Data-Dependent Energy Reduction Using LSB-First Successive Approximation," *IEEE J. Solid-State Circuits*, vol. 49, no. 12, pp. 2825-2834, Dec. 2014.
- [63] Y. Yang, J. Zhou, X. Liu, J.-H. Cheong, and W.-L. Goh, "A 151-nW Adaptive Delta-Sampling ADC for Ultra-Low Power Sensing Applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 7, pp. 638-642, Jul. 2016.
- [64] Z. Hojati and M. Yavari, "An NTF-enhanced incremental $\Sigma\Delta$ modulator using a SAR quantizer," *Integration, the VLSI Journal*, vol. 55, no. 9, pp. 212-219, Sept. 2016.
- [65] M. H. Zarifi, J. Frounchi, M. A. Tinati, S. Farshchi, and J. W. Judy, "A low-power small-area 10-bit analog-to-digital converter for neural recording applications," *International Journal of Circuit Theory and Applications*, vol. 39, no. 4, pp. 385-395, Apr. 2011.
- [66] F. Gerfers, Kian Min Soh, M. Ortmanns and Y. Manoli, "Figure of merit based design strategy for low-power continuous-time $\Sigma\Delta$ modulators," *IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*, Phoenix-Scottsdale, AZ, USA, pp. IV-IV, 2002.
- [67] V. Peluso, M. S. J. Steyaert and W. Sansen, "A 1.5-V-100 μ W $\Sigma\Delta$ modulator with 12-b dynamic range using the switched-opamp technique," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 7, pp. 943-952, July 1997.
- [68] R. Naiknaware and T. Fiez, "Power optimization of $\Sigma\Delta$ analog-to-digital converters based on slewing and partial settling considerations," in *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 360-364, 1998.

- [69] R. van Veldhoven, K. Philips and B. Minnis, "A 3.3 mW $\Sigma\Delta$ modulator for UMTS in 0.18 μm CMOS with 70 dB dynamic range in 2 MHz bandwidth," *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pp. 222-461, 2002.
- [70] L. J. Breems, E. J. van de Zwan, E. C. Dijkmans and J. H. Huijsing, "A 1.8 mW CMOS $\Sigma\Delta$ modulator with integrated mixer for A/D conversion of IF signals," *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pp. 52-53, 1999.
- [71] M. Tamaddon, M. Yavari, "A wideband time-based continuous-time sigma-delta modulator with 2nd order noise-coupling based on passive elements", *Int. J. Circuit Theory Appl*, June 2015.
- [72] Y. M. Chi and G. Cauwenberghs, "Micropower integrated bioamplifier and auto-ranging ADC for wireless and implantable medical instrumentation," *Proceedings of ESSCIRC*, Seville, pp. 334-337, 2010.
- [73] M. Mollazadeh, K. Murari, G. Cauwenberghs and N. Thakor, "Micropower CMOS Integrated Low-Noise Amplification, Filtering, and Digitization of Multimodal Neopotentials," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 3, no. 1, pp. 1-10, Feb. 2009.
- [74] J. Garcia, S. Rodriguez and A. Rusu, "A Low-Power CT Incremental 3rd Order $\Sigma\Delta$ ADC for Biosensor Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 1, pp. 25-36, Jan. 2013.
- [75] B. Shui, M. Keller, M. Kuhl and Y. Manoli, "A 70.8 dB 0.0045 mm² Low-power Continuous-Time Incremental Delta-Sigma Modulator for Multi-Site Neural Recording Interfaces," *IEEE International Symposium on Circuits and Systems (ISCAS)*, Florence, pp. 1-4, 2018.
- [76] T. Wang and T. Lee, "A 84.7-DR wide BW incremental ADC using CT structure," *VLSI Design, Automation and Test(VLSI-DAT)*, Hsinchu, pp. 1-4, 2015.
- [77] K. Singh and S. Pavan, "A 14 Bit Dual Channel Incremental Continuous-Time Delta Sigma Modulator for Multiplexed Data Acquisition," *29th International Conference on VLSI Design and 15th International Conference on Embedded Systems (VLSID)*, Kolkata, pp. 230-235, 2016.
- [78] Y. Liu, E. Bonizzoni, A. D'Amato and F. Maloberti, "A 105-dB SNDR, 10 kSps multi-level second-order incremental converter with smart-DEM consuming 280 μW and 3.3-V supply," *Proceedings of the ESSCIRC (ESSCIRC)*, pp. 371-374, 2013.

لیست مقالات مستخرج از پایان نامه

- [1] S. Barati, M. Yavari, "An Automatic Action Potential Detector for Neural Recording Implants," *Circuits Systems And Signal Processing*, Vol. 37, No. 10, PP. 1 - 19, October 2018.
- [2] S. Barati, M. Yavari, "An adaptive continuous-time incremental SD ADC for neural recording implants," *International Journal Of Circuit Theory And Applications*, Vol. 46, No. 11, PP. 1 - 17, November 2018.

Abstract

The wireless neural recording systems are used to recognize the brain's function, treat diseases, and control prosthetics. Optimization of the power consumption and chip area are the main goals in the design of different parts systems.

One of the most important blocks in these systems is the analog-to-digital converter (ADC). The optimization of power consumption and chip area of ADC are the main aims of this research. Incremental sigma-delta ($\Sigma\Delta$) ADC has a very low power consumption and area. Due to the reset of the $\Sigma\Delta$ ADC, it can be easily multiplexed between multiple channels. In this thesis, a continuous-time (CT) $\Sigma\Delta$ ADC with adaptive resolution has been proposed. The resolution of the ADC is changed according to the neural signal content. The ADC digitizes the action potential (AP) and background noise (B-noise) with 8-bit and 3-bit resolutions, respectively. The power consumption is proportional to the resolution and it is reduced significantly because the neural signal content is the B-noise at most of the time.

The proposed structure includes an automatic AP detector to detect APs from the B-Noise for selecting one of the two proportional resolutions. An AP detector circuit was proposed which utilize the $\Sigma\Delta$ modulator of the ADC simultaneously. The proposed AP detector is based on comparing the neural input signal with an analog threshold level. The threshold level is based on the root mean square (RMS) of the input neural signal.

In this thesis, an optimal design method for CT $\Sigma\Delta$ ADC was introduced, which minimizes the power consumption by selecting the appropriate sampling frequency, reset pulse duty cycle, and the ratio of the thermal noise to quantization noise. A CT $\Sigma\Delta$ ADC is designed with the proposed optimized method.

The adaptive CT $\Sigma\Delta$ ADC is implemented in 90 nm CMOS technology with 1 V power supply. The optimized CT $\Sigma\Delta$ ADC is implemented in 180 nm CMOS technology with a 1.8 V power supply. The post-layout simulation results confirm the operation of them with 10 kHz bandwidth while they consume 1.89 μW and 2.96 μW the power, respectively.

Keywords: Incremental sigma-delta ADC, action potential detector, neural signal, background noise



Amirkabir University of Technology
(Tehran Polytechnic)

A proposal for Doctor of Philosophy dissertation
in electrical engineering

**Analysis and Design of Adaptive Analog-to-Digital
Converter for Implantable Neural Recording
Systems**

By:
Saeid Barati

Supervisor:
Dr. Mohammad Yavari

Winter 2019