Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Digital Background Calibration of Interstage Gain and Nonlinearity Errors in Pipelined A/D Converters

By
Saeedeh Yahyaee

Supervisor
Dr.Mohammad Yavari

October 2022

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده برق

پایان‌نامه کارشناسی‌ارشد
گرایش مدارهای مجتمع الکترونیک

کالیبراسیون پس زمینه دیجیتال خطاهای بهره و غیرخطی بین طبقات در مبدل های آنالوگ به دیجیتال Pipeline

نگارش
سعیده یحیایی

استاد راهنما
دکتر محمد یاوری

مهر ۱۴۰۱

به نام خدا

تاریخ:

تعهدنامه اصالت اثر

اینجانب سعیده یحیایی متعهد می شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

سعیده یحیایی

امضا

تقدیم به پدر و مادر عزیزم

تشکر و قدردانی

در آغاز سخن سپاس‌گذار خداوند متعال می‌باشم که امید به او همواره پشتیبان و آرامش‌بخش در زندگی بنده بوده‌است. از زحمات و همراهی بی دریغ مادرم که در تمام مراحل زندگی پشتبان من بوده‌اند، کمال تشکرو قدردانی را دارم. امیدوارم همواره در سلامت و شادی باشند. ازدکتر محمد یاوری بابت تمام زحمات و راهنمایی‌هایشان در طول انجام این پایان‌نامه قدردانی می‌نمایم.

چکیده

مبدل های Pipeline در طیف گسترده‌ای از کاربردها با سرعت (10MS/s تا 500MS/s) و دقتی در حدود (۱۲-۱۰) بیت مورد ا ستفاده قرار می‌گیرند. به دلیل کاهش ابعاد ترانزیستورها و ولتاژ تغذیه و اثرات نا شی از آنها مانند عدم تطابق خازن‌ها، خطای بهره و غیرخطی تقویت کننده دقت آنها به (۸-۱۰) بیت محدود می‌شود بنابراین لازم است که روش‌هایی برای کالیبراسیون مبدل و بهبود کارایی آن در نظر گرفته شود. این روش‌ها عمدتا در حوزه دیجیتال پیاده سازی خواهند شد.

در این پایان نامه یک روش تصحیح پس زمینه دیجیتال ارائه شده ا ست. این روش ترکیبی از روش‌های مبتنی برتغییر ولتاژ آستانه مقایسه‌گر ، هیستوگرام و ویژگی های هندسی منحنی مشخصه انتقالی Backend می‌با شد همچنین تغییرات نا شی از خطاها برروی منحنی م شخ صه انتقالی خروجی مبدل نیز در نظرگرفته می شود. مزیت ا ستفاده ازروش هی ستوگرام ن سبت به تخمین‌گر ماکزیمم و مینیمم حذف مولفه‌های نویزی می‌باشد. همچنین استفاده ترکیبی از چندروش کالیبراسیون به افزایش سرعت، دقت و کاهش قابل توجه سخت‌افزار می‌انجامد.

روش تصحیح پیشنهادی در نرم افزار MATLAB به صورت سیستمی و در نرم افزارهای Cadance، HSPICE به صورت مداری برروی یک مبدل آنالوگ به دیجیتال Pipeline نرخ نایکوئیست با دقت ۱۲ بیت و سرعت 100MS/s درتکنولوژی ۶۵ نانومتر CMOS با ولتاژ تغذیه۱ ولت مورد بررسی قرارگرفته است. با توجه به نتایج حا صل از شبیه سازی مداری، روش پی شنهادی SNDR و SFDR را به ترتیب از مقادیر 30.4 dB و 31.8 dB به 69.3 dB و 81.2 dB بهبود می دهد. همچنین میزان بیت موثر بااستفاده از روش تصحیح از۵ به حدود ۱۱ بیت می‌رسد.

واژه‌های کلیدی:

مبدل آنالوگ به دیجیتال Pipeline، تصحیح پس زمینه مبدل‌های آنالوگ به دیجیتال، خطای بهره تقویت کننده، غیرخطینگی تقویت کننده، عدم تطبیق خازن‌ها.

فهرست مطالب

صفحه

فصل اول مقدمه ۱
۱-۱- مقدمه ۲
۱-۲- اهداف پایان نامه ۴
۱-۳- ساختارپایان نامه ۵
فصل دوم ساختار و مشخصات مبدل‌های آنالوگ به دیجیتال ۶
۲-۱- مقدمه ۷
۲-۲- مبنای عملکرد مبدل‌های آنالوگ به دیجیتال ۷
۲-۲-۱- فیلتر پایین گذر ۸
۲-۲-۲- مدار نمونه بردار ۸
۲-۲-۳- کوانتایزر ۹
۲-۳- ساختارهای مبدل آنالوگ به دیجیتال ۱۰
۲-۳-۱- مبدل آنالوگ به دیجیتال FLASH ۱۰
۲-۳-۲ مبدل آنالوگ به دیجیتال Two-Step ۱۱
۲-۳-۳- مبدل آنالوگ به دیجیتال Pipeline ۱۲
۲-۴- اجزای سازنده مبدل آنالوگ به دیجیتال Pipeline ۱۴
۲-۴-۱ شبکه نمونه بردار ورودی ۱۴
۲-۴-۲-زیر مبدل آنالوگ به دیجیتال ۱۴
۲-۴-۳- مدار MDAC ۱۶
۲-۵- مشخصات مبدل آنالوگ به دیجیتال ۱۷
۲-۵-۱- مشخصات ایستا ۱۸
۲-۵-۲- مشخصات پویا ۱۹
فصل سوم منابع خطا در مبدل‌های Pipeline و روش‌های تصحیح ۲۱
۳-۱- مقدمه ۲۲
۳-۲- منابع خطا در مبدل آنالوگ به دیجیتال Pipeline ۲۲
۳-۲-۱-آفست مقایسه‌گر ۲۲
۳-۲-۲- خطای بهره تقویت کننده ۲۳
۳-۲-۳- خطای DAC ۲۳
۳-۲-۴- غیرخطینگی تقویت‌کننده ۲۴
۳-۳- روشهای تصحیح خطا در مبدلPipeline ۲۴
۳-۳-۱- روش‌های کالیبراسیون آنالوگ ۲۴
۳-۳-۲- روش‌های کالیبراسیون دیجیتال ۲۷

فصل چهارم روش کالیبراسیون پیشنهادی در مبدل‌های آنالوگ به دیجیتال Pipeline ۳۷
۴-۱- مقدمه ۳۸
۴-۲- ساختار MDAC ۳۹
۴-۲-۱- مدل‌سازی MDAC ۳۹
۴-۳- روش کالیبراسیون پیشنهادی ۴۱
۴-۳-۱- بیان ایده روش کالیبراسیون برای حصول ضرایب MDAC ۴۴
۴-۳-۲- تغییر ولتاژ آستانه مقایسه‌گر ۴۶
۴-۳-۳- تخمین گرکد حداقل و حداکثر با استفاده از هیستوگرام ۴۷
فصل پنجم پیاده‌سازی روش کالیبراسیون پیشنهادی ۴۹
۵-۱- مقدمه ۵۰
۵-۲- طراحی اجزای سازنده مبدل Pipeline ۵۰
۵-۲-۱- تعیین ظرفیت خازن‌های طبقات مبدل ۵۱
۵-۲-۲- نحوه حذف مدار نمونه بردار ورودی ۵۲
۵-۲-۳- طراحی تقویت کننده ۵۳
۵-۲-۴- طراحی مقایسه‌گرها ۵۷
۵-۲-۵-کلیدهای Bootstrapped ۵۹
۵-۲-۶- طراحی Decoder و تسهیم‌کننده ۶۰
۵-۳- تعیین ولتاژ مرجع ۶۲
۵-۴- شبیه سازی سیستمی ۶۴
۵-۵- شبیه سازی مداری ۶۵
۵-۵-۱- بررسی عملکردالمان‌های مداری ۶۶
۵-۵-۲- بررسی عملکرد مبدل آنالوگ به دیجیتال Pipeline ۶۹
۵-۶- مقایسه مبدل آنالوگ به دیجیتال Pipeline ۷۲
۵-۷- خلاصه ۷۳
فصل ششم نتیجه‌گیری و پیشنهادات ۷۴
۶-۱- نتیجه‌گیری ۷۵
۶-۲- پیشنهادات ۷۵

فهرست شکل‌ها

صفحه

شکل (۲-۱): بلوک دیاگرام مبدل آنالوگ به دیجیتال ۷
شکل (۲-۲): مشخصه کوانتایزر n بیتی ۱۰
شکل (۲-۳): مبدل آنالوگ به دیجیتال Flash ۱۱
شکل (۲-۴): مبدل آنالوگ به دیجیتال Two-Step. ۱۲
شکل (۲-۵): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال Pipeline. ۱۳
شکل (۲-۶): مقایسه‌گر تزویج خازنی ۱۵
شکل (۲-۷): ساختار MDAC الف)CNFA و ب)CFA برای طبقه ۱/۵ بیتی ۱۶
شکل (۲-۸): معیارهای ایستا در مبدل آنالوگ به دیجیتال. ۱۸
شکل (۳-۱): اثر آفست برروی مشخصه انتقالی الف) بدون افزونگی ب) با افزونگی ۲۳
شکل (۳-۲): الف) اثر خطای بهره ب) خطای DAC ج) غیرخطینگی برمنحنی مشخصه انتقالی ۲۴
شکل (۳-۳): مراحل اصلاح خطا به روش ضرب نسبت مستقل خازن‌ها ۲۶
شکل (۳-۴): اصلاح آنالوگ به روش تنظیم خازن‌ها ۲۷
شکل (۳-۵): اصلاح خطای مبدل Pipeline با روش مبتنی بر همبستگی ۲۸
شکل (۳-۶): روش مبتنی بر یکسان سازی ۲۹
شکل (۳-۷): الگوریتم تصحیح ارائه شده در ، الف) مشخصه ایدهآل و واقعی مبدل و سیگنال‌های تصحیح اعمالی و ب) نحوه همگرایی با استفاده از الگوریتم ۳۰
شکل (۳-۸): نحوه چیدمان مقایسه‌گرهای طبقه ۱/۵ بیتی در ۳۱
شکل (۳-۹): الف) منحنی مشخصه و ب) تابع انتقالی روش ارائه شده در ۳۲
شکل (۳-۱۰): اثر خطای بهره روی الف) مشخصه خروجی مبدل و ب) مشخصه خروجی طبقه ۳۳
شکل (۳-۱۱): هیستوگرام خروجی الف) ایده آل و ب) با خطای بهره ۳۴
شکل (۳-۱۲): هیستوگرام کدهای مبدل حول نقاط تصمیمگیری ۳۴
شکل (۳-۱۳): مشخصه و هیستوگرام خروجی در دو حالت 0 و 1. ..... ۳۵
شکل (۴-۱): مدار سوئیچ شونده خازنی طبقه ۱/۵ بیت با ساختار CNFA ۴۰

شکل (۴-۲): منحنی مشخصه خروجی طبقه ۱/۵ بیتی همراه تقسیم نواحی ۴۱
شکل (۴-۳): نقاط تصمیم‌گیری ، محل شکست منحنی مشخصه انتقالی Backend..... ۴۲
شکل (۴-۴): نحوه محاسبه شیب منحنی مشخصه انتقالی مبدل Backend ۴۴
شکل (۴-۵): نمایش نحوه انتقال حداکثرکد منحنی مشخصه در ناحیه ii ۴۵
شکل (۴-۶): نحوه تغییر ولتاژ آستانه مقایسه‌گرها به وسیله سیگنال کنترلی ۴۶
شکل (۴-۷): بلوک دیاگرام تخمین‌گر حداقل و حداکثر ۴۷
شکل (۵-۱): مدل نویز حرارتی مدار MDAC الف) در فاز نمونه برداری ب) در فاز تقویت ۵۱
شکل (۵-۲): دو مسیر موجود در طبقه اول در فاز نمونه برداری ۵۳
شکل(۵-۳): تقویت‌کننده استفاده شده در مبدل Pipeline ۵۴
شکل (۵-۴): نویز ارجاع یافته به ورودی تقویت‌کننده طبقه اول..... ۵۶
شکل (۵-۵): نمایش الف) ساختار مقایسه‌گر استفاده شده و ب) نحوه تولید ولتاژ آستانه مقایسه‌گر توزیع بار ۵۸
شکل (۵-۶): ساختار سوئیچ Bootstrapped مورد استفاده در مبدلpipeline ۵۹
شکل (۵-۷): ساختار ۱/۵ بیتی الف) ساختار Flash و ب) کدکننده ۶۰
شکل (۵-۹): تسهیم کننده ۱/۵ بیتی..... ۶۱
شکل (۵-۱۰): ساختار الف) Flash ۲بیتی و ب) کدکننده ۲بیتی ۶۲
شکل (۵-۱۱): ساختار الف) NOT و ب) NAND ۶۳
شکل (۵-۱۲): طیف خروجی ناشی از شبیه سازی سیستمی مبدل Pipeline بدون اعمال روش تصحیح پیشنهادی. ۶۵
شکل (۵-۱۳): طیف خروجی نا شی از شبیه سازی سیستمی مبدل Pipeline با اعمال روش تصحیح پیشنهادی. ۶۶
شکل (۵-۱۴): منحنی الف) بهره و ب) فاز و ج) پاسخ پله تقویت‌کننده طبقه اول ۶۷
شکل (۵-۱۵): طیف خروجی تقویت‌کننده طبقه اول ۶۷
شکل (۵-۱۶): آزمون Overdrive برای مقایسه‌گر..... ۶۸
شکل (۵-۱۷): طیف خروجی مدار نمونه‌بردار با استفاده از سوییچ طراحی شده Bootstrapped..... ۶۹

شکل (۵-۱۸): طیف خروجی مبدل آنالوگ به دیجیتال Pipeline قبل از اعمال روش تصحیح ۷۰
شکل (۵-۱۹): طیف خروجی مبدل آنالوگ به دیجیتال Pipeline بعد از اعمال روش تصحیح ۷۱
شکل (۵-۲۰): تغییرات SNDR و SFDR بر مبنای فرکانس سیگنال ورودی ۷۱

فهرست جدول‌ها

صفحه

جدول(۵-۱): ظرفیت خازن‌های نمونه برداری طبقات مبدل Pipeline ۵۲
جدول (۵-۲): مشخصات المان‌های تقویت‌کننده ۵۶
جدول (۵-۳): ابعاد المان‌های مقایسه‌گر ۵۸
جدول (۵-۴): مشخصات المان‌های سوییچ Bootstrapped ۶۰
جدول (۵-۵): ابعاد المان‌های مورد استفاده درتسهیم‌کننده ۶۱
جدول (۵-۶): نسبت خازن‌های مدار تزویج خازنی مقایسه‌گرها ۶۳
جدول (۵-۷): ابعاد المان‌های مورد استفاده در NOT و NAND ۶۴
جدول (۵-۸): جدول درستی دیکدرها و تسهیم‌کننده ۶۴
جدول (۵-۹): مقایسه انواع روش‌های تصحیح ۷۲

واژه نامه

پس‌زمینه‌ای	Background
همبستگی	Correlation
تبدیل	Conversion
پویا	Dynamic
تعداد بیت موثر	Effective Number of Bits
بر مبنای همسان سازی	Equalization-Based
نویز فلیکر	Flicker Noise
پیش‌زمینه	Foreground
شکاف	Gap
نهفتگی	Latancy
نشت	Leakage
نرخ نایکوئیست	Nyquist rate
پیش‌نمونه برداری	Oversampling
نویز شبیه تصادفی	Psedue Random Noise
ولتاژ باقی‌مانده	Residue Voltage
نمونه‌برداری و نگهداری	Sample and Hold
تقویت کننده نمونه بردار و نگهدار	Sample and Hold Amplifire
نشست	Settle
زمان نشست	Settling time
ایستا	Static

زیرمبدل آنالوگ به دیجیتال	Sub-ADC
زیرمبدل دیجیتال به آنالوگ	Sub-DAC
مدار سوئیچ شونده‌خازنی	Switch Capacitor Circuit
کدحرارتی	Thermometer Code
دنبال کننده و نگهدار	Track and Hold
باندگذر	Transition Band

مراجع

[1] B. Razavi, "*Principles of data conversion system design*," IEEE press New York, 1995.

[2] M. J. Pelgrom, "*Analog-to-digital conversion*," in Analog-to-Digital Conversion: Springer, 2013, pp. 325-418.

[3] M. Liu, K. Lian, Y. Huang, R. Ma, and Z. Zhu, "A 12-bit 200MS/s pipeline ADC with 91 mW power and 66 dB SNDR," *Microelectronics Journal*, vol. 63, pp. 104-111, Mar.2017.

[4] M. Naderi Alizadeh, "*Low-Power Slew-Rate Boosting Based 12-Bit Pipeline ADC Utilizing Forecasting Technique in the Sub-ADCS*," Ph.D. dissertation, Texas A&M University, May.2019.

[5] L. Brooks and H.-S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, pp. 2969-2979, Oct.2008.

[6] D. A. Johns and K. Martin, "*Analog integrated circuit design*", John Wiley & Sons, 2008.

[7] F. Maloberti, "*Data converters specifications*", Springer, 2007.

[8] M. Yavari., "*Data Converters*," Class Notes, Amirkabir University of Technology, 2020.

[9] P. Gholami and M. Yavari, "Digital background calibration with histogram of decision points in pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, pp. 16-20, Jan.2017.

[10] B. D. Sahoo and B. Razavi, "A 12-bit 200-mhz cmos adc," *IEEE journal of solid-state circuits*, vol. 44, pp. 2366-2380, Sep.2009.

[11] M. Yavari, "*Low-Voltage High-Performance Sigma-Delta Modulators for Broadband Applications*," Ph.D. dissertation, Tehran University, July 2006.

[12] P. Wai, M. Chin, P. Gray, and R. Castello, "A ratio independent algorithmic A/D conversion technique," in 1984 *IEEE International Solid-State Circuits Conference*. Digest of Technical Papers, vol. 27, pp. 62-63, Feb.1984.

[13] B.-S. Song, M. F. Tompsett, and K. R. Lakshmikumar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 1324-1333, Jun.1988.

[14] Y.-M. Lin, B. Kim, and P. R. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-mu m CMOS," *IEEE Journal of Solid-State Circuits* ,vol. 26, pp. 628-636, Apr.1991.

[15] A. M. Ali et al., "A 14 bit 1 GS/s RF sampling pipelined ADC with background calibration," *IEEE Journal of Solid-State Circuits*, vol. 49, pp. 2857-2867, Dec.2014.

[16] B.-N. Fang and J.-T. Wu, "A 10-bit 300-MS/s pipelined ADC with digital calibration and digital bias generation," *IEEE Journal of Solid-State Circuits*, vol. 48, pp. 670-683, Mar.2012.

[17] A. Panigada and I. Galton, "Digital background correction of harmonic distortion in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, pp. 1885-1895, Sep.2006.

[18] N. Rakuljic and I. Galton, "Suppression of quantization-induced convergence error in pipelined ADCs with harmonic distortion correction," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, pp. 593-602, Mar.2012.

[19] C.-P. Yan, G.-J. Li, and Q. Li, "A fast correlation based background digital calibration for pipelined ADCs," *in 2012 IEEE Asia Pacific Conference on Circuits and Systems*, pp. 579-582, Dec.2012.

[20] Y. Chiu, C. W. Tsang, B. Nikolic, and P. R. Gray, "Least mean square adaptive digital background calibration of pipelined analog-to-digital converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, pp. 38-46, Jan.2004.

[21] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A predetermined LMS digital background calibration technique for pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, pp. 841-845, Sep.2015.

[22] S. Sarkar, Y. Zhou, B. Elies, and Y. Chiu, "PN-assisted deterministic digital background calibration of multistage split-pipelined ADC," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, pp. 654-661, Mar.2015.

[23] A. Verma and B. Razavi, "A 10-bit 500-ms/s 55-mw cmos adc," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 3039-3050, Nov.2009.

[24] B. Zeinali, T. Moosazadeh, M. Yavari, and A. Rodriguez-Vazquez, "Equalization-based digital background calibration technique for pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, pp. 322-333, Nov.2013.

[25] L. Shi, W. Zhao, J. Wu, and C. Chen, "Digital background calibration techniques for pipelined ADC based on comparator dithering," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, pp. 239-243, Apr.2012.

[26] N. Sun, "Exploiting process variation and noise in comparators to calibrate interstage gain nonlinearity in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 59, pp. 685-695, Apr.2012.

[27] A. Chegeni, K. Hadidi, and A. Khoei, "A histogram-based background interstage error estimation and implementation method in pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, pp. 1519-1523, Nov.2017.

[28] S.-H. W .Chiang, H. Sun, and B. Razavi, "A 10-bit 800-mhz 19-mw CMOS adc," *IEEE Journal of Solid-State Circuits*, vol. 49, pp. 935-949, Apr.2014.

[29] T. Moosazadeh and M. Yavari, "A calibration technique for pipelined ADCs using self-measurement and histogram-based test methods," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, pp. 826-830, Sep.2015.

[30] T.-C. Hung, F.-W. Liao, and T.-H. Kuo, "A 12-bit time-interleaved 400-MS/s pipelined ADC with split-ADC digital background calibration in 4,000 conversions/channel," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, pp. 1810-1814, Nov.2019.

[31] O. Oliaei, "Thermal noise analysis of multi-input SC-integrators for delta-sigma modulator design," *in 2000 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2000, vol. 4: IEEE, pp. 425-428.

[32] L. Toth, I. Yusim, and K. Suyama, "Noise analysis of ideal switched-capacitor networks," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 46, no. 3, pp. 349-363, 1999.

[33] P. T. Kwok and H. C. Luong, "Power optimization for pipeline analog-to-digital converters," *IEEE transactions on circuits and systems II: Analog and digital signal processing*, vol. 46, pp. 549-553, Jun.1999.

[34] L. Kong, An 11-bit 20MS/s Pipelined Analog-to-Digital Converter with Op Amp Sharing. University of California, Los Angeles, 2013.

[35] E. Siragusa and I. Galton, "*A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC*," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 2126-2138, Dec.2004.

[36] D.-Y. Chang, "Design techniques for a pipelined ADC without using a front-end sample-and-hold amplifier," *IEEE transactions on circuits and systems I: regular papers*, vol. 51, pp. 2123-2132, Nov.2004.

[37] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio/spl Delta//spl Sigma/modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 349-355, Mar.2001.

[38] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 599-606, May.1999.

[39] J. M. Ingino and B. A. Wooley, "A continuously calibrated 12-b, 10-MS/s, 3.3-VA/D converter," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 1920-1931, Dec.1998.

[40] J. Li and U.-K. Moon, "Background calibration techniques for multistage pipelined ADCs with digital redundancy," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, pp. 531-538, Sep.2003.

[41] H. Mafi, M. Yargholi, and M. Yavari, "Digital blind background calibration of imperfections in time-interleaved ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, pp. 1504-1514, Jun.2017.

[42] H. Mafi, M. Yargholi, and M. Yavari, "Statistics-based digital background calibration of residue amplifier nonlinearity in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, pp. 4097-4109, Dec.2018.

[43] H. Mafi, M. Yavari, and S. S. Behzadi, *"Digital background calibration of residue amplifier non-idealities in pipelined ADCs," Circuits, Systems, and Signal Processing*, vol. 35, pp. 3675-3699, Sep.2016.

[44] M. Mirzahosseini and M. Yavari, "A Digital Background Calibration Technique for Pipelined ADCs Using Initial Estimation of Errors and Histogram-Base Methods," *Journal of Iranian Association of Electrical and Electronics Engineers*, vol. 18, pp. 79-96, Apr.2021.

[45] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A single channel split ADC structure for digital background calibration in pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, pp. 1563-1567, Apr.2017.

[46] A. Panigada and I. Galton, "A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 3314-3328, Dec.2009.

[47] C. Ravi, T. Rahul, and B. Sahoo, "Histogram based deterministic digital background calibration for pipelined ADCs," *in 2014 27th International Conference on VLSI Design and 2014 13th International Conference on Embedded Systems, 2014: IEEE*, pp. 569-574.

Abstract

Pipelined Analog to Digital Converters are widley used in applications with 10 to 12 bits resolution and 10 to 500 MS/s convertion rates. Due to decrease the size of demension and supply voltage and the effects caused by them, such as the capacitor mismatch, gain and nonlinearity error of amplifier, their accuracy is limited to 8-10 bits. So it's necessary to consider methods for calibration Analog to Digital Converter and improving their efficiency. These methods were usually implemented in the digital field.

In this thesis, a digital background correction method is presented. This method is a combination of methods based on the change in the threshold voltage of the comparator, histogram, and the geometric characteristics of the backend transfer characteristic curve. Also, the changes caused by errors on the converter output transfer characteristic curve are also considered.

Calibration method Behavioral simulation voltage in MATLAB software. And, circuit simulation is also performed in Cadence and HSPICE softwares is applied on Pipelined ADC with 12bit resolution and 100 MS/s sampling rate in 65 nanometer CMOS technology with 1 *V* supply voltage. Simulation results shows that porposed calibration technique improved SNDR and SFDR from 30.4 dB and 31.8 dB to 69.3 dB and 81.2 dB respectively. Also ENOB in presense calibration methode improve from 5 bit to 11 bit.

Key Words: Pipelined ADC, digital background calibration of analoge to digital converter, gain error of amplifier, nonlinearity of amplifier, capacitor mismatch.

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Digital Background Calibration of Interstage Gain and Nonlinearity Errors in Pipelined A/D Converters

By
Saeedeh Yahyaee

Supervisor
Dr.Mohammad Yavari

October 2022