Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and simulation of a Very Low-Power Successive Approximation Register (SAR) Analog to Digital Converter for Biomedical Applications

By:
Reza Inanlou

Under Supervision of:
Dr. Mohammad Yavari

Jan. 2012

دانشگاه صنعتی امیرکبیر

(پلی‌تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

(گرایش الکترونیک-میکروالکترونیک)

طراحی و شبیه‌سازی یک مبدل آنالوگ به دیجیتال با معماری SAR و توان بسیار پایین برای کاربردهای مهندسی پزشکی

نگارش:

رضا اینانلو

استاد راهنما:

دکتر محمد یاوری

اسفند ۱۳۹۱

بسم الله الرحمن الرحيم

تقدیم به

مادرم مهربانم

تشکر و قدردانی

در آغاز لازم می‌دانم از زحمات استاد بزرگوارم جناب آقای دکتر محمد یاوری که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، کمال تشکر و قدردانی را داشته باشم. همچنین از زحمات دوستان عزیزم، آقایان توحید موسی‌زاده، حسین پاک نیت، سید محسن شاه قاسمی، مرتضی مجرد، علی جمالی، بهزاد زینلی، سید علی شفتی، خانم نجمه حاج امینی، سید سجاد گلابی، بابک مذهب جعفری، میثم اصغری و سایر دوستان آزمایشگاه طراحی مدارهای مجتمع تشکر می‌نمایم که از تجربیاتشان، بنده را بهره‌مند ساختند و از خداوند متعال، موفقیت و سعادتشان را خواستارم. ضمن آنکه از آقای دکتر حاج صادقی و آقای دکتر خاتمی که اساتید دفاع این پایان‌نامه بودند، سپاسگزاری می‌کنم.

در نهایت از کمیته نانو به دلیل حمایت مالی در انجام این پایان‌نامه سپاسگزارم و پیشرفت روز افزون این کمیته را آرزومندم.

چکیده

مبدل‌های آنالوگ به دیجیتال[1] یکی از بلوک‌های اصلی سیستم‌های پردازش سیگنال بوده که بخش اعظمی از توان مصرفی سیستم را به خود اختصاص می‌دهد. بنابراین برای افزایش طول عمر قطعات در کاربردهایی با انرژی محدود مثل ادوات پزشکی قابل کاشت، تجهیزات قابل حمل و شبکه‌های سنسوری بی-سیم لازم است که توان مصرفی مبدل آنالوگ به دیجیتال حداقل شود. اخیرا مبدل آنالوگ به دیجیتال Successive Approximation Register (SAR) به خاطر سادگی ساختار و توان مصرفی بسیار پایین بیشتر مورد توجه واقع شده است. این نوع مبدل به صورت وسیع در کاربردهایی که نیاز به دقتی در محدوده ۸ تا ۱۲ بیت و سرعتی در بازه چند ده هرتز تا چند ده مگاهرتز را دربر دارد، مورد استفاده قرار می‌گیرد. متاسفانه دستیابی به دقت‌های بالای ۱۰ بیت، به خاطر محدود بودن دقت بلوک‌های مداری مبدل با چالش روبرو می-شود. از طرفی برای دقت‌های بالا چون توان مصرفی مبدل SAR افزایش می‌یابد بنابراین درجه شایستگی[2] مبدل عملا کاهش می‌یابد.

بر این اساس در این پایان‌نامه، ضمن کاهش توان مصرفی مبدل روشی برای بهبود دقت آن نیز پیشنهاد داده شده است. در مبدل آنالوگ به دیجیتال SAR توان مصرفی مبدل دیجیتال به آنالوگ[3] به صورت نمایی با افزایش رزولوشن مبدل افزایش یافته و چون این توان متناسب با مجذور ولتاژ مرجع می‌باشد، لذا برای کاهش توان مصرفی، در ساختارهای پیشنهادی ولتاژ تغذیه نصف مقدار نامی تکنولوژی مورد استفاده انتخاب شده است. بدیهی است که کاهش ولتاژ تغذیه منجر به کاهش سوئینگ مدار شده و در نتیجه آن نسبت سیگنال به نویز[4] مبدل کاهش می‌یابد. بنابراین برای جبران اثر آن یک مقایسه‌گر دینامیک با ورودی Rail-to-Rail پیشنهاد داده شده است. سپس برای تایید کارایی مقایسه‌گر یک مبدل SAR بر مبنا آن طراحی و شبیه‌سازی گردید به طوری که توان مصرفی مبدل حدود 400 nW حاصل شد. در ادامه ساختاری جدید برای افزایش دقت مبدل با استفاده از تکنیک شکل‌دهی نویز پیشنهاد گردید. ابتدا شبیه‌سازی سیستمی روش پیشنهادی با نرم افزار MATLAB انجام شده و سپس، به منظور اثبات عملکرد مناسب روش ارائه شده، دو مبدل SAR با رزولوشن و فرکانس بیش نمونه‌برداری متفاوت در تکنولوژی ۹۰ نانومتر CMOS با ولتاژ تغذیه ۰/۵ ولت طراحی و شبیه‌سازی گردیده است. شبیه‌سازی‌های مداری به کمک نرم‌افزار HSPICE و CADENCE انجام پذیرفت. با استفاده از روش پیشنهادی، دقت مبدل از مقادیر ۵ و ۸ بیت به ترتیب به مقادیر ۹/۵۷ و ۱۰/۶۸ بیت ارتقا داده شدند. همچنین برای حالت ۵ بیتی، خازن مصرفی مبدل در مقایسه با یک مبدل معمولی ۱۰ بیتی % 96.8 کاهش داده شده است.

کلمات کلیدی: مبدل آنالوگ به دیجیتال SAR، مقایسه‌گر با ورودی Rail-to-Rail، شکل‌دهی نویز[5] و بیش نمونه‌برداری[6].

---

[1] Analog to Digital Converter
[2] Figure Of Merit
[3] Digital to Ananlog Converter
[4] Signal to Noise Ratio
[5] Noise Shaping
[6] Oversampling

فهرست مطالب

چکیده ..... أ

فهرست مطالب ..... ب

فهرست شکل‌ها ..... د

فهرست جداول ..... ز

فصل اول: مقدمه ۱۱

۱-۱ انگیزه ۱

۱-۲ هدف پایان‌نامه ۲

۱-۳ ساختار پایان‌نامه ۲

فصل دوم: مروری بر مبدل‌های آنالوگ به دیجیتال ۳

۲-۱ مقدمه ۳

۲-۲ اساس مبدل‌های آنالوگ به دیجیتال ۳

۲-۲-۱ فیلتر Anti-aliasing ۴

۲-۲-۲ مدار نمونه‌بردار ۴

۲-۲-۳ کوانتایزر ۵

۲-۲-۴ فیلتر دیجیتال ۸

۲-۳ معیارهای عملکردی مبدل‌های آنالوگ به دیجیتال ۸

۲-۴ مبدل آنالوگ به دیجیتال سیگما-دلتا ۱۰

۲-۵ انواع مبدل‌های آنالوگ به دیجیتال نرخ نایکوئیست ۱۱

۲-۵-۱ مبدل آنالوگ به دیجیتال Flash ۱۱

۲-۵-۲ مبدل آنالوگ به دیجیتال دو مرحله‌ای (Two-Step) ۱۲

۲-۵-۳ مبدل آنالوگ به دیجیتال Pipeline ۱۳

۲-۵-۴ مبدل آنالوگ به دیجیتال SAR ۱۴

فصل سوم: مبدل آنالوگ به دیجیتال SAR ۱۶

۳-۱ بررسی مبدل SAR از لحاظ پردازش سیگنال ۱۶

۳-۲ نحوه کار مبدل آنالوگ به دیجیتال SAR ۱۷

۳-۳ اجزای تشکیل دهنده مبدل آنالوگ به دیجیتال SAR ۲۰

۳-۳-۱ مدار نمونه‌بردار ۲۰

۳-۳-۲ مدار مقایسه‌گر ۲۱

۳-۳-۳ رجیستر تقریب متوالی (SAR) ۲۴

۳-۳-۴ مبدل دیجیتال به آنالوگ ۲۷

۳-۳-۴-۱ مبدل دیجیتال به آنالوگ خازنی باینری وزن‌دار معمولی (CBWDAC) ۲۸

۳-۳-۴-۲ DAC خازنی باینری وزن‌دار با خازن‌های تفکیک شده (SBWDAC) ۲۹

۳-۴ مروری بر کارهای انجام شده در مبدل‌های آنالوگ به دیجیتال SAR ۳۲

۳-۴-۱عملکرد مبدل SAR از لحاظ توان مصرفی، سرعت و رزولوشن ۳۲
فصل چهارم: ساختارهای پیشنهادی برای مبدل SAR ۳۷
۴-۱ چالش‌های طراحی مدار در ولتاژ تغذیه پایین ۳۷
۴-۲ انتخاب ولتاژ تغذیه ۳۸
۴-۳ مقایسه‌گر پیشنهادی با ورودی Rail-to-Rail ۳۹
۴-۳-۱تست Overdrive ۴۱
۴-۳-۲ اندازه‌گیری ولتاژ آفست ارجاع داده شده به ورودی مقایسه‌گر ۴۲
۴-۴ طراحی اجزای سازنده مبدل شبیه‌سازی شده ۴۵
۴-۴-۱ مبدل آنالوگ به دیجیتال ۴۵
۴-۴-۲ طراحی مدار S/H ۴۶
۴-۴-۳ طراحی مدار بوست‌کننده ۴۷
۴-۴-۴ منطق دیجیتال SAR ۴۹
۴-۴-۵ نتایج شبیه‌سازی ۴۹
۴-۵ ساختار پیشنهادی برای افزایش دقت مبدل SAR ۵۱
۴-۵-۱ نحوه استخراج خطای کوانیزاسیون در مبدل SAR ۵۳
۴-۶ طراحی اجزای سازنده مبدل ۵۶
۴-۶-۱ آرایه خازنی ۵۶
۴-۶-۲ طراحی OTA ۶۲
۴-۶-۳ طراحی سوئیچ‌ها ۶۶
۴-۶-۳-۱ سوئیچ‌های آرایه خازنی ۶۶
۴-۶-۳-۲ سوئیچ‌های فیلتر FIR ۶۷
۴-۶-۴ مقایسه‌گر ۶۹
۴-۶-۵ منطق دیجیتال SAR ۶۹
۴-۷ آنالیز نویز ۷۰
۴-۸ نتایج شبیه‌سازی ۷۱
۴-۹ طرح پیشنهادی با خازن مصرفی کاهش یافته ۷۲
۴-۹-۱ نتایج شبیه‌سازی ۷۵
۴-۱۰ مقایسه ۷۶
۴-۱۱ خلاصه ۷۸
فصل پنجم: نتیجه‌گیری و پیشنهادات ۷۹
۵-۱ نتیجه‌گیری ۷۹
۵-۲ پیشنهادات ۷۹
مراجع ۸۱

فهرست شکل‌ها

شکل (۲- ۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال. ۴
شکل (۲- ۲): ساده‌ترین مدار نمونه‌بردار. ۵
شکل (۲- ۳): منحنی انتقالی کوانتایزر n بیتی. ۶
شکل (۲- ۴): مدل کوانتایزر. ۷
شکل (۲- ۵): (الف) منحنی انتقالی ایده‌آل مبدل، (ب) خطای آفست، (ج) خطای بهره و (د) غیرخطینگی *DNL* و *INL* ۹
شکل (۲- ۶): ساختار مبدل سیگما-دلتا. ۱۰
شکل (۲- ۷): ساختار مدولاتور سیگما-دلتا. ۱۱
شکل (۲- ۸): مبدل آنالوگ به دیجیتال Flash. ۱۲
شکل (۲-۹): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال دو مرحله‌ای. ۱۳
شکل (۲- ۱۰): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال Pipeline. ۱۴
شکل (۲- ۱۱): مبدل SAR. ۱۴
شکل (۳- ۱): تخصیص کلاک در پردازش سنکرون ۱۷
شکل (۳- ۲): تخصیص کلاک در پردازش نیمه‌سنکرون. ۱۷
شکل (۳- ۳): ساختارمبدل SAR معمولی. ۱۸
شکل (۳- ۴): فلوچارت مربوط به پروسه استخراج بیت‌ها. ۱۹
شکل (۳- ۵): (الف) مدار نمونه‌بردار حوزه ولتاژ، (ب) مدار نمونه‌بردار حوزه جریان [16]، (ج) مدار نمونه‌بردار حوزه زمان. ۲۰
شکل (۳- ۶): مدار نمونه‌بردار به همراه مدار بوست‌کننده. ۲۱
شکل (۳- ۷): (الف) مقایسه‌گر نوع جریان، (ب) مقایسه‌گر حوزه زمان (ج) مقایسه‌گر حوزه ولتاژ (از نوع لچ شونده). ۲۲
شکل (۳- ۸): مقایسه‌گر حلقه باز. ۲۳
شکل (۳- ۹): مقایسه‌گر لچ‌شونده با پیش‌تقویت‌کننده. ۲۳
شکل (۳- ۱۰): مقایسه‌گر تمام دینامیک. ۲۳
شکل (۳- ۱۱): منطق دیجیتال پیشنهاد داده شده توسط Anderson ۲۴
شکل (۳- ۱۲): ساختار Nonredundan SAR. ۲۵
شکل (۳- ۱۳): (الف) بیت‌های خروجی به ازای Comp=0، (ب) بیت‌های خروجی به ازای Comp=1 ..... ۲۵
شکل (۳- ۱۴): DAC معمولی باینری وزن‌دار. ۲۸
شکل (۳- ۱۵): ساختار Split معمولی. ۳۰

شکل (۳- ۱۶): ساختار Split با خازن تضعیف‌کننده. ۳۱
شکل (۴- ۱): طیف خروجی حاصل از شبیه‌سازی سیستمی به ازای ولتاژ تغذیه ۰/۵ ولت. ۳۹
شکل (۴- ۲): مقایسه‌گر پیشنهادی. ۴۰
شکل (۴- ۳): تست Overdrive مقایسه‌گر. ۴۱
شکل (۴- ۴): مدار معادل برای تخمین نویز Kick-Back. ۴۲
شکل (۴- ۵): ولتاژ آفست ارجاع داده شده به ورودی. ۴۲
شکل (۴- ۶): هیستوگرام آفست ارجاع داده شده به ورودی. ۴۳
شکل (۴- ۷): بهره دینامیک هر طبقه. ۴۴
شکل (۴- ۸): طراحی یک مبدل SAR بر اساس مقایسه‌گر پیشنهادی. ۴۵
شکل (۴- ۹): مدار اینورتر. ۴۶
شکل (۴- ۱۰): مدار بوست‌کننده معرفی شده در [57]. ۴۸
شکل (۴- ۱۱): (الف) تخلیه بار به خاطر جریان DC بار، (ب) شکل موج‌های خروجی مدار بوست‌کننده.. ۴۸
شکل (۴- ۱۲): نتیجه شبیه‌سازی مدار بوست‌کننده. ۴۹
شکل (۴- ۱۳): طیف خروجی مبدل. ۵۰
شکل (۴- ۱۴): منحنی ERBW مبدل. ۵۰
شکل (۴- ۱۵): ساختار پشنهادی در سطح سیستم. ۵۱
شکل (۴- ۱۶): منحنی مشخصه SQNR برحسب دامنه سیگنال ورودی به ازای رزولوشن ۸ بیت و OSR=8 ..... ۵۲
شکل (۴- ۱۷): یک مبدل SAR معمولی با رزولوشن m بیت. ۵۳
شکل (۴- ۱۸): مثالی از نحوه استخراج خطای کوانتیزاسیون برای یک مبدل SAR ۳ بیتی. ۵۴
شکل (۴- ۱۹): (الف) ساختار کامل طرح پیشنهادی در سطح مدار با مبدل SAR ۸ بیتی، (ب) دیاگرام زمان بندی. ۵۵
شکل (۴- ۲۰): مدل استفاده شده برای آنالیز سیستمی خطای DAC. ۵۷
شکل (۴- ۲۱): ساختار Split اصلاح شده. ۵۸
شکل (۴- ۲۲): مدار معادل مورد استفاده برای آنالیز نویز فیلتر FIR. ۶۲
شکل (۴- ۲۳): نسبت سیگنال به نویز کوانتیزاسیون (SQNR) برحسب بهره حلقه باز OTA. ۶۳
شکل (۴- ۲۴): (الف) مدار تقویت‌کننده، (ب) مدار بایاس، (ج) مدار فیدبک مد مشترک. ۶۵
شکل (۴- ۲۵): منحنی پاسخ فرکانسی تقویت‌کننده در دمای 27 °C @ TT. ۶۵
شکل (۴- ۲۶): سوئیچ‌های صفحات پایینی خازن‌ها. ۶۷
شکل (۴- ۲۷): (الف) گیت منطقی NOR، (ب) گیت منطقی NAND. ۶۷

شکل (۴- ۲۸): (الف) فیلتر FIR ، (ب) نحوه تزریق بار سوئیچ‌های S_{C5-8}، (ج) پیاده‌سازی سوئیچ‌های $S_{S1,2}$، S_{C1-8} و S_{r1-4}. ۶۸
شکل (۴- ۲۹): (الف) منطق دیجیتال، (ب) نحوه کنترل خازن‌های مانده C_{ri}. ۷۰
شکل (۴- ۳۰): (الف) منطق دیجیتال، (ب) نحوه کنترل خازن‌های مانده C_{ri}. ۷۰
شکل (۴- ۳۱): منحنی مشخصه نویز OTA. ۷۱
شکل (۴- ۳۲): (الف) طیف مبدل بدون درنظر گرفتن نویز حرارتی در حالت TT@ 27 °C. ۷۲
شکل (۴- ۳۳): (الف) طرح پیشنهادی با خازن مصرفی کاهش یافته، (ب) دیاگرام زمان بندی مبدل..... ۷۳
شکل (۴- ۳۴): بدترین حالت خطای DNL. ۷۴
شکل (۴- ۳۵): مدار دیکدر باینری به کد حرارتی..... ۷۵
شکل (۴- ۳۶): طیف مبدل در TT@ 27 °C..... ۷۶

فهرست جداول

جدول (۳- ۱): الگوریتم SAR برای ADC ۸ بیتی. ۱۹
جدول (۳- ۲): مربوط به جدول صحت ساختار Nonredundan SAR. ۲۵
جدول(۳- ۳): مقایسه عملکرد ساختار Split با DAC معمولی. ۳۱
جدول (۴- ۱): ابعاد ترانزیستورهای مقایسه‌گر..... ۴۰
جدول (۴- ۲): عملکرد مقایسه‌گر در گوشه‌های تکنولوژی. ۴۴
جدول (۴- ۳): ابعاد سوئیچ‌ها. ۴۷
جدول (۴- ۴): ابعاد ترانزیستورهای مدار بوست‌کننده. ۴۹
جدول (۴- ۵): عملکرد مبدل در گوشه‌های تکنولوژی. ۵۱
جدول (۴- ۶): عملکرد تقویتکننده در گوشه‌های تکنولوژی. ۶۵
جدول (۴- ۷): ابعاد ترانزیستورهای تقویت‌کننده. ۶۶
جدول (۴- ۸): ابعاد سوئیچ‌ها و گیتهای منطقی. ۶۷
جدول (۴- ۹): ابعاد سوئیچ‌های FIR. ۶۸
جدول (۴- ۱۰): خلاصه عملکرد مبدل. ۷۲
جدول (۴- ۱۱): خلاصه عملکرد مبدل در گوشه‌های تکنولوژی. ۷۶
جدول (۴- ۱۲): مقایسه عملکرد مبدل‌های طراحی شده با کارهای دیگر..... ۷۶

مراجع

[1] H.-C. Hong and G.-M. Lee, "A 65-fJ/conversion-step 0.9- V 200 kS/s rail-to-rail 8-bit successive-approximationADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 10, pp. 2161-2168, Oct. 2007.

[2] S. U. Ay, "A sub-1 Volt 10-bit supply boosted SAR ADC design in standard CMOS, " *Journal of Analog Integrated Circuits and Signal Processing,* vol. 66, no. 2, pp. 213-221, Feb. 2011.

[3] X.Y. Tong, Z.M. Zhu, Y.T. Yang and L.X.Liu, "D/A conversion networks for high-resolution SAR A/D converters," *Electronics Letters*, vol.47, no.3, pp. 169 - 171, Feb. 2011.

[4] J. Fredenburg and M. Flynn, "A 90 MS/s 11 MHz bandwidth 62 dB SNDR noise-shaping SAR ADC," *IEEE J. Solid-State Circuits,* vol. 47, no. 12, pp. 2898-2904, Dec. 2012.

[5] A. Agnes, E. Bonizzoni, P. Malcovati, and F. Maloberti, "A 9.4-ENOB 1V 3.8 μW 100 kS/s SAR ADC with time-domain comparator," *Journal of Analog Integrated Circuits and Signal Processing,* vol. 64, no. 2, pp. 183-190, Aug. 2010.

[6] K. Doris, E. Janssen, C. Nani, A. Zanikopoulos, and G. v. d. Weide, "A 480 mW 2.6 GS/s 10b Time-Interleaved ADC With 48.5 dB SNDR up to Nyquist in 65 nm CMOS," *IEEE J. Solid-State Circuits,* vol. 46, no. 12, pp. 2821 - 2833, Dec. 2011.

[7] J. A. McNeill, K. Y. Chan, M. C. W. Coln, C. L. David, and C. Brenneman, "All-digital background calibration of a successive approximation ADC using the "Split ADC Architecture," *IEEE Trans. Circuits Syst. I, Reg. papers*, vol. 58, no. 10, pp. 2355 – 2365, Oct. 2011.

[8] F. Maloberti, *Data converters*, Springer-Verlag, 2007.

[9] M. Yavari, *Data Converters*, Class Notes, Amirkabir University of Technology, Spring 2011.

[10] B. Razavi, *Principals of Data Conversion System Design*, IEEE Press, 1995.

[11] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques-part I," *IEEE J. Solid-State Circuits,* vol. 10, no. 6, pp. 371-379, Dec. 1975.

[12] S. Chen and R. Brodersen, "A 6b 600 MS/s 5.3 mW asynchronous ADC in 0.13 μm CMOS,"*IEEE J. Solid-State Circuits*, vol. 41, pp. 2669-2680, Dec. 2006.

[13] P. J. A. Harpe, C. Zhou, Y. Be, N. P. van der Meijs, X. Wang, K. Philips, G. Dolmans and Ha. de Groot, "A 26 μW 8 bit 10 MS/s asynchronous SAR ADC for low energy radios," *IEEE J. Solid-State Circuits,* vol. 45, no. 7, pp. 1585-1595, July 2011.

[14] T. Tong, *Design Techniques for Successive Approximation Register Analog-to-Digital Converters*, M.Sc. dissertation, Oregon State University, 2011.

[15] C. Taillefer, *Analog-to-Digital Conversion via Time-Mode Signal Processing*, Ph.D. dissertation, McGill University, 2007.

[16] S. Jinxin, *Ultra low power Analog-to-Digital Converter for Biomedical Devices*, M.Sc. dissertation, School of Information and Communication Technology, Stockholm Sweden, 2011.

[17] B. Haaheim, *A sub-*1 *μW,* 16 *kHz Current-Mode SAR ADC for Neural Spike Secording*, M.S. dissertation, Norwegian University of Science and Technology, 2011.

[18] S.-K. Lee, S.-J. Park, and J.-Y. Sim, "A 21 fJ/Conversion-Step, 100 kS/s 10-bit ADC with a low-noise time-domain comparator for low power sensor interface", *IEEE J. Solid-State Circuits*, vol. 46, no. 3, pp. 651 -659, Mar. 2011.

[19] S. B. Kobengeand H. Yang, "A novel low power time-mode comparator for successive approximation register ADC," *IEICE Electronics Express*,vol. 6, no. 16, pp. 1155-1160, Aug. 2009.

[20] H. Jeon, *Low-power High-speed Low-offset fully Dynamic CMOS Latched Comparator*, M.Sc. dissertation, Northeastern University, 2010.

[21] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2nded. New York, NY: Oxford, 2002.

[22] P. M. Figueiredo and J. C.Vital, "Kickback noise reduction techniques for CMOS latched comparators," *IEEE Trans. on Circuits Syst. I,* vol.53, no.7, pp. 541-545, Jul. 2006.

[23] T. O. Anderson, "Optimum control logic for successive approximationanalog-to-digital converters," *Computer Design*, vol. 11, no. 7, pp. 81–86, 1972.

[24] A. Rossi and G.Fucili "Nonredundant successive approximation register for A/D converters," *Electronics Letters*, vol. 32, no.12, pp. 1055-1057, Jun. 1996.

[25] B. Haaheim and T. G. Constandinou, "A sub-1μW, 16 kHz current-mode SAR-ADC for single-neuron spike recording" in *Proc. IEEE Int. Symposium on Circuits and Systems* (*ISCAS*), May 2012, pp. 2957 - 2960.

[26] X. Tang andK. P. Pun, "A novel switched-current successive approximation ADC," *Journal of Circuits, Systems, and Computers*, vol. 20, no. 1, pp. 15–27, Feb. 2011.

[27] M. Saberi, R. Lotfi, K. Mafinezhad, and W. A. Serdijn, "Analysis of power consumption and linearity in capacitive digital-to-analog converters used in successive approximation ADCs," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 58, no. 8, pp. 1736–1748, Aug. 2011.

[28] N. Verma and A. P. Chandrakasan, "An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes," *IEEE J. Solid-State Circuits*, vol. 42, no. 6, pp. 1196-1205, Jun. 2007.

[29] B. P. Ginsburg and A. P. Chandrakasan,"Dual time-interleaved successive approximation register ADCs for an ultra-wideband receiver," *IEEE J. Solid-State Circuits*, vol. 42, no. 2, pp. 247–257, Feb, 2007.

[30] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout and Simulation*, New York: *IEEE Press*, 1998.

[31] Y. Zhu, U-F. Chio, He-G. Wei, S.-W. Sin, S.-P. U andR.P.Martins, "Linearity analysis on a series-split capacitor array for high-speed SAR ADCs," in *IEEE International Midwest Symposium on Circuits and Systems*, Aug. 2008, pp. 922–925.

[32] J. A. McNeill, C. David, M. Coln, and R. Croughwell, "Split ADC" calibration for all digital correction of time-interleaved ADC errors,"*IEEE Trans. Circuits Syst. II, Express Briefs*, vol. 56, no. 5, pp. 344 – 348, May 2009.

[33] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure," *IEEE J.Solid-State Circuits*, vol. 45, no. 4, pp. 731–740, Apr. 2010.

[34] J. H. Cheong, K. L. Chan, P. B. Khannur, K. T. Tiew, and M. Je, "A 400-nW 19.5 fJ/Conversion-Step 8-ENOB 80-kS/s SAR ADC in 0.18-μm CMOS,"*IEEE Trans. Circuits Syst. II, Express Briefs*, vol. 58, no. 7, pp.407 - 411, Jul. 2011.

[35] B.P. Ginsburg and A.P. Chandrakasan, "An energy-efficient charge recycling approach for a SAR converter with capacitive DAC," *IEEE Int. Symp.On Circuits Syst.*, May 2005, pp. 184–187.

[36] M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, H.Wenske, "A 14b 40 MS/s redundant SAR ADC with 480 MHz clockin 0.13 µm CMOS," *Tech. Digest of ISSCC*, Feb. 2007.

[37] W.Liu, P. Huang, and Y. Chiu, "A 12-bit, 45-MS/s, 3-mW redundant successive approximation-register analog-to-digital converter with digital calibration," *IEEE J.Solid-State Circuits*, vol. 46, no. 11, pp. 2661 - 2672, Nov. 2011.

[38] C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin, C.-M. Huang, C.-H. Huang, L. Bu, and C.-C. Tsai, "A 10b 100 MS/s 1.13 mW SAR ADC with binary-scaled error compensation," *IEEE ISSCC Dig. Tech. Papers*, pp. 386–387, 2010.

[39] Z. Cao, S. Yan, and Y. Li, "A 32 mW 1.25 GS/s 6b 2b/Step SAR ADCin 0.13 µm CMOS,"*IEEE J.Solid-State Circuits*, vol. 44, no.3, pp. 862 - 873, Mar. 2009.

[40] J. Yang, T. L. Naing, and R. W. Brodersen,"A 1 GS/s 6 Bit 6.7 mW successive approximation ADC using asynchronous processing," *IEEE J.Solid-State Circuits*, vol. 45, no. 8, pp. 1469 - 1478, Aug. 2010.

[41] U-F.Chio, H.-G.Wei, Y. Zhu, S.i-W. Sin, S.-P. U, R. P. Martins, andF. Maloberti, "Design and experimental verification of a powereffective Flash-SAR subranging ADC," *IEEE Trans. Circuits Syst. II*, *Express Briefs*, vol. 57, no. 8, pp. 607 - 611, Aug. 2010.

[42] C. C. Lee and M. P. Flynn, "A SAR-Assisted two-stage pipeline ADC," *IEEE J.Solid-State Circuits*, vol. 46, no. 4, pp. 859 - 869, Apr. 2011.

[43] H. Wei, C.-H. Chan, U-F. Chio, S.-W. Sin, S.-P. U, R. P. Martins, and F. Maloberti, "An 8-b 400-MS/s 2-b-per-cycle SAR ADC with resistive DAC," *IEEE J.Solid-State Circuits*, vol. 47, no. 11, pp. 2763 - 2772, Nov. 2012.

[44] S.-H. Cho, C.-K. Lee, J.-K. Kwon, and S.-T. Ryu, "A 550-μW 10-b 40-MS/s SAR ADC with multistep addition-only digital error correction," *IEEE J. Solid-State Circuits,* vol. 46, no. 8, pp. 1881-1892, Aug. 2011.

[45] K.S. Kim, J. Kim and S.H. Cho, "Nth-order multi-bit ΣΔ ADC using SARquantiser," *Electronics Letters*, vol. 46, no. 19, pp. 1315 - 1316, Sep. 2010.

[46] C. J. B. Fayomi, G. W. Roberts, and M. Sawan, "A 1-V, 10-bit rail-to-rail successive approximation analog-to-digital converter in standard 0.18 μm CMOS technology," *IEEE Int. Symposium on Circuits Syst.*, pp. 460–463, May 2001.

[47] K. Ishida, K. Kanda, A. Tamtrakarn, H. Kawaguchi, and T. Sakurai, "Managing leakage in charge-based analog circuits with low V_{TH} transistors by analog T-switch (AT-switch) and super cut-off CMOS," *Int. Symposium on VLSI Circuits Dig. Tech. Papers*, pp. 122–125, Jun. 2005.

[48] K.Abdelhalim, L. MacEachern, and S. Mahmoud, "A nanowatt successive approximation ADC with a calibrated Capacitor array for biomedical applications," in *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2007, pp. 136 – 139.

[49] M. Trakimas and S. Sonkusale, "A 0.5 V bulk-input OTA with improved common-mode feedbackfor low-frequency filtering applications,"*Journal of Analog Integrated Circuits and Signal Processing,* vol. 59, no. 1, pp. 83-89, Apr. 2009.

[50] G. Beanato, *Design of a Very Low Power SAR Analog to Digital Converter*, EPFL University, 2009.

[51] D. Schinkel, E. Mensink, E. Kiumperink, E. van Tuijl, and B. Nauta, "A double-tail latch-type voltage sense amplifier with 18ps setup + hold time," *ISSCC Dig. Tech. Papers*, pp. 314-315, Feb. 2007.

[52] R. Inanlou and M. Yavari, "A 10-bit 0.5 V 100 kS/s SAR ADC with new rail-to-rail comparator for energy limited application," *Journal of Circuits, Systems, and Computers*, available online, Sept. 24, 2013.

[53] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, " Matching properties of MOS transistors " *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, Oct. 1989.

[54] T. Wakimoto, H. Li, and K. Murase, "Statistical analysis on the effect of capacitance mismatchin a high-resolution successive-approximation ADC," *IEEJ Transaction on Electrical and Electronic Engineering*, vol. 6, no. S1, pp. 89–93, Nov. 2010.

[55] A. Rodríguez.-Pérez, M. Delgado. -Restituto, and F.Medeiro, "Impact of parasitics on even symmetric split-capacitor arrays," *International Journal of Circuit Theory and Applications*, 2012. DOI*:* 10.1002/cta.1806.

[56] D. Zhang, A. Bhide, and A. Alvandpour, “A 53- nW 9.1-ENOB 1-KS/s SAR ADC in 0.13-µm CMOS for medical implant devices,” *IEEE J. Solid-State Circuits*, vol. 47, no. 7, pp. 1585-1593, Jul. 2012.

[57] D. Senderowiczet, G. Nicollini, S. Pernici, A. Nagari, P. Confalonieri, and C. Dallavalle , “Low-voltage double-sampled converters,” *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1907–1919, Dec. 1997.

[58] B. Bechen, T. v. d. Boom, D. Weiler, B. J. Hosticka, “Theoretical and practical minimum of the power consumption of 3 ADCs in SC technique,” *European Conference on Circuit Theory and Design* (*ECCTD*), pp. 444 – 447, Agu. 2007.

[59] R. Inanlou, M. Shahghasemi, and M. Yavri, “A noise-shaping SAR ADC for energy limited applications in 90 nm CMOS technology,” *Journal of Analog Integrated Circuits and Signal Processing*, available online, Sep. 10, 2013.

[60] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*, New York, *Wiley IEEE Press*, 2005.

[61] R. Lotfi, R. Majidi, M. Meymandi-Nejad, and W. A. Serdijn, “An ultra-low-power 10-bit 100-kS/s successive-approximation analog-to-digital converter,” in *Proc. IEEE Int. Symposium on Circuits and Systems (ISCAS*), 2009, pp. 1117 – 1120.

[62] S. Blackman, *A low power,* 8*-bit,* 200 *MHz digital-to-analog converter*, M.Sc. dissertation, University of California, Berkeley, Dec. 1999.

[63] Z. Li and T .S. Fiez, “Dynamic Element Matching in Low Oversampling Delta Sigma ADCs”, in *Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS)*, 2002, pp. 683 -686, vol. 4.

[64] M. Yip, and A. P. Chandrakasan, “A resolution-reconfigurable 5-to-10b 0.4-to-1V power scalable SAR ADC,” *ISSCC Dig. Tech. Papers,* pp.190-192, Feb. 2011.

[65] T. G. R. Kuntz, C. R. Rodrigues, and S. Nooshabadi, "An energy-efficient 1 MSps 7 µW 11.9 fJ/conversion step 7 pJ/sample 10-bit SAR ADCin 90 nm," in *Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS),* 2011, pp. 261 - 264.

[66] G.-Y. Huang, S.-J. Chang, C.-C. Liu, Y.-Z. Lin, “A 1-µW 10-bit 200-kS/s SAR ADC with a bypass window for biomedical applications,” *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2783 - 2795, Nov. 2012.

[67] A. T. Do, C. K. Lam, Y. S. Tan, K. S. Yeo, J. H. Cheong, X. Z., L. Yao, K. W. Cheng, and M. Je, “A 160 nW 25 kS/s 9-bit SAR ADC for neural signal recording applications,” in *Proc. IEEE Int. New Circuits and Systems Conference (NEWCAS)*, pp. 525 - 528, 2012.

[68] M. Wiessflecker, G. Hofer, G. Holweg, and W. Pribyl,“An 11 bit SAR ADC combining a split capacitor array with a resistive ladder and a configurable noise time domain comparator,” in *Proc. IEEE Int. Midwest Symposium on Circuits and SystemsConference (MWSCAS),* Aug. 2012, pp. 101 - 104.

[69] H.–Y. Huang, J.–Y. Lin, Ch.–Ch. Hsieh, W.–H. Chang, H.–H. Tsai, and C.–F. Chiu, “A 9.2b 47f J/conversion-step asynchronous SAR ADC with input range prediction DAC

switching," in *Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS)*, May 2012, pp. 2353-2356.

[70] A. Shikata, R. Sekiomoto, T. Kuroda and H. Ishikuro, "A 0.5 V 1.1 MS/sec 6.3 fJ/Conversion-Step SAR-ADC with tri-level comparator in 40 nm CMOD," *IEEE J. Solid-State Circuits,* vol. 47, no. 4, pp. 1022-1030, Apr. 2012.

[71] M. Zamprogno, A. Minuti, F. Girardi, P. Confalonieri, and G. Nicollini, "A 10-b 100-kS/s 1-mW General-PurposeADC for Cellular Telephones," *IEEE Trans. Circuits Syst. II*, *Express Briefs*, vol. 59, no. 3, pp.138 - 142, Mar. 2012.

[72] S-I. Chang, K. Al-Ashmouny, and E. Yoon, "A 0.5 V 20 fJ/conversion-step rail-to-rail SAR ADC with programmable time-delayed control units for low-power biomedical application,"*European Solid-State Circuits Conference (ESSCIRC),* pp. 339-342, Sept. 2011.

[73] Z. Wang, R. Lin, E. Gordon, H. Lakdawala, L.R. Carley, and J. C. Jensen, "An In-Situ Temperature-Sensing Interface Based on a SAR ADC in 45 nm LP Digital CMOS for the Frequency-Temperature Compensation of Crystal Oscillators," *IEEE ISSCC Dig. Tech. Papers*, pp. 316 - 317, Feb. 2010.

[74] C.-T. Chiangand W.-H. Chang, "A 12-bit multi-channel dual-mode successive approximation ADCfor power management bus (Pmbus) devices,"*International Journal of Circuit and Theory Applications,* pp. 1–16, Oct. 2011.

[75] H. Fan, X. Han, Q. Wei, H. Yang, "A 12-bit self-calibrating SAR ADC achieving a Nyquist 90.4-dB SFDR," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 74, no. 1, pp. 239–254, Jan. 2013.

[76] M. Khoshakhlagh and M.Yavari, "An efficient threshold voltage generation for SAR ADCs,"*Journal of Analog Integrated Circuits and Signal Processing*, available online, Jan. 24, 2013.

Abstract

Recently, charge-redistribution successive approximation analog-to-digital converters (SAR ADCs) are used widely in moderate-resolution and moderate-speed applications such as portable instruments, battery operated devices and biomedical signal processing systems, due to their low power consumption and simple structure. By contrast, for effective resolutions beyond 10 bit, obtaining a very low figure of merit (FoM) is quite challenging, due to the limited accuracy of the SAR circuit blocks and increasing the power consumption. In other words, since the total number of capacitors in charge redistribution DAC increases exponentially with increasing the number of bits, the accuracy of the DAC may be deteriorated due to the poor matching and parasitic effects in physical implementation. On the other hand, in higher resolution, the value of the LSB voltage decreases compared with the input-referred noise of the comparator. So, in order to avoid the latching errors, an additional pre-amplifier is necessary to drive the comparator. As a result the FoM of the ADC will degeraded due to these problems.

In this thesis, in addition to reducing the power consumption of the ADC, a new noise shaping technique is proposed to enhance ADC's accuracy. First, a new rail-to-rail comparator is proposed to enhance the input swing range which improves the signal-to-noise ratio (SNR) of the ADC in low supply voltages. Then, the ADC resolution is enhanced by using a noise shaping technique which does not need any integrator and only uses a finite impulse response (FIR) filter. To provide a first order noise shaping, the error feedback (EF) concept is employed in the proposed structure. The quantization error has been extracted and transferred by using the dummy capacitor of the DAC. The proposed structure uses a low-gain, low-swing OTA to provide a FIR filter which operates only at sampling phase.

The proposed noise shaping techniqueis investigated in system level by MATLAB platform and then two prototype SAR ADCs by different DAC structure and also different OSR are designed in a 90-nm CMOS technology.To investigate the performance of the proposed method in the circuit level these ADCs are simulated by Spectre with 0.5 V power supply. By utilizing this method the accuracy of the 5 and 8-bit SAR ADC is increasead to 9.56 and 10.68-bit, respectively. Also, by using the proposed technique in 5-bit SAR ADC, the total capacitance of the ADC is reduced more than 96.8 % compared to conventional 10 bit SAR ADC.

Index Terms— analog-to-digital converters, ultra low power ADCs, successive approximation register, noise shaping, error feedback structure, rail-to-rail comparator, nano-meter CMOS technologies.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and simulation of a Very Low-Power Successive Approximation Register (SAR) Analog to Digital Converter for Biomedical Applications

By:
Reza Inanlou

Under Supervision of:
Dr. Mohammad Yavari

Jan. 2012