Amirkabir University of Technology
(Tehran Polytechnic)

Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial Fulfilment of the requirements for the degree of Maste of Science in Electrical Engineering

High Precision Digital Background Calibration of Pipelined ADCs

By
Peyman Gholami

Supervisor
Dr.Mohammad Yavari

Jan. 2017

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی‌ارشد

گرایش میکروالکترونیک

عنوان

کالیبراسیون پس‌زمینه دیجیتال در مبدل‌های آنالوگ به دیجیتال Pipeline با دقت بالا

نگارش:

پیمان غلامی

استاد راهنما:

دکتر محمد یاوری

بهمن ۱۳۹۵

صفحه فرم ارزیابی و تصویب پایان نامه- فرم تأیید اعضاء کمیته دفاع

در این صفحه فرم دفاع یا تایید و تصویب پایان نامه موسوم به فرم کمیته دفاع- موجود در پرونده آموزشی- **را قرار دهید.**

نکته مهم:

نگارش پایان نامه/رساله باید به *زبان فارسی* و بر اساس آخرین نسخه دستورالعمل و راهنمای تدوین پایان نامه های دانشگاه صنعتی امیرکبیر باشد.(دستورالعمل وراهنمای حاضر)

*** چاپ و صحافی پایان نامه/رساله بصورت دورو بلامانع است.**

به نام خدا

تاریخ:

تعهدنامه اصالت اثر

اینجانب پیمان غلامی متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آن‌ها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

پیمان غلامی

امضا

چکیده

مبدل‌های آنالوگ به دیجیتال Pipeline در کاربردهای وسیعی با دقت متوسط (۸ تا ۱۴ بیت) و سرعت متوسط تا بالا (10 MS/s تا 500 MS/s) مورد استفاده قرار می‌گیرند. طراحی این مبدل‌ها در تکنولوژی‌های نانومتری امروزی بسیار دشوار شده است به‌گونه‌ای که رسیدن به دقت‌های بالای ۱۰ بیت بسیار سخت است. ازاین‌رو برای رسیدن به دقت‌های بالا از روش‌های تصحیح خطا در این مبدل‌ها استفاده می‌گردد. روش‌های تصحیح خطا، امروزه بیشتر در حوزه دیجیتال پیاده‌سازی می‌شوند و موجب افزایش کارایی مبدل می‌شوند؛ درحالی‌که در طراحی مبدل آنالوگ به دیجیتال از مدارهای آنالوگ با دقت پایین استفاده می‌شود.

در این پایان نامه یک روش تصحیح دیجیتال مبتنی بر هیستوگرام برای تصحیح خطای DAC، بهره محدود تقویت‌کننده و غیرخطینگی تقویت‌کننده ارائه شده است. در این روش برای تصحیح خطا از اطلاعات موجود در نقاط تصمیم‌گیری استفاده شده است. و برای افزایش اطلاعات، نقاط تصمیم‌گیری با استفاده از تکنیک «تغییر نقاط تصمیم‌گیری» افزایش یافته اند. از طرف دیگر، برای افزایش دقت تخمین محل نقاط تصمیم‌گیری برای طبقات پایین‌تر موجود در مبدل آنالوگ به دیجیتال Pipeline از روش «نگاشت مبتنی بر هیستوگرام» استفاده شده است.

روش تصحیح پیشنهادی در نرم‌افزار MATLAB به صورت سیستمی و در نرم‌افزارهای Cadence، HSPICE و APS به‌صورت مداری بر روی یک مبدل آنالوگ به دیجیتال Pipeline با دقت ۱۲ بیت و سرعت 100 MS/s در تکنولوژی ۹۰ نانومتر CMOS مورد بررسی قرارگرفته است. با توجه به نتایج حاصل از شبیه‌سازی مداری، روش تصحیح پیشنهادی موجب بهبود چشمگیر عملکرد مبدل می‌شود؛ به‌گونه‌ای که SNDR و SFDR به ترتیب از مقادیر 31.4 dB و 35 dB به 64 dB و 80 dB افزایش می‌یابد.

واژه‌های کلیدی:

مبدل آنالوگ به دیجیتال Pipeline، تصحیح پس‌زمینه مبدل‌های آنالوگ به دیجیتال، مدارهای سوئیچ شونده خازنی، خطای بهره تقویت‌کننده، غیرخطینگی تقویت‌کننده، عدم تطبیق خازن‌ها.

فهرست مطالب **صفحه**

۱- فصل اول مقدمه ۱
۱-۱- مقدمه ۲
۱-۲- اهداف پایان نامه ۵
۱-۳- ساختار پایان نامه ۵
۲- فصل دوم ساختارها و مشخصات مبدل‌های آنالوگ به دیجیتال ۷
۲-۱- مقدمه ۸
۲-۲- اصول مبدل آنالوگ به دیجیتال ۸
۲-۲-۱- فیلتر پایین گذر ۸
۲-۲-۲- مدار نمونه‌بردار ۹
۲-۲-۳- کوانتایزر ۱۱
۲-۳- ساختارهای مبدل آنالوگ به دیجیتال ۱۳
۲-۳-۱- مبدل آنالوگ به دیجیتال Flash ۱۳
۲-۳-۲- مبدل آنالوگ به دیجیتال Two-Step ۱۳
۲-۳-۳- مبدل آنالوگ به دیجیتال Pipeline ۱۵
۲-۳-۳-۱- شبکه نمونه‌بردار ورودی ۱۷
۲-۳-۳-۲- زیرمبدل آنالوگ به دیجیتال ۱۷
۲-۳-۳-۳- MDAC ۱۸
۲-۴- مشخصات مبدل آنالوگ به دیجیتال ۲۰
۲-۴-۱- مشخصات ایستا ۲۱
۲-۴-۱-۱- دقت ۲۱
۲-۴-۱-۲- آفست و خطای بهره ۲۱
۲-۴-۱-۳- غیر خطینگی (DNL و INL) ۲۱
۲-۴-۲- مشخصات پویا ۲۲
۲-۴-۲-۱- نسبت سیگنال به نویز (SNR) ۲۲
۲-۴-۲-۲- محدوده دینامیکی خالی از اغتشاش (SFDR) ۲۳
۲-۴-۲-۳- اعوجاج هارمونیکی کل (THD) ۲۳
۲-۴-۲-۴- نسبت سیگنال به نویز و اعوجاج (SNDR) ۲۳
۳- فصل سوم مروری بر منابع خطا در مبدل آنالوگ به دیجیتال Pipeline و روش‌های تصحیح ۲۴
۳-۱- مقدمه ۲۵
۳-۲- منابع خطا در مبدل آنالوگ به دیجیتال Pipeline ۲۵
۳-۲-۱- آفست مقایسه‌گر ۲۵
۳-۲-۲- خطای بهره تقویت‌کننده ۲۶

۳-۲-۳-خطای DAC ۲۶
۳-۲-۴-غیر خطینگی تقویت‌کننده ۲۷
۳-۲-۵-نویز حرارتی ۲۷
۳-۲-۶-عدم تطبیق مسیر نمونه‌برداری ۲۸
۳-۳-روش‌های تصحیح خطا در مبدل Pipeline ۲۸
۳-۳-۱-روش بیت اضافی ۲۸
۳-۳-۲-روش‌های اصلاح آنالوگ ۲۹
۳-۳-۲-۱-روش ضرب نسبت-مستقل ۲۹
۳-۳-۲-۲-متوسط گیری خطای خازن‌ها ۲۹
۳-۳-۲-۳-روش تنظیم خازن‌ها ۳۰
۳-۳-۲-۴-سخت‌افزار اضافی ۳۱
۳-۳-۳-روش‌های اصلاح دیجیتال ۳۱
۳-۳-۳-۱-روش‌های مبتنی بر همبستگی ۳۲
۳-۳-۳-۲-روش‌های مبتنی بر یکسان‌سازی ۳۴
۳-۳-۳-۳-روش‌های مبتنی بر تغییر آستانه مقایسه‌گر ۳۵
۳-۳-۳-۴-روش‌های مبتنی بر هیستوگرام ۳۷

۴- فصل چهارم روش پیشنهادی تصحیح خطا در مبدل‌های آنالوگ به دیجیتال Pipeline ... ۳۹

۴-۱- مقدمه ۴۰
۴-۲- ساختار MDAC مورد استفاده ۴۱
۴-۳- مدل‌سازی MDAC ۴۲
۴-۴- معرفی الگوریتم تصحیح پیشنهادی ۴۵
۴-۴-۱-توسعه ایده پیشنهادی ۴۶
۴-۴-۲-تغییر نقاط تصمیم‌گیری ۵۱
۴-۴-۳-الگوریتم نگاشت مبتنی بر هیستوگرام ۵۴
۴-۵- تصحیح با استفاده از هیستوگرام نقاط تصمیم‌گیری ۶۰
۴-۶- خلاصه ۶۱

۵- فصل پنجم پیاده‌سازی روش تصحیح پیشنهادی بر روی یک مبدل Pipeline نمونه..... ۶۳

۵-۱- مقدمه ۶۴
۵-۲- طراحی اجزای سازنده مبدل Pipeline ۶۴
۵-۲-۱-تعیین اندازه خازن‌های طبقات مبدل ۶۵
۵-۲-۲-نحوه حذف مدار نمونه‌بردار ورودی ۶۷
۵-۲-۳-طراحی تقویت‌کننده‌ها ۶۸
۵-۲-۴-طراحی مقایسه‌گرها ۷۲
۵-۲-۵-کلیدهای Bootstrapped ۷۳

۵-۲-۶-طراحی Decoder و Multiplexer ۷۵
۵-۳- شبیه‌سازی سیستمی ۷۶
۵-۴- شبیه‌سازی مداری ۷۸
۵-۴-۱-بررسی عملکرد المان‌های مداری ۷۹
۵-۴-۱-۱-بررسی رفتار تقویت‌کننده ۷۹
۵-۴-۱-۲-بررسی رفتار مقایسه‌گر ۸۱
۵-۴-۱-۳-بررسی رفتار سوئیچ Bootstrapped ۸۲
۵-۴-۲-بررسی عملکرد مبدل آنالوگ به دیجیتال Pipeline ۸۳
۵-۵- مقایسه مبدل آنالوگ به دیجیتال Pipeline ۸۶
۵-۶- خلاصه ۸۸
۶- فصل ششم نتیجه‌گیری و پیشنهادات ۸۹
۶-۱- نتیجه‌گیری ۹۰
۶-۲- پیشنهادات ۹۱
واژه نامه ۹۲
اختصار نامه ۹۶
مراجع ۹۷

فهرست شکل‌ها

صفحه

شکل (۲-۱): بلوک دیاگرام مبدل آنالوگ به دیجیتال ۹
شکل (۲-۲): نمونه‌برداری به روش الف) ایده‌آل و ب) دنبال کردن و نگه‌داشتن ۱۰
شکل (۲-۳): یک مدار نمونه‌بردار و دنبال کننده ساده ۱۰
شکل (۲-۴): منحنی انتقالی کوانتایزر n بیتی ۱۲
شکل (۲-۵): مبدل آنالوگ به دیجیتال Flash ۱۴
شکل (۲-۶): مبدل آنالوگ به دیجیتال Two-Step ۱۵
شکل (۲-۷): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال Pipeline ۱۶
شکل (۲-۸): مقایسه‌گر تزویج خازنی ۱۸
شکل (۲-۹): ساختار MDAC الف) CNFA و ب) CFA برای طبقه ۱/۵ بیتی ۱۹
شکل (۲-۱۰): معیارهای ایستا در مبدل آنالوگ به دیجیتال ۲۰
شکل (۲-۱۱): نمای کلی از طیف خروجی مبدل آنالوگ به دیجیتال ۲۲
شکل (۳-۱): اثر آفست بر روی مشخصه انتقالی الف) بدون افزونگی و ب) با افزونگی ۲۶
شکل (۳-۲): اثر خطای الف) بهره، ب) DAC و ج) غیرخطینگی بر منحنی مشخصه انتقالی ۲۷
شکل (۳-۳): روند اصلاح خطا به روش ضرب نسبت مستقل ۳۰
شکل (۳-۴): اصلاح آنالوگ به روش تنظیم خازن‌ها ۳۰
شکل (۳-۵): اصلاح خطای بهره مبدل Pipeline با روش مبتنی بر همبستگی ۳۲
شکل (۳-۶): ایده اصلی روش‌های مبتنی بر یکسان‌سازی ۳۴
شکل (۳-۷): الگوریتم تصحیح ارائه شده در [۷]، الف) مشخصه ایده‌آل و واقعی مبدل و سیگنال‌های تصحیح اعمالی و ب) نحوه همگرایی با استفاده از الگوریتم ۳۵
شکل (۳-۸): نحوه آرایش مقایسه‌گر های طبقه ۱/۵ بیتی موجود در [۲۸] ۳۶
شکل (۳-۹): الف) منحنی مشخصه و ب) تابع انتقالی روش ارائه شده در [۲۸] ۳۶
شکل (۳-۱۰): الف) اثر خطای بهره بر هیستوگرام خروجی و ایجاد شکاف در آن ب) منحنی مشخصه اصلاح شده ۳۷
شکل (۴-۱): طبقه ۱/۵ بیتی با بهره‌گیری از ساختار CFA ۴۲
شکل (۴-۲): بلوک دیاگرام MDAC غیر ایده‌آل ۴۴
شکل (۴-۳): بلوک دیاگرام مدل معکوس MDAC غیر ایده‌آل ۴۴
شکل (۴-۴): انتخاب دونقطه دلخواه بر روی منحنی مشخصه انتقالی ۴۵
شکل (۴-۵): نقاط تصمیم‌گیری، محل شکست منحنی مشخصه انتقالی ۴۸
شکل (۴-۶): الف) منحنی مشخصه انتقالی نامتقارن و ب) نحوه ایجاد آن به کمک ولتاژهای نامتقارن ۴۹
شکل (۴-۷): نحوه مدل کردن مبدل backend و محاسبه دقت آن ۵۰
شکل (۴-۸): الف) پیاده‌سازی ایده تغییر نقاط تصمیم‌گیری و ب) منحنی مشخصه انتقالی ۵۲

شکل (۴-۹): ویژگی نقاط تصمیم‌گیری در هر ناحیه طبقه ۱/۵ بیتی ۵۵
شکل (۴-۱۰): تشکیل هیستوگرام در اطراف نقاط تصمیم‌گیری الف) حالت ایده‌آل ب) غیر ایده‌آل ۵۶
شکل (۴-۱۱): نحوه شکل‌دهی به کد گوشه‌ای ۵۷
شکل (۴-۱۲): بلوک تخمین گر کدهای حداقل و حداکثر ۵۸
شکل (۴-۱۳): فلوچارت تصحیح یک طبقه به کمک روش هیستوگرام نقاط تصمیم‌گیری ۶۱
شکل (۴-۱۴): بلوک دیاگرام تصحیح طبقات متوالی ۶۱
شکل (۵-۱): مدل نویز حرارتی MDAC الف) در فاز نمونه‌برداری ب) در فاز تقویت ۶۶
شکل (۵-۳): دو مسیر موجود در طبقه اول در فاز نمونه‌برداری ۶۸
شکل (۵-۲): نویز ارجاع یافته به ورودی تقویتکننده طبقه اول ۷۱
شکل (۵-۴): تقویت‌کننده مورداستفاده در مبدل Pipeline ۷۱
شکل (۵-۵): ساختار مقایسه‌گر مورداستفاده در مبدل Pipeline ۷۳
شکل (۵-۶): ساختار سوئیچ Bootstrapped مورد استفاده در مبدل Pipeline ۷۴
شکل (۵-۷): الف) ساختار Multiplexer ب) ساختار دیکدر مورد استفاده در طبقه ۱/۵ بیتی ج) ساختار ۷۶
شکل (۵-۸): طیف خروجی ناشی از شبیه‌سازی سیستمی مبدل Pipeline بدون اعمال روش تصحیح پیشنهادی ۷۸
شکل (۵-۹): طیف خروجی ناشی از شبیه‌سازی سیستمی مبدل Pipeline با اعمال روش تصحیح پیشنهادی ۷۹
شکل (۵-۱۰): نتایج حاصل از شبیه‌سازی الف) بهره ب) فاز و ج) پاسخ پله تقویت‌کننده عملیاتی ۸۰
شکل (۵-۱۱): طیف خروجی تقویت‌کننده طبقه اول ۸۱
شکل (۵-۱۲): آزمون Overdrive برای مقایسه‌گر ۸۲
شکل (۵-۱۳): طیف خروجی مدار دنبال کننده و نگه‌دار با استفاده از سوئیچ Bootstrapped طراحی‌شده ۸۳
شکل (۵-۱۴): طیف خروجی مبدل آنالوگ به دیجیتال Pipeline قبل از اعمال تصحیح ۸۴
شکل (۵-۱۵): طیف خروجی مبدل آنالوگ به دیجیتال Pipeline بعد از اعمال تصحیح ۸۵
شکل (۵-۱۶): تغییرات SNDR و SFDR برحسب فرکانس سیگنال ورودی ۸۵
شکل (۵-۱۷): نمونه‌های موردنیاز برای تصحیح هر طبقه ۸۶

فهرست جدول‌ها

صفحه

جدول (۱-۱): کاربردهای مبدل آنالوگ به دیجیتال Pipeline ۳
جدول (۵-۱): اندازه خازن نمونه‌برداری طبقات مبدل Pipeline ۶۷
جدول (۵-۲) مشخصات المان‌های تقویت‌کننده ۷۲
جدول (۵-۳): مشخصات المان‌های مقایسه‌گر ۷۴
جدول (۵-۴): مشخصات المان‌های سوئیچ Bootstrapped ۷۵
جدول (۵-۵): جدول درستی دیکدر ها و Multiplexer ۷۷
جدول (۵-۶): ضرایب خطای طبقه ۱/۵ بیتی ۷۷
جدول (۵-۷): مقایسه انواع روش‌های تصحیح ۸۷

واژه نامه

آستانه	Threshold
اعوجاج	Distortion
الگوریتم	Algorithm
انتهایی	Backend
ایستا	Static
باند گذر	Transition Band
بر مبنای همسان سازی	Equalization-Based
بیت پرارزش	Most Significant Bit
بیت زائد	Redunduncy bit
بیت کم ارزش	Least Significant Bit
بیش نمونه‌برداری	Oversampling
پارازیتی	Parasitic
پس زمینه‌ای	Background
پیش زمینه‌ای	Foreground
تابع ارزش	Cost function
تاخیر	Delay
تا شدن	Folding

تراشه	Chip
تزویج خازنی	Capacitive coupling
تصحیح آنالوگ	Analog calibration
تصحیح دیجیتال	Digital calibration
تعداد بیت موثر	Effective number of bits
دقت	Resolution
تقویت کننده نمونه بردا و نگهدار	Sample and hold amplifire
چند رسانه‌ای	Multimedia
حد فاز	Phase margin
خطای روزنه‌ای	Aperture error
خطینگی	Linearity
درون‌یابی	Interpolating
دنبال کننده و نگهدار	Track and hold
زمان نشست	Settling time
زیر مبدل	Sub-converter
سرریز	Overflow
سرعت چرخش	Slew-rate
سیستم های مخابراتی بیسیم	Wireless local area network
شکاف	Gap
شیب	Ramp

Mismatch	عدم تطبیق
Unity gain frequency	فرکانس بهره واحد
Sampling frequency	فرکانس نمونه برداری
Common mode feedback	فیدبک کد مشترک
Impulse train	قطار ضربه
Thermometer code	کد حرارتی
Encoder	کد کننده
Decoder	کد گشا
Scaling	کوچک شدن
Analog to digital converter	مبدل آنالوگ به دیجیتال
Digital to analog converter	مبدل دیجیتال به آنالوگ
Dynamic range	محدوده دینامیکی
Switch capacitor circuit	مدار سوئیچ‌شونده‌خازنی
Sampling circuit	مدار نمونه بردای
Integrated circuit	مدار مجتمع
Signal dependent	وابسته به سیگنال
Trade-off	مصالحه
Comparator	مقایسه‌گر
Expected value	امید ریاضی
Transfer curve	منحنی انتقال

میانگین گیری خطای خازنی	Capacitor error averaging
نرخ نایکوئیست	Nyquist rate
نردبان مقاومتی	Resistance ladder
نشست	Settle
نویز شبیه تصادفی	Psedue random noise
نویز فلیکر	Flicker Noise
ولتاژ باقی مانده	Residue voltage
همبستگی	Correlation

اختصار نامه

ADC	Analog to digital converter
CDS	Correlated Double Sampling
CFA	Capacitor Flip Around
CM	Common Mode
CMFB	Common Mode Feedback
CMOS	Complementary Metal-Oxide Semiconductor
CNFA	Capacitor Non Flip Around
DAC	Digital to Analog Converter
DNC	DAC Noise Cancelation
DNL	Differential Non Linearity
DR	Dynamic Range
ENOB	Effective Number Of Bits
FFT	Fast Fourier Transform
HDC	Harmonic Distortion Correction
INL	Integral Non Linearity
LMS	Least Mean Squares
LSB	Least Significant Bit
MDAC	Multiplying Digial to Analog Converter
MSB	Most Significant Bit

مراجع

[1] B. Razavi, *Principles of data conversion system design*. IEEE press New York, 1995.

[2] A. K. Salkintzis, H. Nie, and P. T. Mathiopoulos, "ADC and DSP challenges in the development of software radio base stations," *IEEE Personal Commun.,* vol. 6, no. 4, pp. 47-55, 1999.

[3] B. Razavi and R. Microelectronics, "University of California, LA: Pearson Education," ed: Inc, 2012.

[4] L. Brooks and H.-S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," *IEEE Trans. Circuits Syst. I, Reg. Papers,* vol. 55, no. 10, pp. 2969-2979, 2008.

[5] J. Li and U.-K. Moon, "Background calibration techniques for multistage pipelined ADCs with digital redundancy," *IEEE Trans. Circuits Syst. II, Exp. Briefs,* vol. 50, no. 9, pp. 531-538, 2003.

[6] M. Yavari., "Data Converters," *Class Notes,* 2015.

[7] B. D. Sahoo and B. Razavi, "A 12-bit 200-mhz cmos adc," *IEEE J. Solid-State Circuits,* vol. 44, no. 9, pp. 2366-2380, 2009.

[8] R. J. Van de Plassche, *CMOS integrated analog-to-digital and digital-to-analog converters*. Springer Science & Business Media, 2013.

[9] W. A. Kester, *Data conversion handbook*. Newnes, 2005.

[10] S. H. Lewis, H. S. Fetterman, G. F. Gross, R. Ramachandran, and T. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE J. Solid-State Circuits,* vol. 27, no. 3, pp. 351-358, 1992.

[11] S. H. Lewis and P. R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital converter," *IEEE J. Solid-State Circuits,* vol. 22, no. 6, pp. 954-961, 1987.

[12] H.-S. Lee, D. A. Hodges, and P. R. Gray, "A self-calibrating 15 bit CMOS A/D converter," *IEEE J. Solid-State Circuits,* vol. 19, no. 6, pp. 813-819, 1984.

[13] P. Wai, M. Chin, P. Gray, and R. Castello, "A ratio independent algorithmic A/D conversion technique,"*in Solid-State Circuits Conference. Digest of Technical Papers. 1984 IEEE International*, 1984, vol. 27, pp. 62-63: IEEE.

[14] B.-S. Song, M. F. Tompsett, and K. R. Lakshmikumar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter," *IEEE J. Solid-State Circuits,* vol. 23, no. 6, pp. 1324-1333, 1988.

[15] Y.-M. Lin, B. Kim, and P. R. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-μm CMOS," *IEEE J. Solid-State Circuits,* vol. 26, no. 4, pp. 628-636, 1991.

[16] J. M. Ingino and B. A. Wooley, "A continuously calibrated 12-b, 10-MS/s, 3.3-VA/D converter," *IEEE J. Solid-State Circuits,* vol. 33, no. 12, pp. 1920-1931, 1998.

[17] A. Panigada and I. Galton, "A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction," *IEEE J. Solid-State Circuits,* vol. 44, no. 12, pp. 3314-3328, 2009.

[18] A. Panigada and I. Galton, "Digital background correction of harmonic distortion in pipelined ADCs," *IEEE Trans. Circuits Syst. I, Reg. Papers,* vol. 53, no. 9, pp. 1885-1895, 2006.

[19] N. Rakuljic and I. Galton, "Suppression of quantization-induced convergence error in pipelined ADCs with harmonic distortion correction," *IEEE Trans. Circuits Syst. I, Reg. Papers,* vol. 60, no. 3, pp. 593-602, 2013.

[20] A. M. Ali *et al.*, "A 14 Bit 1 GS/s RF Sampling Pipelined ADC With Background Calibration," *IEEE J. Solid-State Circuits,* vol. 49, no. 12, pp. 2857-2867, 2014.

[21] B.-N. Fang and J.-T. Wu, "A 10-bit 300-MS/s pipelined ADC with digital calibration and digital bias generation," *IEEE J. Solid-State Circuits,* vol. 48, no. 3, pp. 670-683, 2013.

[22] C.-P. Yan, G.-J. Li, and Q. Li, "A fast correlation based background digital calibration for pipelined ADCs," *in IEEE Asia Pacific Conf. Circuits and Syst. (APCCAS),* 2012, pp. 579-582: IEEE.

[23] A. Verma and B. Razavi, "A 10-bit 500-ms/s 55-mw cmos adc," *IEEE J. Solid-State Circuits,* vol. 44, no. 11, pp. 3039-3050, 2009.

[24] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A Predetermined LMS Digital Background Calibration Technique for Pipelined ADCs," *IEEE Trans. Circuits Syst. II, Exp. Briefs,* vol. 62, no. 9, pp. 841-845, 2015.

[25] S. Sarkar, Y. Zhou, B. Elies, and Y. Chiu, "PN-assisted deterministic digital background calibration of multistage split-pipelined ADC," *IEEE Trans. Circuits Syst. I, Reg. Papers,* vol. 62, no. 3, pp. 654-661, 2015.

[26] Y. Chiu, C. W. Tsang, B. Nikolic, and P. R. Gray, "Least mean square adaptive digital background calibration of pipelined analog-to-digital converters," *IEEE Trans. Circuits Syst. I, Reg. Papers,* vol. 51, no. 1, pp. 38-46, 2004.

[27] B. Zeinali, T. Moosazadeh, M. Yavari, and A. Rodriguez-Vazquez, "Equalization-based digital background calibration technique for pipelined ADCs," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.,* vol. 22, no. 2, pp. 322-333, 2014.

[28] N. Sun, "Exploiting process variation and noise in comparators to calibrate interstage gain nonlinearity in pipelined ADCs," *IEEE Trans. Circuits Syst. I, Reg. Papers,* vol. 59, no. 4, pp. 685-695, 2012.

[29] L. Shi, W. Zhao, J. Wu, and C. Chen, "Digital background calibration techniques for pipelined ADC based on comparator dithering," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 59, no. 4, pp. 239-243, 2012.

[30] C. Ravi, T. Rahul, and B. Sahoo, "Histogram based deterministic digital background calibration for pipelined ADCs," *in proc. IEEE VLSI Design and Embedded Systems*, 2014, pp. 569-574: IEEE.

[31] T. Moosazadeh and M. Yavari, "A Calibration Technique for Pipelined ADCs Using Self-Measurement and Histogram-Based Test Methods," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 62, no. 9, pp. 826-830, 2015.

[32] W. Li, C. Sun, F. Li, and Z. Wang, "A 14-bit pipelined ADC with digital background nonlinearity calibration," in *2013 IEEE Int. Symp. Circuits and Syst. (ISCAS)*, 2013, pp. 2448-2451: IEEE.

[33] S.-H. W. Chiang, H. Sun, and B. Razavi, "A 10-Bit 800-MHz 19-mW CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 49, no. 4, pp. 935-949, 2014.

[34] O. Oliaei, "Thermal noise analysis of multi-input SC-integrators for delta-sigma modulator design," the 2000 IEEE Int. Symp. Circuits and Syst., 2000, vol. 4, pp. 425-428: IEEE.

[35] L. Toth, I. Yusim, and K. Suyama, "Noise analysis of ideal switched-capacitor networks," *IEEE Trans. Circuits and Syst. I: Fund. Theory and Applicat.*, vol. 46, no. 3, pp. 349-363, 1999.

[36] P. T. Kwok and H. C. Luong, "Power optimization for pipeline analog-to-digital converters," *IEEE trans. Circuits and syst. II: Analog and digital signal process.*, vol. 46, no. 5, pp. 549-553, 1999.

[37] L. Kong, "An 11-bit 20MS/s Pipelined Analog-to-Digital Converter with Op Amp Sharing," 2013.

[38] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126-2138, 2004.

[39] D.-Y. Chang, "Design techniques for a pipelined ADC without using a front-end sample-and-hold amplifier," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 11, pp. 2123-2132, 2004.

[40] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 349-355, 2001.

[41] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, 1999.

[42] M. Yavari., "Low-Voltage High-Performance Sigma-Delta Modulators for Broadband Applications," July 2006.

[43] A. Graupner, "A methodology for the offset-simulation of comparators," *The Designers Guide Community, www designers-guide org*, 2006.

Abstract

Pipelined Analog to Digital Converters are widley used in applications with 10 to 15 bits resolution and 10 to 500 MS/s convertion rates. Design of this converters in nowadays nanometer CMOS technologies is so hard. And their resolution is limited to 10 bits. To overcome this problem Calibration technoques is used. Nowadays, calibration thechniques mostley performed in digital domain and cause performance improvment in converters while, Analog circuits of converters are relaxed.

In this research a novel digital background Calibration technique is presented to compensate capacitor mismatch, finite dc gain and nonlinearity of operational amplifire in Pipelined stages. Decision points are used in calibration procedure, and for more information “change the decision points” technique is presented. Moreover, the accuracy of decision points is improved with “Maping Histogram” algorithm.

Behavioral simulations is applied on 12 bit 100 MS/s Pipelined ADC in MATLAB software. And, circuit simulation is also performed in Cadence and HSPICE softwares. Simulation results shows that porposed calibration technique improved SNDR and SFDR from 31.4 dB and 35 dB to 64 dB and 80 dB respectively.

Key Words: Pipelined ADCs, digital background calibration, gain error, gain nonlinearity, capacitor mismatch.

Amirkabir University of Technology
(Tehran Polytechnic)

Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial Fulfilment of the requirements for the degree of Maste of Science in Electrical Engineering

High Precision Digital Background Calibration of Pipelined ADCs

By
Peyman Gholami

Supervisor
Dr.Mohammad Yavari

Jan. 2017