Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of CMOS Interface Circuits for Capacitive Sensors

By:
Najme Ebrahimi Seraji

Under Supervision of:
Dr. Mohammad Yavari

January 2012

بسم الله الرحمن الرحیم

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد
(گرایش میکروالکترونیک)

طراحی و شبیه‌سازی مدارهای واسط CMOS برای شتاب‌سنج‌های خازنی MEMS با رزولوشن گرانشی میکرو

نگارش:
نجمه ابراهیمی سراجی

استاد راهنما:
دکتر محمد یاوری

بهمن ۱۳۹۰

تقدیم به

پدر عزیزم و مادر مهربانم

تشکر و قدردانی

با یاد و نام آرام بخش جان‌ها در آغاز لازم می‌دانم که از زحمات استاد عزیز جناب آقای دکتر محمد یاوری که انجام این تحقیق را مدیون راهنمایی‌های ارزشمند ایشان هستم تشکر و قدردانی نمایم. همچنین از دوستان خوبم در آزمایشگاه مدارهای مجتمع دانشگاه صنعتی امیرکبیر خانم مهندس زهرا سهرابی وآقای مهندس حسین پاک‌نیت که درطول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام سپاسگزارم و توفیق روزافزونشان را خداوند متعال خواستارم.

همچنین لازم می‌دانم از زحمات پدر و مادر عزیز، مهربان و دلسوزم که همواره پشتیبان و مایه‌ی دلگرمی‌ام بوده‌اند تشکر و قدردانی نمایم.

در نهایت از کمیته نانو به دلیل حمایت مالی در انجام پروژه سپاس‌گزارم و امیدوارم این کمیته در ارتقاء علمی و توسعه فناوری در کشورمان موفق باشد.

چکیده

در دو دهه گذشته سنسورهای میکروالکترومکانیکی[1] مانند شتاب‌سنج‌ها و ژیروسکوپ‌ها رشد چشمگیری در میان محصولات میکروالکترومکانیکی داشته‌اند. این محصولات کاربردهای گسترده‌ای در صنعت خودرو، دریانوردی، محصولات الکترونیکی و کامپیوتری و حتی پزشکی دارند. مسیری که پیش‌روی بهبود عملکرد این سنسورها می‌باشد، بهینه‌سازی عملکرد مدار الکترونیکی آن‌ها است که در واقع نقش مهمی در مجتمع‌سازی این سنسورها ایفا می‌کند. کاهش نویز، مصرف توان و سطح تراشه از ملاحظات مهم در طراحی مدار واسط این سنسورها می‌باشند.

در این پایان‌نامه، یک مدار واسط برای شتاب‌سنج‌های خازنی MEMS در تکنولوژی ۰/۱۸ میکرومتر CMOS طراحی شده است. این مدار واسط از دو قسمت جلویی، Front-end، و انتهایی، Back-end، تشکیل شده است. در قسمت جلویی مدار که مستقیم به سنسور وصل می‌شود، کاهش نویز فرکانس پایین و آفست از ملاحظات ضروری و اساسی می‌باشند. در این پایان‌نامه به طور هم زمان دو تکنیک رایج کاهش نویز که به نام‌های CDS[2] و CHS[3] معروف می‌باشند بر روی مدار Front-end اعمال گردیده است. هم‌چنین مقایسه‌ای بین عملکرد مدار پیشنهادی با حالتی که تنها یکی از این تکنیک‌های کاهش نویز بر روی مدار اعمال شده، صورت گرفته است. مدار پیشنهادی کم‌ترین حساسیت به خازن‌های پارازیتی را دارد، به عبارت دیگر به ازای تغییرات خازن‌های پارازیتی به مقدار ۲۰ پیکو فاراد ، تغییرات رزولوشن خازنی آن کم‌تر از 1 aF می‌باشد.

از اهداف مهم دیگر این پایان‌نامه، تحلیل نویز و آنالیز دقیق این تکنیک‌های مداری کاهش نویز که بر روی مدار واسط سوئیچ‌شونده خازنی[4] اعمال شده‌اند، می‌باشد. در واقع روابط دقیقی از میزان رزولوشن مدار واسط سنسورها که از تکنیک‌های CDS، CHS و یا ترکیب تکنیک‌های CDS و CHS استفاده می‌کنند، به دست می‌آید که تطبیق خوبی با نتایج شبیه‌سازی دارند. برای قسمت انتهایی مدار واسط یک مدولاتور مرتبه دو با تابع انتقال سیگنال برابر با واحد به منظور دیجیتال کردن داده‌های سنسور طراحی شده است. از ملاحظات دیگر این پایان‌نامه طراحی مدار واسط و مدولاتور آن با بهره متغیر می‌باشد. مدار واسط طراحی شده قابلیت آشکارسازی تغییرات خازنی در محدوده $1\ aF \sim 1.32\ pF$ که معادل با ۱۰۳ دسیبل محدوده دینامیکی می‌باشد را دارد. مصرف توان کل سیستم نیز ۱/۲۸ میلی وات برای منبع تغذیه ۱/۸ ولتی می‌باشد.

کلمات کلیدی: سنسور میکروالکترومکانیکی- مدار واسط خازنی- تکنیک کاهش نویز CDS– تکنیک کاهش نویز CHS- مدارهای سوئیچ شونده‌ی خازنی- مبدل‌های آنالوگ به دیجیتال سیگما-دلتا.

---

۱ Micro Electro-Mechanical System (MEMS)

۲ Correlated-Double Sampling

۳ Chopper Stabilization

۴ Switched capacitor

فهرست مطالب

فهرست شکل‌ها ..... ه

فهرست جدول‌ها ..... ز

۱- مقدمه ۱

۱-۱- انگیزه ۱

۱-۲- اهداف ۲

۱-۳- ساختار پایان‌نامه ۲

۲- شتاب‌سنج‌های خازنی MEMS ۴

۲-۱- مقدمه‌ای بر شتاب‌سنج‌های خازنی MEMS ۴

۲-۲- تاریخچه ۵

۲-۳- قاعده کلی عملکرد شتاب‌سنج خازنی ۹

۳- تکنیک‌های مداری برای اندازه‌گیری خازن ۱۳

۳-۱- قاعده کلی اندازه‌گیری خازن ۱۴

۳-۲- نویز در مدارهای اندازه‌گیری خازنی ۱۵

۳-۲-۱- منابع نویزالکترونیکی ۱۵

۳-۲-۲- تکنیک‌های مداری برای کاهش نویز فلیکر و آفست DC ۱۶

۳-۳- مروری بر مدارهای اندازه‌گیری خازن برای سنسورهای MEMS ۱۹

۳-۳-۱- مدار اندازه‌گیری کننده ولتاژ زمان پیوسته ۱۹

۳-۳-۱-۱- بافر ولتاژ با بهره واحد ۱۹

۳-۳-۱-۲- تقویت‌کننده چاپر با فیدبک خازنی ۲۱

۳-۳-۱-۳- تقویت‌کننده چاپر تفاضلی حلقه باز ۲۲

۳-۳-۲- مدار اندازه‌گیری‌کننده جریان پیوسته در زمان ۲۴

۳-۳-۲-۱- تقویت‌کننده جریان با فیدبک خازنی ۲۴

۳-۳-۲-۲- تقویت‌کننده جریان فیدبک مقاومتی ۲۵

۳-۳-۳- مدار اندازه‌گیری کننده بار گسسته در زمان ۲۵
۳-۴- مدار واسط سیگما-دلتا ۲۷
۳-۴-۱- عملکرد مدولاتور سیگما- دلتا ۲۸
۴- طراحی و بهینه‌سازی مدار Front-end سوئیچ‌شونده خازنی ۳۵
۴-۱- معماری یک مدار واسط سوئیچ‌شونده خازنی ۳۶
۴-۱-۱- تقویت‌کننده عملیاتی (آپ‌امپ) ۳۸
۴-۲- تحلیل و پیاده‌سازی تکنیک کاهش نویز CDS بر روی مدار واسط سوئیچ‌شونده خازنی ۴۱
۴-۳- تحلیل و پیاده‌سازی تکنیک کاهش نویز Chopper بر روی مدار واسط سوئیچ‌شونده خازنی ۴۶
۴-۴- تحلیل و پیاده‌سازی مدار واسط پیشنهادی سوئیچ‌شونده خازنی استفاده کننده از ترکیب تکنیک‌های کاهش نویز CHS و CDS ۴۹
۴-۵- طراحی و بهینه‌سازی مدار واسط پیشنهادی ۵۳
۴-۵-۱- آنالیز و تحلیل آفست ۵۳
۴-۵-۲- فیلتر پایین‌گذر سوئیچ‌شونده خازنی ۵۷
۴-۵-۳- بهینه‌سازی پارامترهای مداری ۵۹
۴-۵-۴- مدار واسط پیشنهادی با حساسیت متغیر ۶۱
۵- مدولاتور سیگما-دلتا طراحی شده ۶۶
۵-۱- ساختارهای مدولاتورهای سیگما-دلتا ۶۶
۵-۱-۱- مدولاتورهای سیگما-دلتای چند حلقه‌ای ۶۶
۵-۱-۲- مدولاتورهای سیگما-دلتای تک حلقه‌ای ۶۸
۵-۱-۲-۱- فیلتر حلقه با مسیرهای فیدبک توزیع شده ۶۹
۵-۱-۲-۲- فیلتر حلقه با مسیرهای پیشخور توزیع شده ۶۹
۵-۲- طراحی سیتسمی مبدل ۷۱
۵-۲-۱- اثرات غیرایده‌آل مدارهای تشکیل‌دهنده مدولاتور ۷۲

۵-۲-۱-۱- نویز ۷۲
۵-۲-۱-۲- اثر محدود بودن بهره تقویت‌کننده ۷۵
۵-۳- مدولاتور مرتبه دو پیشخور توزیع‌شده با بهره متغیر ۷۶
۵-۴- پیاده‌سازی مداری مبدل ۷۷
۵-۴-۱- مدار جمع‌کننده سوئیچ‌شونده خازنی ۷۸
۵-۴-۲- انتگرال‌گیرها ۷۹
۵-۴-۳- تقویت‌کننده‌ها ۸۲
۵-۴-۳-۱- مدار تنظیم سطح ولتاژ مد مشترک خروجی ۸۳
۵-۴-۳-۲- مدار بایاس تطبیقی ۸۳
۵-۴-۴- کوانتایزر و DAC تک بیت ۸۵
۵-۵- شبیه‌سازی کلی مدار مدولاتور ۸۷
۶- نتایج شبیه‌سازی، نتیجه گیری و پیشنهادات ۹۲
۶-۱- شبیه‌سازی کلی ۹۲
۶-۲- نتیجه‌گیری ۹۶
۶-۳- ارائه‌ی پیشنهادات ۹۷
۷- مراجع ۹۹

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام کلی ADXL50 [26] ۶
شکل (۲-۲): شتاب‌سنج میکرو گرانشی سه محوری ADXRS150/300 [26] ۷
شکل (۲-۳): شتاب‌سنج گرانشی میکرو به همراه مدار باز خوانی CMOS [27]. ۷
شکل (۲-۴): نمای شماتیک مدار واسط حلقه‌بسته [27]. ۸
شکل (۲-۵): شتاب‌سنج ساخته شده در تکنولوژی بدنه و SOI [28]. ۸
شکل (۲-۶): شتاب‌سنج سه محوری ساخته شده با تکنولوژی CMOS-MEMS [29]. ۹
شکل (۲-۷): شتاب‌سنج خازنی MEMS ۹
شکل (۲-۸): مدل فشرده شده شتاب‌سنج میکرو خازنی [31]. ۱۰
شکل (۳-۱) : قاعده کلی اندازه‌گیری کننده‌های خازن. ۱۴
شکل (۳-۲): سه پیکربندی مداری مختلف در حسگر خازنی الف) حسگر ولتاژ ب) حسگر جریان ج) حسگر بار. ۱۵
شکل (۳-۳): منابع نویز الکترونیکی در یک مدار ساده اندازه‌گیری خازنی. ۱۶
شکل (۳-۴): قاعده کلی عملکرد تکنیک CDS. ۱۷
شکل (۳-۵): طیف نوعی نویز خروجی تقویت‌کننده CDS. ۱۷
شکل (۳-۶): قاعده کلی عملکرد تکنیک چاپر به همراه سیگنال‌ها در حوزه زمان و فرکانس. ۱۸
شکل (۳-۷) : طیف نوعی نویز خروجی تقویت‌کننده چاپر. ۱۹
شکل (۳-۸): مدار بافر بهره واحد: (الف) بافر ولتاژ (ب) بافر ولتاژ با بوت استرپ. ۲۰
شکل (۳-۹): بلوک دیاگرام مدار واسط مرجع [35] استفاده کننده از بافر ولتاژ با بهره واحد. ۲۰
شکل (۳-۱۰): تقویت چاپر با فیدبک خازنی. ۲۱
شکل (۳-۱۱): طرح مدار واسط مرجع [36] استفاده کننده از فیدبک خازنی در طبقه اول و دوم. ۲۲
شکل (۳-۱۲): تقویت‌کننده چاپر تفاضلی حلقه باز. ۲۲
شکل (۳-۱۳): بلوک دیاگرام مدار واسط [17] استفاده‌کننده از چاپر تفاضلی حلقه باز. ۲۳
شکل (۳-۱۴): طرح سیستم Dual Chopper مرجع [29]. ۲۴
شکل (۳-۱۵): تقویت‌کننده فیدبک خازنی [37]. ۲۵
شکل (۳-۱۶): تقویت‌کننده فیدبک مقاومتی [32]. ۲۵
شکل (۳-۱۷) : تقویت‌کننده سوئیچ شونده خازنی IOS [38]. ۲۶

شکل (۳-۱۸) : تقویت‌کننده سوئیچ‌شونده خازنی OOS [39]..... ۲۶
شکل (۳-۱۹) : بلوک دیاگرام مدولاتور $\Delta\sum$ مرتبه اول..... ۲۹
شکل (۳-۲۰): مدل خطی مدولاتور $\Delta\sum$ مرتبه اول ۲۹
شکل (۳-۲۱): تابع چگالی احتمال فرض شده برای خطای کوانتایزسیون q[n]..... ۳۰
شکل (۳-۲۲): مدار واسط سیگمادلتا مرجع [41]..... ۳۱
شکل (۳-۲۳): مدولاتور $\Delta\sum$ مرتبه دوم..... ۳۲
شکل (۳-۲۴): بلوک دیاگرام عملکرد شتاب‌سنج $\Sigma\Delta$ حلقه بسته [31]..... ۳۳
شکل (۳-۲۵): مدار واسط سیگمادلتا حلقه بسته مرجع [42]..... ۳۴
شکل (۳-۲۶): نمای کلی سیستم حلقه بسته مرتبه ۴ مرجع [44]..... ۳۴
شکل (۳-۲۷): بلوک دیاگرام مدار واسط پیشنهادی..... ۳۴
شکل (۴-۱): شماتیک یک تقویت‌کننده SC [31] ۳۶
شکل (۴-۲): مدار معادل تقویت‌کننده در فاز نمونه‌برداری..... ۳۷
شکل (۴-۳): مدار معادل تقویت‌کننده در فاز تقویت‌کنندگی..... ۳۷
شکل (۴-۴): الف) شماتیک پیاده‌سازی شده یک OTA کاسکود تاشده تمام تفاضلی ب) مدار بایاس OTA..... ۳۹
شکل (۴-۵): پاسخ فرکانسی شبیه‌سازی شده یک OTA تفاضلی کاسکود تا شده..... ۴۰
شکل (۴-۶): شبیه‌سازی نویز ارجاع داده شده به ورودی OTA ۴۱
شکل (۴-۷): پیاده‌سازی تکنیک CDS بر روی مدار واسط خازنی..... ۴۲
شکل (۴-۸): مدل ساده شده مداری پیاده‌سازی تکنیک CDS [37]..... ۴۲
شکل (۴-۹): رزولوشن مدار واسط CDS بر حسب تغییرات خازن پارازیتی..... ۴۵
شکل (۴-۱۰): چگالی طیف توان خروجی با استفاده از تکنیک CDS..... ۴۶
شکل (۴-۱۱): خروجی شبیه‌سازی شده تقویت‌کننده SC (ΔC_s=0.4pF در فرکانس 100 Hz) ۴۶
شکل (۴-۱۲): پیاده‌سازی تکنیک چاپر بر روی مدار واسط خازنی ۴۷
شکل (۴-۱۳): مدل ساده شده مداری پیاده‌سازی تکنیک چاپر [34]..... ۴۷
شکل (۴-۱۴): رزولوشن مدار واسط Chopper بر حسب تغییرات خازن پارازیتی..... ۴۸
شکل (۴-۱۵): چگالی طیف توان خروجی با استفاده از تکنیک Chopper..... ۴۸
شکل (۴-۱۶): مدار پیشنهادی، پیاده‌سازی تکنیک Chopper و CDS بر روی مدار واسط خازنی ۴۹
شکل (۴-۱۷): مدل ارائه شده کاهش نویز در مدار استفاده کننده از ترکیب تکنیک‌های Chopper و CDS ۵۰
شکل (۴-۱۸): رزولوشن مدار واسط پیشنهادی استفاده کننده ازتکنیک ترکیبی CDS و CHS بر حسب

تغییرات خازن پارازیتی ۵۱
شکل (۴-۱۹): رزولوشن مدار واسط پیشنهادی استفاده کننده ازتکنیک ترکیبی CDS و CHS بر حسب تغییرات خازن پارازیتی برای مقادیر مختلف f_s/f_{chop}. ۵۱
شکل (۴-۲۰): خروجی مدار واسط پیشنهادی در نقاط مختلف. ۵۲
شکل (۴-۲۱): چگالی طیف توان خروجی با استفاده از تکنیک CDS و Chopper. ۵۲
شکل (۴-۲۲): مقایسه رزولوشن برای سه مدار واسط CDS ، CHS ، و ترکیب CDS و CHS ۵۳
شکل (۴-۲۳): ورودی تقویت‌کننده چاپر و سیگنال‌های ضربه [50]. ۵۴
شکل (۴-۲۴): آفست باقیمانده ایجاد شده توسط سیگنال‌های ضربه [50]. ۵۵
شکل (۴-۲۵): سهم آفست خروجی نرمالیزه شده. ۵۷
شکل (۴-۲۶): شماتیک مداری فیلتر پایین‌گذر مرتبه اول SC استفاده کننده از تکنیک کاهش نویز CDS ۵۸
شکل (۴-۲۷): پاسخ فرکانسی فیلتر پایین‌گذر شبیه‌سازی شده. ۵۹
شکل (۴-۲۸): مینیمم خازن قابل آشکارسازی مدار واسط پیشنهادی برای حالات کاری مختلف نسبت به تغییرات خازن پارازیتی سنسور. ۶۰
شکل (۴-۲۹): مدار Front-end تمام تقاضلی پیشنهادی. ۶۲
شکل (۴-۳۰): :الف) سیگنال خروجی مدارFront-end به ازای تغییر خازن 2aF در فرکانس 10 Hz. ب) ولتاژ خروجی برحسب تغییرات خازنی از aF 2 الی 8fF ۶۳
شکل (۴-۳۱): الف) سیگنال خروجی Front-end به ازای تغییر خازن 6 pF در فرکانس 10 Hz. ب) ولتاژ خروجی برحسب تغییرات خازنی از fF 8 الی 1.6 pF. ۶۳
شکل (۴-۳۲): طیف نویز خروجی مدار در گوشه‌های کاری و دمای مختلف. ۶۴
شکل (۵-۱): دیاگرام ساختار MASH ۶۷
شکل (۵-۲): مدولاتور مرتبه دو با ساختار فیدبک توزیع شده. ۶۹
شکل (۵-۳) : مدولاتور مرتبه دو با ساختار پیشخور توزیع شده. ۷۰
شکل (۵-۴) : بلوک دیاگرام مبدل سیگما-دلتای مدار واسط مورد نظر. ۷۱
شکل(۵-۵) : طیف خروجی مدولاتور شبیه‌سازی شده. ۷۲
شکل (۵-۶) : SNDR خروجی مدولاتور برحسب توان ورودی آن. ۷۲
شکل (۵-۷) : الف) مدار نمونه‌بردار سوئیچ خازنی ساده. ب) مدار معادل آن. ۷۳
شکل (۵-۸): الف) مدار انتگرال‌گیر سوئیچ شونده خازنی ب) فاز نمونه‌برداری ج) فاز انتگرالگیری. ۷۴
شکل (۵-۹): انتگرالگیر سوئیچ‌شونده خازنی با مدل کردن نویز تقویت‌کننده الف) فاز نمونه‌برداری ب) فاز انتگرال‌گیری ۷۵

شکل (۵-۱۰): نمودار SNDR برحسب تغییرات بهره انتگرالگیر اول ۷۶
شکل (۵-۱۱) : ساختار مدولاتور با بهره متغیر..... ۷۶
شکل (۵-۱۲): منحنی SNDR خروجی مدولاتور برحسب توان ورودی آن به ازای دو بهره 4× و 1× ۷۷
شکل (۵-۱۳): پیاده‌سازی مداری مدولاتور مرتبه دو با STF واحد..... ۷۷
شکل (۵-۱۴): مدار جمع‌کننده غیرفعال سوئیچ خازنی..... ۷۸
شکل (۵-۱۵): پیاده‌سازی مداری مدولاتور با بهره متغیر 1× و 4× ۷۹
شکل (۵-۱۶): تغییر مقاومت حالت وصل سوئیچ‌ها برحسب ولتاژ کانال..... ۸۱
شکل (۵-۱۷): مدار سوئیچ خازنی تنظیم مد مشترک خروجی..... ۸۳
شکل (۵-۱۸): مدار بایاس تطبیقی تقویت‌کننده اول..... ۸۴
شکل (۵-۱۹): پاسخ فرکانسی آپ‌امپ با بایاس تطبیقی در هر دو حالت..... ۸۵
شکل (۵-۲۰): مدار لچ مورد استفاده در کوانتایزر..... ۸۶
شکل (۵-۲۱): الف) مدار SRLATCH ب) مدار NAND..... ۸۶
شکل (۵-۲۲): DAC تک بیت..... ۸۷
شکل (۵-۲۳): طیف توان خروجی مدولاتور بدون در نظر گرفتن نویز مدار برای بهره ۱ در گوشه معمولی تکنولوژی و دمای ۲۷°C..... ۸۸
شکل (۵-۲۴): طیف توان خروجی مدولاتور بدون در نظر گرفتن نویز مدار برای بهره ۱ و در گوشه کند تکنولوژی و دمای ۸۵°C..... ۸۸
شکل (۵-۲۵): طیف توان خروجی مدولاتور بدون در نظر گرفتن نویز مدار برای بهره ۱ در گوشه سریع تکنولوژی (۴۰°C-)..... ۸۹
شکل (۵-۲۶): طیف توان خروجی مدولاتور بدون در نظر گرفتن نویز مدار برای بهره ۴ و در گوشه معمولی تکنولوژی (۲۷°C)..... ۸۹
شکل (۵-۲۷): طیف توان خروجی مدولاتور بدون در نظر گرفتن نویز مدار برای بهره ۴ و در گوشه کند تکنولوژی (۸۵°C) ۸۹
شکل (۵-۲۸): طیف توان خروجی مدولاتور بدون در نظر گرفتن نویز مدار برای بهره ۴ در گوشه سریع تکنولوژی (۴۰°C-)..... ۹۰
شکل (۵-۲۹): محدوده دینامیکی مدولاتور در حالت بهره واحد در گوشه معمولی تکنولوژی و دمای ۲۷°C. ۹۰
شکل (۵-۳۰): محدوده دینامیکی مدولاتور در حالت بهره ۴ و در گوشه معمولی تکنولوژی و دمای ۲۷°C. ۹۰
شکل (۶-۱): نمای کلی مدار واسط پیشنهادی..... ۹۳
شکل (۶-۲): نمودار SNDR خروجی برای حالت 1×1.8 و تغییرات خازنی 200 fF ۹۳

شکل (۶-۳): نمودار SNDR خروجی برای حالت 1×180 و تغییرات خازنی 2 fF ۹۴
شکل (٦-٤): نمودار SNDR خروجی برای حالت 4×1.8 و تغییرات خازنی 40 fF ۹۴
شکل (۶-۵): نمودار SNDR خروجی سیستم بر حسب تغییرات خازنی گوناگون و برای سه حالت 1×1.8، 4×1.8 و 1×180 ..... ۹۴
شکل (۶-۶): بلوک دیاگرام مدار واسط برای شتاب‌سنج سه محوری..... ۹۷

فهرست جدول‌ها

جدول (۲-۱): مشخصات شتاب‌سنج خازنی MEMS ساخته شده در تکنولوژی میکروماشینینگ مختلف [13-25]..... ۱۱
جدول (۴-۱): مشخصات آپ‌امپ کاسکود تاشده طراحی شده. ۴۱
جدول (۴-۲): حالت‌های کاری مختلف مدار. ۵۹
جدول (۴-۳): مقایسه رزولوشن و تغییرات خازنی مدار پیشنهادی ترکیبی با تکنیکهای تنهای CDS و CHS ۵۹
جدول (۴-۴): خلاصه عملکرد مدار پیشنهادی به همراه مقایسه با کارهای دیگر . **Error! Bookmark not defined.**
جدول (۵-۱): ابعادخازن‌های به کار رفته در انتگرال‌گیر اول و دوم برای بهره ۱. **Error! Bookmark not defined.**
جدول (۵-۲): ابعادخازن‌های به کار رفته در انتگرال‌گیر اول و دوم برای بهره ۴. **Error! Bookmark not defined.**
جدول (۵-۳): مشخصات آپ‌امپ انتگرال‌گیر اول قبل و بعد از نصف شدن جریان. ۸۴
جدول (۵-۴): خلاصه نتایج شبیه‌سازی مدولاتور..... ۹۰
جدول (۶-۱): مقایسه مدار واسط در سه حالت 1×1.8، 4×1.8 و 1×180 . ..... ۹۶
جدول (۶-۲): مقایسه مدار واسط سیگما-دلتای پیشنهادی با برخی از مدار واسط‌های استفاده کننده از ADC. ۹۶
جدول (۶-۳): مشخصات مدار واسط ارائه شده. ۹۷

مراجع

[1] H. Zhili, B. Wingfield, M. Whitley, J. Brooks, and J. A. Hammer, "A design methodology for a bulk-micromachined two-dimensional electrostatic torsion micromirror," *IEEE J. Microelectromech*. Syst., vol. 12, no. 32, pp. 693 – 701, Oct. 2003.

[2] R. Chan, R. Lesnick, D. Becher, and F. Milton, "Low-actuation voltage RFMEMS shunt switch with cold switching lifetime of seven billion cycles," *IEEE J. Microelectromech. Syst*., vol. 12, no. 5, pp. 713 – 719, Oct. 2003.

[3] S. Pourkamali, F. Ayazi, "High frequency capacitive micromechanical resonators with reduced motional resistance using the HARPSS technology," *in Tech. Dig. Silicon Monolithic Integrated Circuits in RF Systems*, pp. 147 – 150, Sept. 2004.

[4] H. Ki-Ho, C. Young-Ho, "Self-balanced navigation-grade capacitive microaccelerometers using branched finger electrodes and their performance for varying sense voltage and pressure," *IEEE J. Microelectromech*. Syst., vol. 12, pp. 11 – 20, Feb. 2003.

[5] N. Yazdi, F. Ayazi, and K Najafi, "Micromachined inertial sensors," *Proceedings of the IEEE*, vol. 86, no. 2, pp. 1640 – 1659, Aug. 1998.

[6] M. Palaniapan, R. T. Howe, and J. Yasaitis, "Integrated surface micromachined z-axis frame microgyroscope," *in Tech. Dig. International Electron Devices Meeting*, pp. 203 – 206, Dec. 2002.

[7] S. Seonho, K. Hak, and C. Kukjin, "An inertial-grade laterally-driven MEMS differential resonant accelerometer," *in Proc. IEEE Sensors*, pp. 654 – 657, Oct. 2004.

[8] D. T. Chang, R. L. Kubena, F. P. Stratton, D. J. Kirby, R. J. Joyce, and Kim Jinsoo, "Wafer-bonded, high dynamic range, single-crystalline silicon tunneling accelerometer," *in Proc. IEEE Sensors*, pp. 860 – 863, June 2002.

[9] A. Kourepenis, J. Borenstein, J. Connelly, R. Elliott, P. Ward, and M. Weinberg, "Performance of MEMS inertial sensors," *IEEE Position Location and Navigation Symp*, pp. 1– 8 , Apr. 1998.

[10] A. Beliveau, G. T. Spencer, K. A. Thomas, and S. L. Roberson, "Evaluation of MEMS capacitive accelerometer," *IEEE Design and Test of Computers*, vol. 16, no. 10, pp. 48 – 56, Dec. 1999.

[11] A. Garcia –Valenzuela and M. Tabib-Azar, “Comparative study of piezoelectric, piezoresistive, electrostatic, magnetic, and optical sensors,” *Proc. SPIE*, vol. 22, no. 19, pp. 125 – 142, July 1994.

[12] M.W. Judy, “Evolution of integrated inertial MEMS technology,” *in Tech. Dig. Solid-State Sensors, Actuators, and Microsystems Workshop*, pp. 27 – 32, June 2004.

[13] N. Yazdi, and K. Najafi, “An all-silicon single-wafer micro-g accelerometer with a combined surface and bulk micromachining process,” *IEEE J. Microelectromech*. Syst, vol. 9, no. 16, pp. 544 – 550, Dec. 2000.

[14] N. Yazdi and K. Najafi, "An interface IC for a capacitive silicon μg accelerometer," *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 132-133, 1999.

[15] H. Kulah, N. Yazdi, and K. Najafi, "A CMOS switched-capacitor interface circuit for an integrated accelerometer," *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems*, pp. 244-247, 2000.

[16] J. Chae, H. Kulah, and K. Najafi, "A monolithic three-axis silicon capacitive accelerometer with micro-g resolution," *Proceedings of 12th International Conference on TRANSDUCERS, Solid-State Sensors, Actuators and Microsystems*, vol. 1, pp 81-84, 2003.

[17] J. Wu, G. K. Fedder, and L. R. Carley, "A low-noise low-offset capacitive sensing amplifier for a 50-μ g / Hz monolithic CMOS MEMS accelerometer," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 722-730, 2004.

[18] M. Lemkin and B. E. Boser, "A three-axis micromachined accelerometer with a CMOS position-sense interface and digital offset-trim electronics," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 456-468, 1999.

[19] J. M. Bustillo, R. T. Howe, and R. S. Muller, "Surface micromachining for microelectromechanical systems," *Proceedings of the IEEE*, vol. 86, pp. 1552-1574, 1998.

[20] Analog Devices, "ADXL103/ADXL203 Single/Dual Axis Accelerometer Datasheet," 2009.

[21] Research and Markets, "*Mems4Mobile: Analysis of the applications and markets of MEMS in mobile communications*," Yole Development 2010.

[22] H. Qu, D. Fang, and H. Xie, "A single-crystal silicon 3-axis CMOS-MEMS accelerometer," presented at Sensors, 2004. *Proceedings of IEEE Sensors*, vol. 2, pp. 661-664, 2004.

[23] H. Qu, D. Fang, and H. Xie, "High-resolution Integrated Micro-gyroscope for Space Applications," *presented at 41st Space Congress*, Cap Carnaveral, FL, 2004.

[24] H. Xie and G. K. Fedder, "Fabrication, characterization, and analysis of a DRIE CMOS-MEMS gyroscope," *IEEE Sensors Journal*, vol. 3, pp. 622-631, 2003.

[25] H. Xie, L. Erdmann, X. Zhu, K. J. Gabriel, and G. K. Fedder, "Post-CMOS processing for high-aspect-ratio integrated silicon microstructures," *Journal of Micro electromechanical Systems*, vol. 11, pp. 93-101, 2002.

[26] W. Gopel, J. Hesse, and J. N. Zemel, Sensors: *A Comprehensive Survey*, vol. 7, Wiley, Weinheim, Germany, 1994.

[27] C. Junseok, H. Kulah, and K. Najafi, “An in-plane high-sensitivity, low-noise micro-g silicon accelerometer with CMOS readout circuitry,” *IEEE J. Microelectromech. Syst*, vol. 13, pp. 628 – 635, Aug. 2004.

[28] B. V. AMini, R. Abdolvand, F. Ayazi, “A 4.5-mW Closed-Loop Micro-Gravity CMOS SOI Accelerometer,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, Dec. 2006.

[29] H. Sun; D. Fang; K. Jia; F. Maarouf.; H. Qu, "A Low-Power Low-Noise Dual-Chopper Amplifier for Capacitive CMOS-MEMS Accelerometers," *IEEE Sensors Journal*, pp. 925-933, April 2011.

[30] N. Yazdi, *Micro-g Silicon Accelerometers with High Performance CMOS Interface Circuitry*, Ph. D. Dissertation, University of Michigan, 1999.

[31] B. Amini, *A mixed-signal low-noise sigma-delta interface IC for integrated submicro-gravity capacitive SOI accelerometers*, doctoral Dissertation, Georgia Institute of Technology, 2006.

[32] D. Fang, *Low noise and Low power interface Circuits Design for integrated CMOS-MEMS inertial sensors*, doctoral dissertation, University of Florida, 2008.

[33] A. Bakker, K. Thiele, and J. H. Huijsing, "A CMOS nested-chopper instrumentation amplifier with 100-nV offset," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1877-1883, 2000.

[34] C.C. Enz, G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *in Proc. of the IEEE*, pp.1584 – 1614, Nov. 1996.

[35] M. Schipani, P. Bruschi, G. C. Tripoli, T. Ungaretti, "A low power CMOS interface circuit for three-axis integrated accelerometers, " *Research in Microelectronics and Electronics Conference*, May 2007.

[36] K.T. C. Chai, et. al. "118-dB dynamic range, continuous-time, opened-loop capacitance to voltage converter readout for capacitive MEMS accelerometer," *IEEE Asian solid-state circuits conference,* 2010.

[37] T. Singh, T. Saether, and T. Ytterdal, "Current-Mode capacitive sensor interface circuit with single-ended to differential output capability," *IEEE Transaction on Instrumentation and Measurement*, vol. 58, no. 11, Nov. 2009.

[38] B. Vakili Amini, S. Pourkamali, M. Zaman, and F. Ayazi, "A new input switching scheme for a capacitive micro-g accelerometer," *Tech. Dig Symposium on VLSI Circuits*, pp. 310 – 313, June 2004.

[39] A. Baschirotto, A. Gola, E. Chiesa, E. Lasalandra, F. Pasolini, M. Tronconi, and T. Ungaretti, "A 1-g Dual-Axis Linear Accelerometer in a Standard 0.5-μm CMOS Technology for High-Sensitivity Applications," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, July 2003.

[40] H. Inose, Y. Yasada, and J. Murakami, "A telemetering system code modulation ∑Δ modulation," *IRE Trans Space Elect. Telemetry*, vol.8, no.1, pp. 204-209, Sep 1962.

[41] B. Vakili Amini and F. Ayazi, "A 2.5V 14-bit Sigma-Delta CMOS-SOI capacitive accelerometer," *IEEE Journal of Solid State Circuits*, pp. 2467 – 2476, Dec. 2004.

[42] I. E. Ocak, R. Kepenek , H. Kulah , T .Akin, 'A high performance R-D readout circuitry for lg resolution microaccelerometers," *Analog Integrated Circuit and Signal Process*, pp-137–145, 2010.

[43] K. Xiaofei, "A fully-differential Chopper-Stabilized Sigma-Delta Interface for MicroAccelerometer" *International Conference on Mechanical and Electrical Technology* (ICMET), pp.726-729, 2010.

[44] V. Petkov, B. Boser, "A Forth-order Interface for micromachined Inertial Sensors," *IEEE J. Solid-State Circuits*, vol. 40, no. 8, pp. 1602-1609, Aug. 2005.

[45] N. E. Seraji and M. Yavari, "Minimum detectable capacitance in capacitive readout circuits*," in Proc. IEEE Int. Midwest Symposuim on Circuits and System* (MWSCAS), Aug. 2011.

[46] P.R. Gray, R.G. Meyer, P.J. Hurst and S.H. Lewis, *Analysis and Design of Analog Integrated Circuits*, Hoboken, NJ: John Wiley and Sons, 2001.

[47] P. K.Chan, L. S.Ng, L.Siek, and K. T. Lau, "Designing CMOS folded-cascode operational amplifier with flicker noise minimisation," *Microelectronics Journal*, vol. 32, no. 1, pp. 69-73, Jan. 2001.

[48] J.M. Pimbley, G.J. Michon, "The output power spectrum produced by correlated double sampling," *IEEE Trans. Circuit and system*, vol. 38, pp. 1086–1090, Sept.1991.

[49] N. Wongkomet and B. E. Boser, "Correlated double sampling in capacitive position sensing circuits for micromachined applications," *IEEE Asia-Pacific Conf. on Cir. and Systems*, pp.723-726, Nov. 1998.

[50] Ch. Menolfi, Q. Huang, "A low-noise CMOS Instrumentation amplifier for thermoelectric infrared detectors," *IEEE J.Solid-State Circuits* , vol. 32, no. 7, pp. 968-976, July 1997.

[51] P. E. Allen, and D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, 2nd edition, Jan. 2002.

[52] J. Shiah, H. Rashtian, and S. Mirabbasi, "A low-noise high-sensitivity readout circuit for MEMS capacitive sensors," *in Proc. IEEE Int. Symp. Circuits and Systems* (ISCAS*)*, pp.3280-3283, May 2010.

[53] O. Bernal et al. "A low-power high-performance accelerometer ASIC for high-end medical motion sensing," *in Proc. 32th annual international conference of the IEEE EMBS*, pp. 190-193, Aug. 2010.

[54] A. Gola, P. Bendiscioli, E. Chiesa, E. Lasalandra, F. Pasolini, M. Tronconi, T. Ungaretti." A 80dB-SNR 1g fully-integrated biaxial linear accelerometer in a standard 0.5μm CMOS technology for high-sensitivity applications "*ESSCIRC*, pp.631-635, 2002.

[55] M. Liu, G.Zhang, J. Dong, and C. Zhao, "Interface Circuit for Capacitive Micro-accelerometer," in *Proc. IEEE Int. Symp. Circuits and Systems* (ISCAS*)*, pp.654-658, May 2008.

[56] Zhao, M. F. Zaman, F. Ayazi, "A Chopper-Stabilized Lateral-BJT-Input Interface in 0.6μm CMOS for Capacitive Accelerometers, " *IEEE International Solid-State Circuits Conference*, pp.458-459, Feb. 2008

[57] L. Williams, and B. Wooley, "Third-order cascaded sigma-delta modulators," *IEEE Tran. on Circuits and Systems II*, vol. 38, pp. 489 – 498, May 1991.

[58] Jabob Baker, *CMOS mixed-signal circuit design*, Wiley-Interscience, NY, 1997.

[59] R. T. Baird and T. S. Fiez, "A low oversampling ratio 14-b 500-kHz AS ADC with a self-calibrated multi-bit DAC," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 312-320, Mar. 1996.

[60] T. Brooks, D. Robertson, D. Kelly, A Del Muro, and S. Hanston, "A cascaded sigma-delta pipeline A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1896-1906, Dec. 1997.

[61] M. Oberst and R. Weigel, "Delta-sigma feedforward topology," *Electronics Letters*, vol. 44, no. 8, Apr. 2008.

[62] A. Gharbiya and D. Johns, "On the implementation of input feedforward delta-sigma modulators," *IEEE Trans. Circuits Syst*. II, vol. 53, no.6, pp. 453-457, Jun. 2006.

[63] J. Steensgaard, "Nonlinearities in SC delta-sigma A/D converters," *IEEE Int. Conf. Electronics, Circuits and Systems*, Vol.1, pp. 355-358, Sept. 1998.

[64] J. Silva, U. Moon, J. Steensgard and G.C. Temes, "Wideband low distortion delta-sigma ADC topology*," Electronics Letters*, vol. 37, no 12, pp.737–738, Jun. 2001.

[65] S. Norsworthy, R. Schreier, and G. C. Temes, *Delta-Sigma Data converters: Theory, Design, and Simulation*, IEEE PRESS, 1997.

[66] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*, NY: John Wiley and Sons, 1997.

[67] T. Ritoniemi, T. Karema, and H. Tenhunen, "The design of stable high order 1-bitsigma-delta modulators," *Proc. 1990 IEEE Intl. Symp. Circuits Syst*., pp3267 –3270, May 1990.

[68] M. Yavari, "Data converters," *Class notes, Amirkabir University of Technology*, spring 2010.

[69] S. Brigati et al, "Modeling sigma-delta modulator non-idealities in SIMULINK," *Int. Symp. on Circuits and Systems (ISCAS)*, vol.2, pp. 384-387, 1999.

[70] P. Malcovati et al, "Behavioral modeling of switched-capacitor sigma–delta modulators," *IEEE Trans. Circuits Syst*., I, vol. 50, no.3, pp. 352-364, Mar. 2003.

[71] B. Razavi, "*Principals of data conversion system design*," IEEE Press, 1995.

[72] A. Yukawa, "A CMOS 8-bit high-speed A/D converter IC," *IEEE J. Solid-State Circuits,* vol. 20, no.3, pp.775-779, Jun. 1985.

[73] Z. Sohrabi," Design and Simulation of Sigma-Delta Modulators for Broadband Applications in 90-nm CMOS technology", Master of science dissertation, Amirkabir University of Technology, 2011.

[74] J. M. de la Rosa, S. Escalera, B. Pérez-Verdú, F. Medeiro, O. Guerra, R. del Río, and A. Rodríguez-Vázquez, "A CMOS 110-dB@40-kS/s Programmable-Gain Chopper-Stabilized Third-Order 2-1 Cascade Sigma-Delta Modulator for Low-Power High-Linearity Automotive Sensor ASICs,' *IEEE J. Solid-State Circuits*, vol. 40, no. 11, Nov. 2006.

[75] M. Paavola, , M. Kämäräinen, and K. A. I. Halonen. "A Micropower Interface ASIC for a Capacitive3-Axis Micro-Accelerometer," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, Dec. 2009.

[76] H. Kulah, J. Chae and N. Yazdi, "Noise analysis and characterization of a sigma-delta capacitive microaccelerometer," *IEEE J. Solid-State Circuits*, vol. 41 , no. 2, pp 352-361, Feb 2006.

[77] W. Bracke, P. Merken, R. Puers, and C.Van Hoof, "Ultra-Low-Power Interface Chip for Autonomous Capacitive Sensor Systems," *IEEE Transaction on Circuits and Systems*, vol. 54, no. 1, Jan. 2007.

ABSTRACT

Micromachined inertial sensors including accelerometers and gyroscopes have grown rapidly into a major type of MEMS products over the past two decades. They have a wide range of applications in automotive, consumer electronics, computer system, navigation, sports and health care. The trend towards miniaturization and higher performance results in electronics playing a more and more important role in integrated inertial sensors. Furthermore, low noise and low-power consumption is becoming critical consideration in the interface circuit of these sensors.

In this dissertation, an interface circuit for MEMS capacitive sensors is designed in 0.18 μm CMOS technology. The circuit is composed of two blocks: front-end and back-end blocks. In the front-end circuit which is connected directly to the sensor, offset and low-frequency noise reduction are vital necessities. In this dissertation, two commonly noise reduction techniques which are called CDS and CHS are used simultaneously in the front-end block. In fact, a comparison between performance of the proposed circuit and the circuits using only CDS and CHS technique is presented. The proposed circuit has the lowest sensitivity to parasitic capacitances. In other words, the circuit capacitance resolution change is less than 1 aF for up to 20 pF parasitic capacitance variations.

Another main goal of this thesis is exact noise analyses of these noise reduction techniques employed in the switched-capacitor interface circuits. In other words, accurate resolution equations have been achieved for interface circuits using only CDS, only CHS, and combination of CDS and CHS techniques. There are good agreement between simulation results and the analytical expressions. Furthermore, a unity-STF second-order modulator is designed for the back-end block of the interface circuit in order to digitize the input sensor acceleration. One of the major considerations of this dissertation is designing variable gain circuits for both front-end and back-end blocks. The designed and proposed interface circuit can detect capacitance changes in the range of 1 aF to 1.32 pF which is equal to 103 dB dynamic range. The circuit also consumes 1.28 mW with 1.8 V power supply.

Key Words: Micro electro mechanical sensor, capacitive interface circuit, CDS noise reduction technique, CHS noise reduction technique, Switched-capacitor circuit, Sigma-delta analog to digital converters.

Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of CMOS Interface Circuits for Capacitive Sensors

By:
Najme Ebrahimi Seraji

Under Supervision of:
Dr. Mohammad Yavari

January 2012