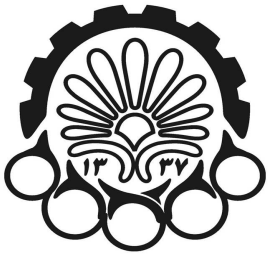


Amirkabir University of Technology

Department of Electrical Engineering

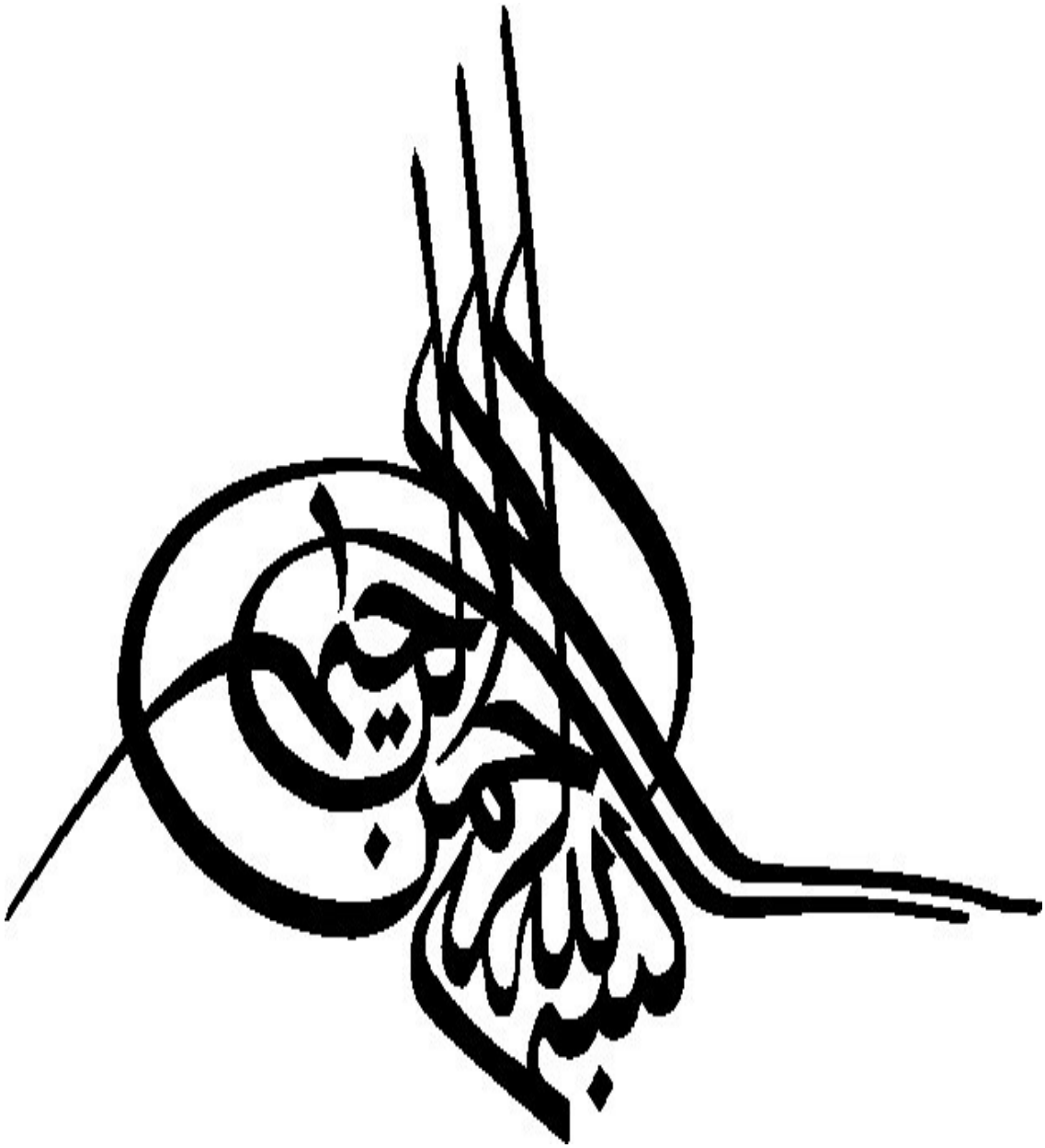
A dissertation submitted in partial fulfillment of the requirements for the degree of
Master of Science

Design and Simulation of Low Power Low Dropout (LDO) Voltage Regulators for On-Chip Applications

By:
Mortaza Mojarad

Under supervision of:
Dr. Mohammad Yavari

January 2012


بسم الله الرحمن الرحيم

دانشگاه صنعتی امیرکبیر

دانشکده مهندسی برق

کارشناسی ارشد الکترونیک- میکروالکترونیک

طراحی و شبیه‌سازی رگولاتورهای ولتاژ LDO با توان مصرفی پایین برای کاربردهای داخل تراشه

نگارش:

مرتضی مجرد

استاد راهنما:

دکتر محمد یاوری

دی ماه ۱۳۹۰

چکیده

هدف اصلی این تحقیق طراحی و شبیه‌سازی رگولاتورهای ولتاژ خطی از نوع Low-Dropout (LDO) برای کاربردهای داخل تراشه است به طوری‌که در آن‌ها خازن خروجی بزرگ مورد نیاز نباشد. در رگولاتورهای LDO معمولاً یک خازن بزرگ در خروجی رگولاتور مورد استفاده قرار می‌گیرد که این خازن به دلیل داشتن مقدار بزرگ، که به چند میکروفاراد هم می‌رسد، نمی‌تواند بر روی یک تراشه ساخته شود و یا حداقل فضای بسیار بزرگی از سطح تراشه را به خود اختصاص می‌دهد که از نظر اقتصادی به هیچ‌وجه مقرون به صرفه نیست. طبیعتاً حذف این خازن اثر منفی بر روی عملکرد رگولاتور می‌گذارد. در نتیجه برای جبران این اثر، چندین روش پیشنهاد گردیده و مورد بررسی قرار گرفته‌اند. این روش‌ها شامل تکنیک‌هایی برای جبران سازی فرکانسی و پاسخ حالت گذرا می‌باشند.

برای جبران‌سازی فرکانسی، چندین روش پیشنهاد شده است که مقدار خازن جبران‌سازی را کاهش داده و با تولید صفرهای سمت چپ باعث افزایش پهنای باند می‌شوند. در این روش‌ها از تقویت‌کننده ولتاژ و بافرهای جریان به همراه خازن‌های جبران‌سازی برای مسیر فیدبک اصلی استفاده شده است. همچنین برای بهبود پاسخ حالت گذرا مدارهایی برای بهبود و متقارن کردن نرخ چرخش طراحی شده‌اند. از آنجائیکه منبع تغذیه برای سیستم‌های الکترونیکی قابل حمل، باتری می‌باشد، لازم است تا رگولاتورهای مورد استفاده برای آن‌ها بازده توان و نیز بازده جریان بالایی داشته باشند تا عمر باتری و زمان کار این سیستم‌ها هر چه بیشتر افزایش یابد. بنابراین سعی شده است روش‌هایی که برای بهبود پاسخ و رفتار رگولاتورهای ولتاژ پیشنهاد می‌گردد، با استفاده از حداقل توان بیشترین تأثیر را در جهت افزایش قابلیت‌های آن‌ها داشته باشند.

در نهایت مدارهای پیشنهادی در دو تکنولوژی 0.35 µm CMOS و 90 nm CMOS طراحی و شبیه‌سازی شده‌اند و نتایج شبیه‌سازی‌ها نشان می‌دهد که تکنیک‌های پیشنهاد شده با مصرف توان بسیار کمی پاسخ رگولاتور ولتاژ را به طور قابل ملاحظه‌ای بهبود می‌بخشند و در نتیجه به خوبی و به طور قابل اطمینانی می‌توانند برای سیستم‌های داخل تراشه و کم توان مورد استفاده قرار گیرند. برای دو ساختار پیشنهادی که در تکنولوژی 0.35 µm CMOS شبیه‌سازی شده‌اند، بدترین زمان‌های نشست برابر با ۲/۶ و ۰/۸ میکروثانیه بوده و جریان کشیده شده از منبع تغذیه برای آن‌ها به ترتیب برابر با ۲۵ و ۴۵ میکروآمپر می‌باشد. همچنین سیگنال خروجی یکی از ساختارهای پیشنهاد شده که در تکنولوژی 90 nm CMOS شبیه‌سازی شده است، در بدترین حالت در عرض ۸۰ نانوثانیه به مقدار نهایی خود می‌رسد درحالیکه جریان نقطه کار کشیده شده از منبع برای آن تنها ۳۵ میکروآمپر می‌باشد.

کلمات کلیدی:

رگولاتورهای ولتاژ خطی، رگولاتورهای ولتاژ LDO، رگولاتورهای داخل تراشه، جبران‌سازی فرکانسی، پاسخ حالت گذرا.

فهرست مطالب

فصل اول: مقدمه

۱-۱ انگیزه ۲
۱-۲ اهداف ۲
۱-۳ ساختار پایان‌نامه ۳

فصل دوم: مفاهیم اساسی رگولاتورهای ولتاژ

۲-۱ رگولاتورهای خطی و سوئیچ شونده ۴
۲-۱-۱ سرعت ۶
۲-۱-۲ نویز ۶
۲-۱-۳ بازده (راندمان) ۷
۲-۲ رگولاتورهای خطی ۸
۲-۲-۱ عملکرد فرکانسی رگولاتورهای خطی ۸
۲-۲-۲ مفهوم ولتاژ Dropout ۹
۲-۳ اصول کار رگولاتورهای خطی ۱۰
۲-۴ پارامترها و معیارهای عملکرد رگولاتورهای خطی ۱۲
۲-۴-۱ تنظیم خط ۱۲
۲-۴-۲ تنظیم بار ۱۲
۲-۴-۳ میزان حذف ریپل منبع تغذیه ۱۳
۲-۴-۴ دقت ۱۴
۲-۴-۴-۱ تغییرات ولتاژ مرجع ۱۵
۲-۴-۴-۲ تغییرات ولتاژ تقویت کننده خطا ۱۶
۲-۴-۴-۳ تولرانس مقاومتهای نمونه بردار ۱۷
۲-۴-۵ بازدهی جریان ۱۹
۲-۵ انواع مدارهای عبور دهنده جریان بار ۱۹

فصل سوم: ساختارهای مختلف رگولاتورهای خطی

۳-۱ ساختار CMOS چند طبقه ۲۱
۳-۱-۱ پاسخ فرکانسی ۲۲
۳-۱-۲ پاسخ زمانی حالت گذرا ۲۵
۳-۱-۳ رگولاتور ولتاژ با ساختار CMOS چند طبقه ۲۷
۳-۲ ساختار بافر شده ۲۸
۳-۲-۱ رگولاتورهای ولتاژ با ساختار بافر شده ۲۹

فصل چهارم: طراحی اولین رگولاتور پیشنهادی

۴-۱ ساختار رگولاتور سه طبقه پیشنهادی ۳۱
۴-۲ طراحی ترانزیستور قدرت ۳۵
۴-۳ رگولاتور ولتاژ بدون جبران سازی ۳۷
۴-۳-۱ رگولاتور LDO سه طبقه جبران نشده ۳۷
۴-۴ روش پیشنهادی برای جبران سازی فرکانسی ۴۲
۴-۴-۱ تابع تبدیل ۴۳
۴-۴-۲ استراتژی جبران سازی فرکانسی ۴۷
۴-۵ بهبود پاسخ حالت گذرا ۴۹
۴-۶ پیاده سازی مداری رگولاتور پیشنهادی ۵۰

فصل پنجم: روش DAFSMC برای جبران‌سازی رگولاتورهای LDO

۵-۱ توپولوژی پیشنهادی برای رگولاتور DAFSMC ۵۳
۵-۱-۱ تحلیل پاسخ فرکانسی ۵۴
۵-۱-۲ استراتژی جبران‌سازی فرکانسی ۵۶
۵-۲ بهبود پاسخ زمانی حالت گذرا ۵۸
۵-۳ پیاده سازی و توضیح عملکرد مدار ۶۰

فصل ششم: روش DAF-VB برای جبران‌سازی رگولاتورهای ولتاژ LDO

۶-۱ پاسخ فرکانسی ۶۳
۶-۲ بهبود پاسخ زمانی حالت گذرا ۶۷
۶-۳ پیاده‌سازی مداری رگولاتور DAF-VB ۶۷

فصل هفتم: نتایج شبیه‌سازی‌ها، نتیجه‌گیری و ارائه پیشنهادات

۷-۱ پاسخ فرکانسی حلقه باز ۷۱
۷-۲ پاسخ حالت پایدار ۷۷
۷-۳ پاسخ حالت گذرا: ۸۰
۷-۴ پاسخ فرکانس بالا ۸۸
۷-۵ مقایسه نتایج ۹۲
۷-۶ نتیجه‌گیری ۹۴
۷-۷ ارائه پیشنهادات ۹۴
مراجع: ۹۶

فهرست شکل‌ها

شکل (۲-۱) انواع رگولاتور: (الف) رگولاتور سوئیچ شونده و (ب) رگولاتور خطی. ۶

شکل (۲-۲): مشخصه ورودی-خروجی یک رگولاتور خطی. ۱۰

شکل (۲-۳): نمای ساده از یک رگولاتور خطی. ۱۱

شکل(۲-۴): یک رگولاتور خطی با انحراف از ولتاژ مرجع. ۱۶

شکل(۲-۵): یک رگولاتور خطی با انحراف ولتاژ خروجی تقویت کننده خطا. ۱۷

شکل (۲-۶): یک رگولاتور خطی برای نشان دادن تاثیر تولرانس مقاومت‌های نمونه بردار. ۱۸

شکل (۲-۷): ساختارهای مختلف مدار عبور جریان. ۱۹

شکل (۳-۱): ساختار رگولاتور دو طبقه CMOS ۲۲

شکل (۳-۲): محل قرار گرفتن قطب‌ها و صفرها برای رگولاتورهای با خازن داخلی. ۲۳

شکل (۳-۳): محل قرار گرفتن قطب‌ها و صفرها برای رگولاتورهای با خازن بیرون از تراشه. ۲۴

شکل (۳-۴): یک رگولاتور ساده CMOS با جبران‌سازی فرکانسی. ۲۵

شکل (۳-۵): مدار معادل رگولاتور در حالت گذرا. ۲۶

شکل (۳-۶): یک رگولاتور ولتاژ دو طبقه CMOS با پاسخ فرکانسی بهبود یافته. ۲۷

شکل (۳-۷): ساختار کلی یک رگولاتور بافر شده. ۲۸

شکل (۳-۸): مدار یک بافر ولتاژ با استفاده از تکنیک BIA. ۳۰

شکل (۳-۹): یک رگولاتور ولتاژ بافر شده با بازده جریان بالا. ۳۰

شکل (۴-۱): رگولاتور ولتاژ به عنوان تقویت‌کننده چند طبقه. ۳۲

شکل (۴-۲): پاسخ فرکانسی یک رگولاتور سه طبقه جبران‌سازی نشده. ۳۲

شکل (۴-۳): ولتاژ خروجی شبیه‌سازی شده یک رگولاتور ۱/۶ ولتی جبران نشده و ناپایدار. ۳۳

شکل (۴-۴): ساختار یک رگولاتور داخل تراشه با جبران‌سازی پاسخ فرکانسی و بهبود پاسخ زمانی. ۳۴

شکل (۴-۵) طراحی ترانزیستور قدرت. ۳۵
شکل (۴-۶): طراحی رگولاتور با استفاده از تقویت‌کننده خطای ایده‌آل. ۳۸
شکل (۴-۷): شبیه سازی پاسخ فرکانسی بدون استفاده از تقویت‌کننده خطای واقعی. ۳۹
شکل (۴-۸): مدار معادل سیگنال کوچک رگولاتور سه طبقه جبران نشده. ۳۹
شکل (۴-۹): تغییرات پارامترهای مربوط به ترانزیستور قدرت: الف) هدایت انتقالی ب) مقاومت خروجی.. ۴۲
شکل (۴-۱۰): توپولوژی پیشنهادی برای جبران‌سازی فرکانسی رگولاتور سه طبقه..... ۴۳
شکل (۴-۱۱): مدار معادل سیگنال کوچک توپولوژی پیشنهادی برای جبران‌سازی رگولاتور سه طبقه..... ۴۴
شکل (۴-۱۲): مکان تقریبی صفر و قطب‌ها برای (الف) ناحیه زیر آستانه و اشباع و (ب) ناحیه خطی..... ۴۹
شکل (۴-۱۳): رگولاتور ولتاژ با مدار بهبود دهنده نرخ چرخش..... ۵۰
شکل (۴-۱۴): مدار رگولاتور ولتاژ پیشنهادی بدون جبران‌سازی و مدار بهبود نرخ چرخش. ۵۱
شکل (۴-۱۵): مدار جبران‌سازی فرکانسی و بهبود نرخ چرخش برای رگولاتور ولتاژ پیشنهادی..... ۵۲
شکل (۵-۱): توپولوژی رگولاتور با جبران‌سازی DAFSMC. ۵۴
شکل (۵-۲): رگولاتور با نرخ چرخش نامتقارن و زمان نشست زیاد..... ۵۸
شکل (۵-۳): بلوک دیاگرام رگولاتور با جبران‌سازی فرکانسی و زمانی..... ۵۹
شکل (۵-۴): مدار رگولاتور DAFSMC پیشنهادی. ۶۰
شکل (۵-۵): ادامه مدار رگولاتور DAFSMC پیشنهادی..... ۶۱
شکل (۵-۶) مدار فیدبک حالت مشترک..... ۶۲
شکل (۶-۱): توپولوژی رگولاتور با جبران‌سازی DAF-VB. ۶۴
شکل (۶-۲): مدار نمونه‌بردار استفاده شده در رگولاتور ولتاژ DAF-VB..... ۶۸
شکل(۶-۳): مدار رگولاتور با جبران سازی DAF-VB..... ۶۹
شکل (۶-۴): ادامه مدار رگولاتور DAF-VB پیشنهادی. ۷۰
شکل (۶-۵): مدار فیدبک حالت مشترک. ۷۰

شکل (۷-۱): پاسخ فرکانسی برای جریانه‌ای بار کم، متوسط و زیاد با خازن جبران سازی 70 fF. ۷۲
شکل (۷-۲): پاسخ فرکانسی برای جریانه‌ای بار کم، متوسط و زیاد با خازن جبران سازی 55 fF. ۷۲
شکل(۷-۳): پاسخ فرکانسی برای جریانه‌ای بار کم، متوسط و زیاد با خازن جبران‌سازی 85 fF. ۷۳
شکل(۷-۴): پاسخ فرکانسی برای جریانه‌ای بار کم و زیاد برای رگولاتور DAFSMC. ۷۴
شکل (۷-۵): پاسخ فرکانسی برای جریانه‌ای بار کم و زیاد برای رگولاتور DAF-VB. ۷۶
شکل (۷-۶): تنظیم بار برای ولتاژ ورودی ۱/۸ ولتی. ۷۷
شکل (۷-۷): تنظیم بار برای ولتاژ ورودی ۳ ولتی. ۷۷
شکل (۷-۸): تنظیم بار برای ولتاژ ورودی ۲ ولتی برای رگولاتور DAFSMC. ۷۸
شکل (۷-۹): تنظیم بار برای ولتاژ ورودی ۴ ولتی برای رگولاتور DAFSMC. ۷۸
شکل (۷-۱۰): تنظیم بار برای ولتاژ ورودی ۰/۹ ولتی برای رگولاتور DAF-VB. ۷۹
شکل (۷-۱۱): تنظیم بار برای ولتاژ ورودی ۱/۲ ولتی برای رگولاتور DAF-VB. ۷۹
شکل (۷-۱۲): پاسخ حالت گذرا برای جریان بار از صفر تا ۱۰۰ میلی‌آمپر. ۸۰
شکل (۷-۱۳): پاسخ حالت گذرا برای جریان بار ۱ تا ۱۰۰ میلی‌آمپر. ۸۱
شکل (۷-۱۴): پاسخ حالت گذرا برای رگولاتور DAFSMC برای جریان بار صفر تا ۱۲۰ میلی‌آمپر. ۸۱
شکل (۷-۱۵): پاسخ حالت گذرا برای رگولاتور DAFSMC برای جریان بار ۱ تا ۱۲۰ میلی‌آمپر. ۸۲
شکل (۷-۱۶): پاسخ حالت گذرا برای رگولاتور DAF-VB برای جریان بار صفر تا ۲۵ میلی‌آمپر. ۸۳
شکل (۷-۱۷): پاسخ حالت گذرا برای رگولاتور DAF-VB برای جریان بار ۱ تا ۲۵ میلی‌آمپر. ۸۳
شکل (۷-۱۸): پاسخ حالت گذرا برای رگولاتور برای ولتاژ ورودی ۱/۸ تا ۳ ولت برای حالت جریان بار صفر میلی‌آمپر. ۸۴
شکل (۷-۱۹): پاسخ حالت گذرا برای رگولاتور برای ولتاژ ورودی ۱/۸ تا ۳ ولت برای حالت جریان بار ۱۰۰ میلی‌آمپر. ۸۵

شکل (۷-۲۰): پاسخ حالت گذرا برای رگولاتور برای ولتاژ ورودی ۲ تا ۴ ولت برای حالت جریان بار صفر میلی‌آمپر ۸۵
شکل (۷-۲۱): پاسخ حالت گذرا برای رگولاتور برای ولتاژ ورودی ۲ تا ۴ ولت برای حالت جریان بار ۱۲۰ میلی‌آمپر ۸۶
شکل (۷-۲۲): پاسخ حالت گذرا برای رگولاتور برای ولتاژ ورودی ۰/۹ تا ۱/۲ ولت برای حالت جریان بار صفر میلی‌آمپر ۸۷
شکل (۷-۲۳): پاسخ حالت گذرا برای رگولاتور برای ولتاژ ورودی ۰/۹ تا ۱/۲ ولت برای حالت جریان بار ۲۵ میلی‌آمپر ۸۷
شکل (۷-۲۴): PSR شبیه‌سازی شده برای جریان بار صفر میلی‌آمپر. ۸۸
شکل (۷-۲۵): PSR شبیه‌سازی شده برای جریان بار ۱۰۰ میلی‌آمپر. ۸۹
شکل (۷-۲۶): PSR شبیه‌سازی شده برای جریان بار صفر میلی‌آمپر برای رگولاتور DAFSMC ۸۹
شکل (۷-۲۷): PSR شبیه‌سازی شده برای جریان بار ۱۲۰ میلی‌آمپر برای رگولاتور DAFSMC ۹۰
شکل (۷-۲۸): PSR شبیه‌سازی شده برای جریان بار صفر میلی‌آمپر برای رگولاتور DAF-VB. ۹۱
شکل (۷-۲۹): PSR شبیه‌سازی شده برای جریان بار ۲۵ میلی‌آمپر برای رگولاتور DAF-VB. ۹۱

فهرست جدول‌ها

جدول (۲-۱): مقایسه بین انواع رگولاتورها. ۸

جدول (۲-۲): مقایسه ساختارهای مختلف مدار عبور جریان. ۲۰

جدول (۴-۱): مشخصات مورد انتظار از یک رگولاتور LDO امروزی. ۳۴

جدول (۴-۲): مقادیر شبیه‌سازی شده برای حاصلضرب ضریب سیالیت و خازن اکسید گیت. ۳۶

جدول (۴-۳): مقادیر شبیه‌سازی شده برای خازن‌های پارازیتی ترانزیستور قدرت..... ۳۶

جدول (۴-۴) مکان قطب‌ها و صفرها برای تمام شرایط بار..... ۴۷

جدول (۷-۱): نتایج به دست آمده از شبیه‌سازی پاسخ فرکانسی برای اولین رگولاتور پیشنهادی برای خازن‌های جبران‌سازی مختلف. ۷۳

جدول (۷-۲): پاسخ فرکانسی شبیه‌سازی شده برای اولین رگولاتور پیشنهادی..... ۷۳

جدول (۷-۳) اندازه ترانزیستورهای مورد استفاده برای اولین رگولاتور طراحی شده. ۷۴

جدول (۷-۴): نتایج به دست آمده از شبیه‌سازی پاسخ فرکانسی رگولاتور DAFSMC. ۷۵

جدول (۷-۵): مقدار پارامترهای مداری برای رگولاتور DAFSMC. ۷۵

جدول (۷-۶): نتایج به دست آمده از شبیه‌سازی پاسخ فرکانسی رگولاتور DAF-VB. ۷۶

جدول (۷-۷): مقدار پارامترهای مداری برای رگولاتور DAF-VB. ۷۶

جدول (۷-۸): نتایج به دست آمده از شبیه‌سازی پاسخ زمانی رگولاتور DAFSMC. ۸۲

جدول (۷-۹): نتایج به دست آمده از شبیه‌سازی پاسخ زمانی رگولاتور DAF-VB. ۸۴

جدول (۷-۱۰): نتایج به دست آمده از شبیه‌سازی پاسخ زمانی رگولاتور DAFSMC. ۸۶

جدول (۷-۱۱): نتایج به دست آمده از شبیه‌سازی پاسخ زمانی رگولاتور DAF-VB..... ۸۸

جدول (۷-۱۲): نتایج به دست آمده از شبیه‌سازی PSR رگولاتور DAFSMC. ۹۰

جدول (۷-۱۳): نتایج به دست آمده از شبیه‌سازی PSR رگولاتور DAF-VB. ۹۱

جدول (۷-۱۴): مقایسه عملکرد کارهای ارائه شده در این تحقیق با برخی از رگولاتورهای گزارش شده اخیر. ۹۲

مراجع:

[1] G. A. Rincon-Mora, *Analog IC design with low-dropout regulators* (*LDOs*), McGraw-Hill Professional, 2009.

[2] V. Gupta and G. A. Rincón-Mora, "A Low Dropout, CMOS Regulator with High PSR over Wideband Frequencies," In *Proc*. *International Symposium on Circuits, and Systems,*pp. 4245-4248, 2005.

[3] A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, John Wiley & Sons, 1983.

[4] G. A. Rincon-Mora, Current Efficient, Low Voltage, Low Drop-Out Regulators, PhD Thesis, Georgia Institute of Technology, Nov. 1996.

[5] H. Chung and A. Ioinovici, "Swithed Capacitor Based DC-DC Converter with Improved Input Current Waveform," *IEEE International Symposium on Circuits and Systems* (ISCAS), vol. 1, pp. 541-544, May 1996.

[6] G. Zhu and A. Ioinovici, "Switched Capacitor Power Supplies: DC Voltage Ratio Efficiency, Ripple, Regulation," *IEEE International Symposium on Circuits and Systems* (ISCAS), vol. 1, pp. 553-556, May 1996.

[7] R. J. Milliken, A Capacitor-Less Low Drop-out Voltage Regulator with Fast Transient Response, M.Sc. Thesis, Texas A&M University, Dec. 2005.

[8] A. Matsuzawa, "Low Voltage Mixed Analog/Digital Circuit Design for Portable Equipment," *Symposium on VLSI Circuits, Digest of Technical Papers*, pp. 49-54, 1993.

[9] V. Gupta, G. A. Rincon-Mora, and P. Raha, "Analysis and design of monolithic, high PSR, linear regulators for SoC applications," in *Proc. IEEE Int. SoC Conf.*, Sept. 2004, pp. 311-315

[10] S. Heng and C. Kha Pham, "A Low-Power High-PSRR Low-Dropout Regulator with Bulk-Gate Controlled Circuit," *IEEE Trans. Circuits and systems-II: Exp. Briefs,* vol. 57, no. 4, pp. 245-249, Apr. 2010.

[11] M. El-Nozahi, A. Amer, J. Torres, K. Entesari, and E. Sánchez-Sinencio, "High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 3, pp. 565-577, Mar. 2010.

[12] The Engineering Staff of Texas Instruments Semiconductor Group, *Technical Review of Low Dropout Regulator Operation and Performance*, Dallas, Texas; Texas Instruments Incorporated, 1999.

[13] The Engineering Staff of Texas Instruments Semiconductor Group, *The Voltage Regulator Handbook*, Dallas, Texas; Texas Instruments Incorporated, 1977.

[14] P. Y. Or and K. N. Leung, "An Output-Capacitorless Low-Dropout Regulator with Direct Voltage-Spike Detection," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 2, pp. 458-466, Feb. 2010.

[15] D. Camacho, P. Gui, and P. Moreira, "An NMOS low dropout voltage regulator with switched capacitor gate overdrive," In *Proc. 52nd Midwest Symposium on Circuits and Systems* (MWSCAS), pp. 808-811, Aug. 2009.

[16] G. Giustolisi, G. Palumbo, C. Falconi, and A. D'Amico, "NMOS Low Drop-Out Regulator with Dynamic Biasing," In *Proc. International Conference on Electronics, Circuits, and Systems* (ICECS),pp. 204-207, 2006.

[17] S. K. Lau, P. K. T. Mok, and K. N. Leung, "A low-dropout regulator for SoC with Q-reduction," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 3, pp. 658-664, Mar. 2007.

[18] A. Garimella, M. W. Rashid, and P. M. Furth, "Reverse nested miller compensation using current buffers in a three-stage LDO," *IEEE Trans. Circuits and Systems-II: Exp. Briefs,* vol. 57, no. 4, pp. 250-254, Apr. 2010.

[19] W. J. Huang, S. H. Lu, and S. I. Liu, "CMOS low dropout linear regulator with single Miller capacitor," *Elect. Letters*, vol. 42, no. 4, pp. 216-217, Feb. 2006.

[20] E. N. Y. Ho and P. K. T. Mok, "A Capacitor-Less CMOS Active Feedback Low-Dropout Regulator with Slew-Rate Enhancement for Portable On-Chip Application," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 57, no. 2, pp. 80-84, Feb. 2010.

[21] R. J. Milliken, J. Silva-Martínez, and E. Sánchez-Sinencio, "Full On-Chip CMOS Low-Dropout Voltage Regulator," *IEEE Trans. Circuits and Systems-I: Regular papers*, vol. 54, no. 9, pp. 1879-1890, Sept. 2007.

[22] K. N. Leung and P. K. T. Mok, "A Capacitor-Free CMOS Low-Dropout Regulator with Damping-Factor-Control Frequency Compensation," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp. 1691-1702, Oct. 2003.

[23] C. K. Chava and J. Silva-Martínez, "A Frequency Compensation Scheme for LDO Voltage Regulators," *IEEE Trans. Circuits and Systems-I: Regular papers*, vol. 51, no. 6, pp. 1041-1050, Jun. 2004.

[24] J. H. Huijsing and D. Linebarger, "Low-Voltage Operational Amplifier with Rail-to-Rail Input and Output Stages," *IEEE Journal of Solid-State Circuits*, vol. 20, no. 12, pp. 1144–1150, Dec. 1985.

[25] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, New York: John Wiley & Sons, 1993.

[26] R. G. H. Eschauzier and J. H. Huijsing, *Frequency Compensation Techniques for Low-Power Operational Amplifiers*, Kluwer Academic Publishers, 1995.

[27] T. Y. Man, P. K. T. Mok, and M. Chan, "A High Slew-Rate Push–Pull Output Amplifier for Low-Quiescent Current Low-Dropout Regulators with Transient-Response Improvement," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 54, no. 9, pp. 755-759, Sept. 2007.

[28] G. A. Rincon-Mora and P. E. Allen, "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 1, pp. 36-44, Jan. 1998.

[29] K. N. Leung, and Y. S. Ng, "A CMOS Low-Dropout Regulator with a Momentarily Current-Boosting Voltage Buffer," *IEEE Trans. Circuits and Systems-I: Regular papers*, vol. 57, no. 11, pp. 1-8, Nov. 2010.

[30] J. Choi, J. Park, W. Jeong, J. Lee, S. Lee, J. Yoon, J. Kim, and J. Choi, "Design of LDO Linear Regulator with Ultra Low-Output Impedance Buffer," In *Proc*. *International SoC design conference,* pp. 420-423, 2009.

[31] M. Al-Shyoukh, H. Lee, and R. Perez, "A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator with Buffer Impedance Attenuation," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 8, pp. 1732-1742, Aug. 2007.

[32] R. Tantawy and E. J. Brauer, "Performance Evaluation of CMOS Low Drop-Out Voltage Regulators," In *Proc*. *the 47th Midwest Symposium on Circuits and Systems* (MWSCAS), pp. 141-144, 2004.

[33] K. N. Leung, P. K. T. Mok, and W. Ki, "Right-Half-Plane Zero Removal Technique for Low-Voltage Low-Power Nested Miller Compensation CMOS Amplifier," In *Proc*. *the 4th International Conference on Electronics, Circuits, and Systems* (ICECS), pp. 599-602, 1999.

[34] D. A. Johns and K. Martin, *Analog integrated circuit design,* John Wiley & Sons, 1997.

[35] X. Peng and W. Sansen, "AC Boosting Compensation Scheme for Low-Power Multistage Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 11, pp. 2074-2079, Nov. 2004.

[36] X. Peng, W. Sansen, L. Hou, J. Wang, and W. Wu, "Impedance Adapting Compensation for Low-Power Multistage Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 2, pp. 445-451, Feb. 2011.

[37] B. Y. Kamath, R. G. Meyer, and P. R. Gray, "Relationship between Frequency Response and Settling Time of Operational Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. SC-9, pp. 347–352, Dec. 1974.

[38] M. Yavari, "Active-feedback single Miller capacitor frequency compensation techniques for three-stage amplifiers," *Journal of Circuits*, *Systems and Computers,* vol. 19, no. 7, pp. 1381-1398, Nov. 2010.

[39] H. Lee and P. K. T. Mok, "Active-Feedback Frequency-Compensation Technique for Low-Power Multistage Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 3, pp. 511-520, Mar. 2003.

[40] H. Lee and P. K. T. Mok, "Advances in Active-Feedback Frequency Compensation with Power Optimization and Transient Improvement," *IEEE Trans. Circuits and Systems-I: Regular papers*, vol. 51, no. 9, pp. 1690-1696, Sept. 2004.

[41] C. H. Lin, K. H. Chen, and H. W. Huang, "Low-Dropout Regulators with Adaptive Reference Control and Dynamic Push–Pull Techniques for Enhancing Transient Performance," *IEEE Trans. Power Electronics,* vol. 24, no. 4, pp. 1016-1022, Apr. 2009.

[42] M. M. Zhang and P. J. Hurst, "Effect of nonlinearity in the CMFB circuit that uses the differential-difference amplifier," *IEEE International Symposium on Circuits and Systems* (ISACS), pp. 1390–1393, 2006.

[43] V. Majidzadeh, K. M. Silay, A. Schmid, C. Dehollain, Y. Leblebici, "A fully on-chip LDO voltage regulator with 37 dB PSRR at 1 MHz for remotely powered biomedical implants," *Analog integrated circuits and signal processing,* vol. 67, pp. 157-168.

[44] P. Hazucha, T. Karnik, B. A. Bloechel, C. Parsons, D. Finan, and S. Borkar, "Area-Efficient Linear Regulator with Ultra-Fast Load Regulation," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 4, pp. 933-940, Apr. 2005.

[45] H. Lee, P. K. T. Mok, and K. N. Leung, "Design of Low-Power Analog Drivers Based on Slew-Rate Enhancement Circuits for CMOS Low-Dropout Regulators," *IEEE Trans. Circuits and systems-II:Exp. Briefs*, vol. 52, no. 9, pp. 563-567, Sept. 2005.

[46] W. Oh, B. Bakkaloglu, "A CMOS Low-Dropout Regulator with Current-Mode Feedback Buffer Amplifier," *IEEE Trans. Circuits and systems-II: Exp. Briefs*, vol. 54, no. 10, pp. 922-926, Oct. 2007.

[47] Y. H. Lin, K. L. Zheng, K. H. Chen, "Smooth Pole Tracking Technique by Power MOSFET Array in Low-Dropout Regulators," *IEEE Trans. Power Electronics,* vol. 23, no. 5, pp. 2421-2427, Sept. 2008.

[48] C. L. Chen, W. J. Huang and S. I. Liu, "CMOS low dropout regulator with dynamic zero compensation," *Elect. Letters*, vol. 43, no. 14, Jul. 2007.

[49] K. N. Leung, P. K. T. Mok, and S. K. Lau, "A Low-Voltage CMOS Low-Dropout Regulator with Enhanced Loop Response," In *Proc*. *International Symposium on Circuits, and Systems* (ISCAS), pp. 385-388, 2004.

[50] G. Giustolisi and G. Palumbo, "Dynamic-biased capacitor-free NMOS LDO voltage regulator," *Elect. Letters*, vol. 45, no. 22, pp. 1140-1141, Oct. 2009.

[51] H. PAN and C. L. CHEN, "A 0.18 μm Stability Enhanced CMOS LDO with Robust Compensation Scheme," *IEICE Trans. Electronics*, vol. E92-C, no. 8, Aug. 2009.

[52] G. Blakiewicz, "Output-capacitorless low-dropout regulator using a cascoded flipped voltage follower," *IET Circuits, Devices, and Systems*, vol. 5, Iss. 5, pp. 418-423, 2011.

[53] T. Jackum, G. Maderbacher, W. Pribyl, and R. Riederer, "Fast Transient Response Capacitor-free Linear Voltage Regulator in 65nm CMOS," In *Proc*. *International Symposium on Circuits, and System* (ISCAS), pp. 905-908, 2011.

[54] S. S. Chong and P. K. Chan "A Quiescent Power-Aware Low-Voltage Output Capacitor-less Low Dropout Regulator for SoC Applications," In *Proc*. *International Symposium on Circuits, and System* (ISCAS), pp. 37-40, 2011.

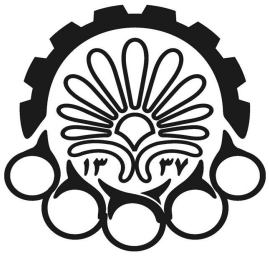
Abstract:

The main focus of the presented research is to provide solutions to design LDO regulators without using the large output capacitor. Conventional LDO regulators use a large capacitor at the output node in range of a few micro-Farads, both to improve the transient response and to guarantee the stability. Clearly, this amount of capacitance cannot be integrated on a single chip or at least occupy valuable board space and this prevents system-on-chip (SoC) solutions. Removing this capacitor will certainly have destructive effects on frequency and transient responses. To alleviate these effects, a few techniques have been proposed which include frequency and transient time compensation schemes.

For battery operated and handheld devices, power management systems have to be designed in a way to dissipate less power and extend the life of the battery and consequently the operation of the device. Herein, the methods introduced to boost the regulator performance, consume low power and do not degrade the power and current efficiency of the regulator.

Finally, the proposed circuits have been design and simulated in both standard 0.35 μm CMOS and 90 nm CMOS processes and the results show that having a low-power nature, the utilized techniques improve the response of the regulator considerably and could be used in low-power on-chip power management systems. The worst case recovery time for two architectures which have been implemented in the 0.35 μm CMOS process, are 2.6 and 0.7 μs and the ground currents for them are 25 and 45 μA, respectively. The output signal for the regulator which has been simulated in the 90 nm CMOS process, recovers within only 80 ns while its ground current does not exceed 35 μA. At the end of this thesis, the simulation results were compared with some recently reported regulators and it has been shown that the proposed techniques and circuits are of high feasibility and reliability.

Keywords: Power management systems, Linear regulators, LDO regulators, On-chip regulators, Analog circuits, Low-power circuits, Low-voltage systems, Frequency compensation, Transient response.



Amirkabir University of Technology

Department of Electrical Engineering

A dissertation submitted in partial fulfillment of the requirements for the degree of
Master of Science

Design and Simulation of Low Power Low Dropout (LDO) Voltage Regulators for On-Chip Applications

By:
Mortaza Mojarad

Under supervision of:
Dr. Mohammad Yavari

January 2012