تأسیس ۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده برق

پایان نامه کارشناسی ارشد الکترونیک

عنوان:

طراحی و شبیه سازی مدولاتورهای سیگما- دلتا برای کاربردهای سرعت بالا در تکنولوژی ۹۰ نانومتر CMOS

اساتید راهنما: دکتر محمد یاوری

دکتر فرشید رئیسی

دانشجو: منیره مویدی پور فرد

تیر ۱۳۸۸

بسم الله الرحمن الرحيم

چکیده

در این پایان‌نامه، یک مدولاتور ۱۳ بیتی سیگما-دلتا با پهنای باند ورودی ۱۰MHZ، نسبت بیش نمونه‌برداری ۸، سطح بیش بارشدگی ۰/۵dBFS و منبع تغذیه ۱ ولت با تکنولوژی ۹۰nm CMOS طراحی و شبیه سازی شده است. این مبدل می تواند مستقیماً در پیاده سازی سیستم WiMAX که از استانداردهای مخابراتی جدید می باشد، مورد استفاده قرار گیرد.

ساختار پیشنهاد شده برای این مدولاتور از ویژگی‌های منحصر به فردی برخوردار است. این مدولاتور علاوه بر دارا بودن محدوده‌ی دینامیکی وسیع که از ویژگی‌های مدولاتورهای MASH می‌باشد، از لحاظ مداری، به بلوک‌های چندان دقیق نیاز ندارد. از آنجایی که بهره DC مورد نیاز برای تقویت کننده‌های آن در حدود ۳۵dB است، به راحتی با تقویت کننده‌های عملیاتی تک طبقه قابل پیاده سازی می‌باشد. علاوه بر این شبیه سازی‌های صورت گرفته بیانگر مقاومت مدولاتور طراحی شده نسبت به اثر عدم تطبیق است.

این مدولاتور در تکنولوژی ۹۰nm CMOS با منبع تغذیه‌ی ۱ ولت، توانی در حدود ۴۳ میلی وات مصرف می‌کند.

فصل اول: مقدمـــه

۱-۱ انگیزه ۲
۱-۲ ساختار پایان‌نامه ۴

فصل دوم: مبدل‌های سیگما-دلتا

۲-۱ مقدمه ۷
۲-۲ مبدل‌های آنالوگ به دیجیتال ۸
۲-۲-۱ فیلتر آنتی الیاسینگ ۱۰
۲-۲-۲ نویز کوانتیزاسیون ۱۲
۲-۲-۳ معیارهای عملکرد مبدل آنالوگ به دیجیتال ۱۴
۲-۳ مبدل‌های بیش نمونه‌بردار ۱۶
۲-۳-۱ مدولاتورهای فیدبک خطا ۱۸
۲-۳-۲ مدولاتورهای دلتا ۱۸
۲-۳-۳ مبدل‌های سیگما-دلتا ۱۹
۲-۳-۴ مبدل‌های سیگما-دلتا مرتبه ۱ ..... ۲۰
۲-۳-۵ مبدل‌های سیگما-دلتا مرتبه ۲ ..... ۲۱
۲-۳-۶ مدولاتورهای سیگما-دلتا تک حلقه‌ای مرتبه بالا ۲۲
۲-۳-۷ ساختارهای کسکید (MASH) ۲۶
۲-۳-۸ ساختارهای (SMASH) ۲۷

فصل سوم: طراحی سیستمی مدولاتور

۳-۱ مقدمه ۳۲
۳-۲ ساختار مدولاتور ۳۲
۳-۲-۱ ساختارهای تک حلقه ۳۳
۳-۲-۲ ساختار کسکید (MASH) ۳۴
۳-۲-۳ ساختار SMASH ۳۴

۳-۳ ساختار پیشنهادی در این پروژه ۳۵
۳-۴ تحقق زمان پیوسته و زمان گسسته ۳۹
۳-۵ بررسی اثر غیر ایده‌آلی انتگرال‌گیر و اثر عدم تطبیق ۴۵
۳-۵-۱ اثر محدود بودن بهره‌ی DC انتگرال‌گیر ۴۶
۳-۵-۲ اثر محدود بودن پهنای باند و سرعت چرخش انتگرال‌گیرها ۴۷
۳-۵-۳ اثر عدم تطبیق ضرایب ۴۹
۳-۵-۴ اثر عدم تطبیق در خازن‌های تکنیک نمونه‌برداری دوگانه ۵۲

فصل چهارم: طراحی مداری مدولاتور

۴-۱ مقدمه ۵۴
۴-۲ ساختار کلی مدار ۵۵
۴-۲-۱ بررسی تأخیر در مسیر سیگنال ورودی ۵۶
۴-۲-۲ پیاده‌سازی جمع کننده دیجیتال و طبقه بهره داخلی ۵۸
۴-۲-۳ پیاده‌سازی دیگر قسمت‌های مدولاتور ۵۸
۴-۳ نویز ۶۱
۴-۳-۱ نویز حرارتی سویئچ‌ها ۶۱
۴-۳-۲ نویز تقویت کننده‌ها ۶۴
۴-۳-۲-۱ نویز حرارتی تقویت کننده‌ها ۶۴
۴-۳-۲-۲ نویز فلیکر تقویت کننده‌ها ۶۵
۴-۳-۳ نویز کلاک ۶۶
۴-۴ تعیین مقدار خازن‌های نمونه‌برداری و انتگرال‌گیری ۶۷
۴-۵ طراحی تقویت کننده ۷۱
۴-۵-۱ انتخاب توپولوژی مدار ۷۱
۴-۵-۲ سرعت مدار ۷۲
۴-۶ طراحی کوانتایزر ۷۵

۴-۶-۱ طراحی مقایسه کننده (بخش latch) ۷۵
۴-۶-۲ طراحی مقایسه کننده (بخش preamplifier) ۷۶
۴-۶-۳ طراحی SRlatch ۷۷
۴-۶-۴ طراحی نردبان مقاومتی ۷۹
۴-۷ سوئیچ ۸۰
۴-۸ کلاک ۸۴

جمع بندی و نتیجه‌گیری

۵-۱ مقدمه ۸۷
۵-۲ شبیه‌سازی نهایی مدولاتور ۸۷
۵-۳ جمع‌بندی و مقایسه ۹۱
۵-۴ پیشنهادها ۹۲

فهرست منابع ۹۴

ضمیمه‌ی الف: ۹۷

جدول ۳-۱- مقادیر عدم تطبیق قابل تحمل برای ضرایب مدولاتور شکل (۳-۱۶) به صورت مستقل. ۵۱
جدول ۳-۲- مینیمم خازن‌های نمونه‌برداری مدولاتور با در نظر گرفتن اثر عدم تطبیق. ۵۱
جدول ۴-۱- مقادیر خازن‌های نمونه‌برداری و انتگرال‌گیری انتگرال‌گیرها. ۷۰
جدول ۴-۲- مقادیر خازن‌های بار انتگرال‌گیرها. ۷۰
جدول ۴-۳- اندازه‌ی ترانزیستورهای مدار تقویت کننده‌ی عملیاتی و مدار بایاس آن برای انتگرال‌گیر اول. ۷۴
جدول ۴-۴- مشخصات تقویت کننده‌ی عملیاتی انتگرال‌گیر اول در سه گوشه پروسس. ۷۴
جدول ۴-۵- مشخصات تقویت کننده‌ی عملیاتی انتگرال‌گیر دوم در سه گوشه پروسس. ۷۵
جدول ۴-۶- اندازه‌ی ترانزیستورهای Latch. ۷۷
جدول ۴-۷- اندازه‌ی ترانزیستورهای Preamplifier. ۷۸
جدول ۴-۸- اندازه‌ی ترانزیستورهای NAND مورد استفاده برای تحقق SRlatch. ۷۸
جدول ۴-۹- اندازه‌ی ترانزیستورهای مدار Boot Strap برای سوئیچ‌های ورودی انتگرال‌گیر اول. ۸۴
جدول ۵-۱- خلاصه مشخصات مدولاتور شبیه‌سازی شده ۹۲
جدول ۵-۲- مقایسه مدولاتور طراحی شده با چند نمونه از مدولاتورهای باند وسیع ۹۳

شکل (۱-۱): ارتباط بین دنیای آنالوگ و دیجیتال. ۳
شکل (۲-۱): نمایی ساده از عملکرد مبدل آنالوگ به دیجیتال. ۹
شکل (۲-۲): الف) طیف فرکانسی سیگنال x(t). ب) طیف فرکانسی سیگنال نمونه‌برداری شده با فرکانس f_s و ایجاد سیگنال اعوجاج الیاسینگ. ج) طیف فرکانسی سیگنال x(t) بعد از عبور از فیلتر آنتی الیاسینگ.د) طیف فرکانسی سیگنال محدود شده و نمونه‌برداری شده با فرکانس f_s ۱۱
شکل (۲-۳): پاسخ فرکانسی فیلتر آنتی الیاسینگ مورد استفاده برای مبدل بیش نمونه‌برداری..... ۱۲
شکل (۲-۴): الف) نمودار یک کوانتایزر n بیتی ایده‌آل خطی. ب) نمودار خطای کوانتیزاسیون برای یک کوانتایزر n بیتی ایده‌آل خطی ۱۳
شکل (۲-۵). تابع چگالی احتمال خطای کوانتیزاسیون..... ۱۴
شکل (۲-۶): منحنی‌های SNR و SNDR و محدوده‌ی دینامیکی در مبدل آنالوگ به دیجیتال. ۱۵
شکل (۲-۷): بلوک دیاگرام مبدل بیش نمونه‌بردار. ۱۶
شکل (۲-۸): مقایسه طیف نویز کوانتیزاسیون در مبدل‌های نرخ نایکوئیست، بیش نمونه‌بردار و بیش نمونه-بردار شکل دهنده نویز. ۱۷
شکل (۲-۹):. بلوک دیاگرام یک مدولاتور فیدبک خطا. ۱۸
شکل (۲-۱۰): بلوک دیاگرام یک مدولاتور دلتا. ۱۹
شکل (۲-۱۱): مدولاتور سیگما-دلتا مرتبه اول الف) بلوگ دیاگرام کلی و ب) مدل خطی آن. ۲۱
شکل (۲-۱۲): بلوک دیاگرام مدولاتور سیگما-دلتا تک حلقه مرتبه ۲. ..... ۲۲
شکل (۲-۱۳): پاسخ فرکانسی تابع تبدیل نویز برای مدولاتورهای مرتبه۱، ۲ و ۳..... ۲۳
شکل (۲-۱۴): مدل خطی مدولاتور مرتبه L استاندارد. ۲۳
شکل (۲-۱۵): الف) بلوک دیاگرام کلی مدولاتور سیگما-دلتا تک حلقه. ب) مدل خطی آن. ۲۴
شکل (۲-۱۶): مدولاتور کسکید ۲-۲..... ۲۶
شکل (۲-۱۷): بلوک دیاگرام ساختار SMSH..... ۲۸
شکل (۲-۱۸): ساختار ۲-۲ SMASH [21]. ۲۹
شکل (۲-۱۹): ساختار ۲-۲ SMASH [23]. ۲۹
شکل (۳-۱): ساختار ۱-۳ SMASH طراحی شده در این پروژه. ۳۴
شکل (۳-۲): نمودار صفر و قطب تابع تبدیل نویز مدولاتور طراحی شده. ۳۶
شکل (۳-۳): پاسخ فرکانسی تابع تبدیل نویز مدولاتور طراحی شده..... ۳۷
شکل (۳-۴): مقایسه محدوده‌ی دینامیکی ساختارهای مختلف. ۳۷
شکل (۳-۵). نمودار هیستوگرام خروجی طبقات مختلف..... ۳۸

شکل (۳-۶): محدوده‌ی دینامیکی مدولاتور طراحی شده. ۳۹
شکل (۳-۷): انتگرال‌گیر زمان پیوسته. ۳۹
شکل (۳-۸): انتگرال‌گیر سوئیچ شونده‌ی خازنی تک سر با تأخیر واحد. ۴۰
شکل (۳-۹): انتگرال‌گیر نمونه‌برداری دوگانه تک سر. ۴۱
شکل (۳-۱۰): اثر برگشت نویز کوانتیزاسیون به دلیل عدم تطبیق خازن‌های C_{s1} و C_{s2}. a) مسیر سیگنال ورودی. b) مسیر DAC..... ۴۳
شکل (۳-۱۱): انتگرال‌گیر تفاضلی Fully Floating. ۴۴
شکل (۳-۱۲): انتگرال‌گیر تفاضلی Fully Floating اصلاح شده. ۴۴
شکل (۳-۱۳): پیاده‌سازی مسیر DAC با استفاده از یک خازن. ۴۵
شکل (۳-۱۴): SNR مدولاتور پیشنهادی بر حسب مقادیر بهره‌ی DC انتگرال‌گیرها. ۴۷
شکل (۳-۱۵): تغییرات SNR خروجی نسبت به تغییرات سرعت چرخش و تغییرات پهنای باند تقویت کننده‌های عملیاتی. ۴۸
شکل (۳-۱۶): مدولاتور پیشنهادی با در نظر گرفتن کلیه ضرایب مسیر برای بررسی اثر عدم تطبیق ضرایب ۴۸
شکل (۳-۱۷): ماکزیمم SNR مدولاتور شکل (۳-۱۶) بر حسب مقدار عدم تطبیق در ضرایب مدولاتور.... ۵۰
شکل (۳-۱۸): میزان کاهش SNR خروجی برای متوسط گیری از ۱۰۰ بار آزمایش مونت-کارلو در هر نقطه. ۵۱
شکل (۳-۱۹): ماکزیمم SNR مدولاتور پیشنهادی بر حسب درصد عدم تطبیق در مسیرهای نمونه‌برداری. ۵۲
شکل (۴-۱): بررسی اثر تأخیر در مسیر سیگنال ورودی. ۵۶
شکل (۴-۲): ساختار تمام تفاضلی انتگرال‌گیر اول و دیاگرام زمانی سوئیچ‌های آن. ۵۷
شکل (۴-۳): نحوه پیاده‌سازی جمع کننده دیجیتال و طبقه بهره داخلی (1/d). ۵۸
شکل (۴-۴): ساختار تمام تفاضلی انتگرال‌گیرها. الف) انتگرال‌گیر دوم. ب) انتگرال‌گیر سوم. ۵۹
شکل (۴-۵): ساختار تمام تفاضلی انتگرال‌گیر چهارم. ۶۰
شکل (۴-۶): ساختار تمام تفاضلی جمع کننده‌ی فعال حلقه دوم. ۶۱
شکل (۴-۷): الف) مدار نمونه‌برداری ساده. ب) مدار معادل آن. ۶۲
شکل (۴-۸): مدار معادل انتگرال‌گیر شکل (۳-۸). الف) فاز نمونه‌برداری. ب) فاز انتگرال‌گیری. ۶۳
شکل (۴-۹): مدل ارجاع یافته به ورودی نویز تقویت کننده. ۶۴
شکل (۴-۱۰): مدار معادل انتگرال‌گیر شکل (۳-۸). الف) فاز نمونه‌برداری. ب) فاز انتگرال‌گیری. ۶۵

شکل (۴-۱۱): نمایی ساده از یک انتگرال‌گیر با سه ورودی. ۶۶
شکل (۴-۱۲): الف) شکل تقویت کننده‌ی Folded Cascode. ب) مدار فیدبک مد-مشترک. ج) مدار بایاس. ۷۰
شکل (۴-۱۳): نمودار بهره و فاز تقویت کننده‌ی عملیاتی، استفاده شده در انتگرال‌گیر اول. ۷۴
شکل (۴-۱۴): مدار مقایسه کننده، الف و ب) طبقه اول و دوم یک Preamp دوطبقه. ج) ساختار Latch. ۷۶
شکل (۴-۱۵): ساختار کلی مقایسه کننده. ۷۷
شکل (۴-۱۶): الف) ساختار یک SR-latch. ب) ساختار NAND. ج) نردبان مقاومتی. ۷۸
شکل (۴-۱۷): الف) مدار دو نوع سوئیچ ساده. ب) مقاومت حالت وصل سوئیچ‌ها بر حسب ولتاژ کانال..... ۸۰
شکل (۴-۱۸): مدل مفهومی سوئیچ Boot Strap. ۸۱
شکل (۴-۱۹): مدار سوئیچ Boot Strap مورد استفاده در این پروژه. ۸۲
شکل (۴-۲۰): شکل موج کلاک‌های به کار رفته در مدولاتور به جز در انتگرال‌گیر اول. ۸۴
شکل (۴-۲۱): شکل موج کلاک‌های به کار رفته در سوئیچ‌های ورودی انتگرال‌گیر اول. ۸۵
شکل (۵-۱): FFT خروجی مدولاتور با و بدون اعمال نویز حرارتی. ۸۸
شکل (۵-۲): FFT خروجی مدولاتور با در نظر گرفتن کوانتایزر وDAC غیرایده‌آل. ۸۹
شکل (۵-۳): محدوده‌ی دینامیکی مدولاتور برای ورودی سینوسی با فرکانس ۷۹KHz. ۹۰
شکل (۵-۴): طیف فرکانسی خروجی مدولاتور با FFT ۳۲۷۶۸ نقطه‌ای و ورودی سینوسی 0dBFS در شبیه‌سازی HSPICE. ۹۰

فهرست منابع

REFERENCES

[1] Wooley, B. A. and Vleugels, K., *"EE315: VLSI Data Conversion Circuits"*. Stanford University, Spring 2002.

[2] Aziz, P., Sorensen, H. V. and Spiegel, J. V. D. *"An overview of sigma-delta converters"*. IEEE SIGNAL PROCESSING MAGAZINE. (1996).

[3] P.Bendiscioli, S.Brigati, F.Francesconi, P.Malcovati, F.Maloberti, and M.Poletti, "Design of a 20 bit, 25mw Fourth Order, Single-Loop Sigmadelta Modulator," *Proceeding IEEE International Conference on Electronics, Circuits and Systems*, pp.1454-1457, 1997.

[4] E. Boser, and B. A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE J. Solid-State Circuits*, Vol. 23, No. 6, pp. 1298-1308, Dec. 1988.

[5] Razavi, B. *"Principles of data conversion system design"*. IEEE Press. (1995).

[6] Schreier, R. and Temes, G. C., *"Understanding Delta-Sigma Data Converters"*. IEEE Press. (2003).

[7] S. R. Northworthy, R. Schreier, and G. C. Temes, *Delta-Sigma Data Converters*, Piscataway, NJ: IEEE Press, ISBN 0-7803-1045-4, 1997.

[8] V. Oppenheim, and R. W. Schafer, *Discrete-Time Signal Processing,* Prentice Hall, ISBN 0-13-216771-9, 1989.

[9] Motorola Inc., *"Principle of Sigma-Delta Modulation for Analog-to-Digital Converters"*. Rev.1. (1990).

[10] Kelvin Boo-Huat Khoo, *Programmable, High-Dynamic Range Sigma-Delta A/D Converters For Multi-Standard, Fully-Integrated RF Receivers,* PhD. Dissertation, University of California at Berkeley, December 1998.

[11] R. Jiang, and T. S. Fiez, "A 14-bit ΔΣ ADC With 8×OSR and 4-MHZ Conversion Bandwidth in a 0.18-μm CMOS Process", IEEE Journal of Solid-State Circuits, VOL. 39, NO. 1, January 2004.

[12] Y. Fujimoto, Y. Kanazawa, P. Lore, and M. Miyamoto, "An 80/100MS/s 76.3/70.1dB SNDR ΔΣ ADC for Digital TV Receivers", ISSCC 2006.

[13] I. Galton, "One-bit dithering in delta-sigma modulator-based D/A conversion," *IEEE, Proc. Int. Symp. Circuits and Systems (ISCAS)*, Hong Kong, Vol. 1, pp. 445-448, June 1997.

[14] A. Hamoui and K. Martin, "High-order multibit modulators and pseudo data-weighted-averaging in low-oversampling ΔΣ ADCs for broad-band applications," *IEEE Trans. Circuits Syst., I, Regular Papers*, vol. 51, no. 1, pp. 72-85, Jan. 2004.

[15] A. Morgado, R. Rio, and J. M. de la Rosa, "A Low-Voltage Flexible Cascade ΔΣ Modulator for Beyond-3G Wireless Telecom.

[16] Richard Schreier, "An Empirical Study of High-Order Single-Bit Delta-Sigma Modulators," *IEEE Transactions on Circuits and Systems,* Vol. 40, No. 8, August 1993.

[17] E. Bach, "Multibit oversampling D/A converters using dynamic element matching methods," *Work Package 3 , Deliverable D3.1.1*, SIEMENS AG, Semiconductors Group, HL SC PE1 MS.

[18] Barid, R. T. and T. S. Fiez, "Linearity Enhancement of Multibit ΔΣ A/D and D/A Converters using Data Weighted Averaging," *IEEE CAS-II*, pp. 753-762, Dec. 1995.

[19] I. Fujimori, and T. Sugimoto, "A 1.5V, 4.1mW Dual-Channel Audio Delta-Sigma D/A Converter," *IEEE J. Solid-State Circuits*, Vol. 33, No. 12, December 1998.

[20] Dan P. Scholnik, and Jeffrey O. Coleman, "Vector Delta-Sigma Modulation With Integral Shaping Of Hardware-Mismatch Errors," *IEEE, Proc. of Int. Symposium Circuits and Systems*, May 2000.
[21] N. Maghari, S. Kwon, G. C. Temes, and U. Moon, "Sturdy MASH Δ-Σ Modulator", *Electron. Lett.*, vol. 42, pp. 1269-1270, Oct. 2006.
[22] N. Maghari, S. Kwon, G. C. Temes, and U. Moon, "Mixed Order Sturdy MASH Δ-Σ Modulator", *Proc. of IEEE Int. Symp. On Circuits and Systems*, ISCAS 2007, pp 257-260.
[23] A. Morgado et al., "Cascade ΣΔ modulator for low-voltage wideband applications," *Electron. Lett.*, vol. 43, no. 17, Aug. 2007.
[24] Naiknawaire, and Terri Fiez, "142dB Delta-Sigma with 100nV LSB in a 3V CMOS Process," *IEEE Custom Integrated Circuits Conference*, 2000.
[25] M. Moayedi Pour Fard, and M. Yavari, "High-Order Cascaded Sigma-Delta Modulators for Low-Voltage and Wideband Applications", ICEE-3119, 2009.
[26] J. Silva, U. Moon, J. Steensgaard, and G. C. Temes, "Wideband low-distortion delta-sigma ADC topology," *IEE Electronics Letters*, vol. 37, no. 12, pp. 737-738, July 2001.
[27] M. Sanchez-Renedo, S. Paton, and L. Hernandez, "A 2-2 Discrete Time Cascaded ΔΣ Modulator With NTF Zero using Interstage Feedback", 2006.
[28] V.F.Dias, G.Palmisano, and F.Maloberti, "Noise in mixed continuous-time switched-capacitor sigma-delta modulators," *IEEE PROCEEDING-G*, Vol.139, No.6, December 1992.
[29] F. Maloberti, "Data Converters", Springer, 2007, ISBN-10 0-387-32485-2.
[30] B. P. Signore, D. A. Kerth, N. S. Sooch, and E. J. Swanson, "A Monolithic 20-bit Delta-Sigma A/D Converter," *IEEE J. Solid-State Circuits*, Vol. 25, No. 6, December 1990.
[31] D. Johns, and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997, ISBN 0-471-14448-7.
[32] T. K. Burmas, K. C. Dyer, P. J. Hurst, and S. H. Lewis, "A second order double-sampled delta-sigma modulator using additive-error switching," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 284-293, March 1996.
[33] D. Senderowicz, G. Nicollini, S. Pernici, A. Nagari, P. Confalonieri, and C. Dallavalle: 'Low-voltage double-sampled ΣΔ converters', *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1907–1919, Dec. 1997.
[34] P. Rombouts, J. Raman, and L.Weyten, "An approach to tackle quantization noise folding in double-sampling __ modulation A/D converters," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Processing*, vol. 50, no. 4, pp. 157–163, Apr. 2003.
[35] P. Rombouts et al., "Systematic design of double-sampling ΣΔADC's with modified NTF," *Proc. ISCAS*, vol. 1, pp. 401-404, 2004.
[36] M. Yavari, and O. Shoaei: 'Efficent double-sampled cascaded ΣΔ modulator topologies for low OSRs', IEICE Electronics Express, Vol. 2, no. 13, 2005
[37] M. Yavari, O. Shoaei, and A. R. Vazquez: 'Double-Sampling Single-Loop ΣΔ modulator topologies for Broad-band Applications', *IEEE Trans. On Circuits and Systems II*, vol. 53, no. 4, Apr. 2006.
[38] J. Koh, Y. Choi, and G. Gomez, "A 66dB DR 1.2V 1.2mWsingle amplifier double-sampling 2nd order ΔΣ ADC for WCDMA in 90nm CMOS," in *ISSCC Digest Technical Papers*, pp. 170-171, Feb. 2005.
[39] K. Lee, "High Efficiency Delta-Sigma Modulation Data Converters", Thises of doctora. Oregon State University, Apr. 2008.
[40] S. Brigati et al, "Modeling Sigma-Delta Modulator Non-Idealities in SIMULINK," *Proc. IEEE Int. Symposium Circuits and Systems*, pp. 384-387, 1999.

[41] Piero Malcovati et al, “Behavioral Modeling of Switched-Capacitor Sigma–Delta Modulators,” *IEEE Transactions on Circuits And Systems*, Vol. 50, No. 3, March 2003.
[42] S. Rabii, and B. A. Wooley, *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators,* Kluwer Academic Publishers, 1999.
[43] A. Gharbiya, and D. A. Johns, “ On The Implementation of Input-Feedforward Delta-Sigma Modulators” TCSII. VOL. 53, NO. 6, JUNE 2006.
[44] Y. Kanazawa, Y. Fujimoto, P. Lo Re, and M. Miyamoto, “A 100-MS/s 4-MHz Bandwidth 77.3-dB SNDR ΔΣ ADC with a Triple Sampling Technique” CICC 2006.
[45] N. Maghari, S. Kwon, and U. Moon, “ 74dB SNDR Multi-Loop Sturdy-MASH Delta-Sigma Modulator Using 35dB Opamp Gain”, CICC 2008.
[46] W. Marshall Leach, *Dr. Leach’s Noise Potpourri*, Georgia Institute of Technology, School of Electrical and Computer Engineering, Atlanta, 1999.
[47] J. E. Johnston, “A 24-Bit Delta-Sigma ADC with An Ultra-Low Noise Chopper-Stabilized Programmable Gain Instrumentation Amplifier,” *Proc. IEE, Advanced A/D and D/A Conversion Techniques and their Applications*, No. 466, July 1999.
[48] C. Enz, A. Vittoz, and F. Krummenacher, “A CMOS Chopper Amplifier,” *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 3, June 1987.
[49] Omid Oliaei, “Noise Analysis of Correlated Double Sampling SCIntegrators,” *IEEE International Symposium on Circuits and Systems*, *’ISCAS’*, May 2002.
[50] C. Enz, and G. C. Temes, “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization,” *Proc. of the IEEE*, Vol. 48, No. 11, pp. 1584-1614, Nov. 1996.
[51] Behzad Razavi, “*Design of Analog CMOS Integrated Circuits”*, McGraw-Hill Higher Education, ISBN 0-07-118839-8, 2001.
[52] M. Yavari, and O. Shoaei, *The Design of High-Resolution Sigma-Delta Analog to Digital Converters for Digital Audio*, MSc. Thesis, Tehran University, Iran, September 2001.
[53] Dessouky, M. and Kaiser, A.*,"Very low-Voltage digital-audio Delta- Sigma Modulator with 88.dB dynamic range using lical switch bootstrapping"*, IEEE Journal of solid-state circuits, vol, 36., no. 3, pp. 349-351, March, 2001.
[54] G. Wegmann, E. A. Vittoz, and F. Rahali, “Charge Injection in Analog MOS Switches,” *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1091-1097, Dec. 1987.
[55] K. Lee, J.Chae, M. Aniya, K. Hamashita, K. Takasuka, S. Takeuchi, and G. C. Temes, “*A Noise-Coupled Time-Interleaved Delta-Sigma ADC With 4.2 MHz Bandwidth, 98 dB THD, and 79 dB SNDR”*, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, NO. 12, DECEMBER 2008.
[56] Y. Wang, K. Lee, G. C. Temes, *“A 2.5MHz BW and 78dB SNDR Delta-Sigma Modulator Using Dynamically Biased Amplifiers”*, CICC 2008.