

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfilment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of a Time-Interleaved
Analog-to-Digital Converter in 90nm
CMOS Technologies

By:
Mojtaba Allahbakhshian

Under Supervision of:
Dr. Hasan Ghafori Fard
Dr. Mohammad Yavari

September 2010

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ



دانشگاه صنعتی امیرکبیر

دانشکده برق

پایان نامه کارشناسی ارشد

گرایش الکترونیک

عنوان:

طراحی و شبیه سازی یک مبدل آنالوگ به دیجیتال Time-Interleaved با

معماری Pipeline در تکنولوژی ۹۰ نانومتر CMOS

نگارش:

مجتبی الله بخشیان

اساتید راهنما:

دکتر حسن غفوری فرد

دکتر محمد یآوری

شهریور ۸۹



دانشگاه مهندسی برق

۵۷۷۸۷
۸۷۷۸۷

به نام خدا
برگ ارزیابی پایان نامه کارشناسی ارشد



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

شماره دانشجویی: ۸۶۱۲۳۰۰۲

نام و نام خانوادگی: مجتبی الله بخشیان

گرایش: مهندسی برق الکترونیک

عنوان پروژه: طراحی و شبیه سازی یک مبدل آنالوگ به دیجیتال inter leaved- time با معماری pipeline در تکنولوژی ۹۰ نانومتر CMOS

تاریخ دفاع: ۸۹/۶/۳۰

امضاء	نمره از ۲۰	رتبه علمی	کد انفورماتیک	نام و نام خانوادگی	هیات داوران
	۱۸	۱۰۱۲۶	دانشیار	دکتر غفوری فرد، حسین	استاد راهنمای اول
		۱۱۳۳۵	استادیار	دکتر یآوری، محمد	استاد راهنمای دوم
					استاد مشاور دوم
	۱۸	استاد	۱۰۱۹۵	دکتر معتمدی، سیداحمد	داور داخلی و نماینده تحصیلات تکمیلی دانشگاه
		دانشیار	مدرس	دکتر نوری	داور خارجی
	۱۸	هیئت		میانگین نمرات هیات داوران (بر مبنای ۲۰)	

نمره به حروف	نمره به عدد	تشویق بابت ارائه مقاله، پروژه ساخت یا نظر هیات ژوری
		۱- هر مقاله کنفرانس داخل یا خارج برابر ۰/۲۵ حداکثر نمره با نظر هیات ژوری
		۲- هر مقاله ژورنال علمی پژوهشی یا ISI داخل یا خارج یک نمره حداکثر ۲ نمره با نظر هیات ژوری
		جمع نمرات تشویقی (حداکثر ۲ نمره)

نمره نهایی	۱۸	هیئت
------------	----	------



تأیید نماینده تحصیلات تکمیلی دانشگاه

تأیید کارشناس:

به نام خدا



تعهدنامه اصالت اثر

تاریخ:

اینجانب مجتبی الله بخشیان متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیر کبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت. کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیر کبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیر کبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

مجتبی الله بخشیان

امضا

چکیده

این پایان نامه به طراحی و شبیه سازی یک مبدل آنالوگ به دیجیتال Time-Interleaved دو کاناله، با دقت ۱۰ بیت و سرعت نمونه برداری 200MS/s در تکنولوژی ۹۰ نانومتر می پردازد. کانالها دارای ساختار پایپلاین با دقت ۱/۵ بیت در طبقه و دقت دو بیت برای طبقه آخر می باشند، برای کاهش مصرف توان، تقویت کننده های بین طبقات در دو کانال به اشتراک در آمده اند. استفاده از ساختارهای چند کاناله مشکلات خود را در پی دارد و اشتراک تقویت کننده ها وضعیت را سخت تر می کند که طراح سعی در مرتفع کردن این موانع دارد. با وجود ساختار دو کاناله، مبدل تنها از یک مدار دیجیتال ساده برای تشکیل کد استفاده می کند.

یکی از عوامل مهمی که به کارکرد صحیح مدارها در شرایط مختلف کمک می کند ثبات مراجع بایاس است. هسته مدار تغذیه در این مبدل به خوبی از دیگر قسمت های مبدل ایزوله شده است، به گونه ای که تغییر در هر یک از ولتاژهای بایاس کمترین تغییر را در دیگر مراجع بایاس دارد.

شبیه سازی های انجام شده توان مصرفی مبدل را 25.4mW نشان می دهد که برای مبدلی با سرعت و دقت حاضر توان مناسبی می باشد، شبیه سازی مقادیر $SNDR=58.6dB$, $SFDR=71.38dB$ را برای این مبدل بدست می دهد.

کلمات کلیدی: مبدل آنالوگ به دیجیتال، اشتراک تقویت کننده ها، مبدل چند کاناله، مبدل ولتاژ پایین، مبدل توان پایین، مدارهای نمونه بردار و نگه دار.

فهرست مطالب

۱	۱- مقدمه
۳	۲-۱ ساختار مطالب
۴	۲- مبدل‌های آنالوگ به دیجیتال
۵	۱-۲ ساختار ساده شده مبدل آنالوگ به دیجیتال
۶	۱-۱-۲ فیلتر anti aliasing
۶	۲-۱-۲ نمونه برداری
۶	۳-۱-۲ کوانتیزه کردن دامنه و نویز کوانتیزاسیون
۸	۴-۱-۲ کد کننده
۸	۲-۲ انواع مبدل‌های آنالوگ به دیجیتال از لحاظ فرکانس نمونه برداری
۹	۳-۲ ساختارهای رایج در پیاده سازی مبدل‌های آنالوگ به دیجیتال نرخ نایکویست
۹	۱-۳-۲ ساختار Flash
۱۰	۲-۳-۲ مبدل‌های دو مرحله‌ای
۱۱	۳-۳-۲ مبدل پایپلاین
۱۲	۱-۳-۳-۲ تصحیح دیجیتال خطا
۱۷	۴-۳-۲ Time-interleaved مبدل‌های
۱۹	۳- ملاحظات طراحی مبدل‌های A/D
۱۹	۱-۳ نمونه برداری
۱۹	۱-۱-۳ نمونه برداری به روش Top-Plate
۲۱	۲-۱-۳ نمونه برداری به روش Bottom-Plate

۲۲	۳-۱-۳ مدار نمونه بردار تفاضلی
۲۳	۲-۳ بهینه سازی مصرف توان
۲۳	۱-۲-۳ انتخاب دقت مناسب برای طبقات
۲۴	۲-۲-۳ تغییر مقیاس خازن‌ها و تقویت کننده‌ها
۲۵	۳-۲-۳ کاهش مصرف توان با استفاده بهینه از تقویت کننده
۲۸	۳-۳ طراحی مبدل‌های ولتاژ پایین
۳۰	۱-۳-۳ روش Switched-Opamp
۳۰	۲-۳-۳ استفاده از کلیدهای مکمل
۳۱	۳-۳-۳ قطعات با V_{TH} پایین
۳۲	۴-۳-۳ افزایش سطح کلاک
۳۳	۴- طراحی مبدل
۳۳	۱-۴ ساختار کلی مبدل
۳۵	۱-۱-۴ ساختار تقویت کننده
۳۷	۲-۱-۴ زمان بندی مبدل
۴۰	۲-۴ محاسبه پارامترهای تقویت کننده
۴۰	۱-۲-۴ بهره مورد نیاز
۴۲	۲-۲-۴ فرکانس قطع مورد نیاز
۴۵	۳-۴ تحلیل نویز
۴۶	۱-۳-۴ ضریب انتقال نویز
۴۷	۲-۳-۴ نویز تقویت کننده
۴۸	۳-۳-۴ نویز مدارات نمونه برداری
۵۰	۴-۴ پیاده سازی تقویت کننده

۵۲	۱-۴-۴ مدار جبران ساز
۵۳	۲-۴-۴ تحلیل فرکانسی تقویت کننده
۵۴	۳-۴-۴ مدار G-B
۵۷	۴-۴-۴ تحلیل فرکانسی تقویت کننده در فاز حذف آفست
۵۷	۵-۴-۴ طراحی مدارهای فیدبک مشترک
۵۹	۶-۴-۴ طراحی تقویت کننده طبقه هشتم
۶۱	۵-۴ طراحی مدارهای قسمت Sub-ADC,DAC
۶۱	۱-۵-۴ طراحی مدار لچ
۶۳	۲-۵-۴ طراحی مدار مقایسه‌گر
۶۳	۳-۵-۴ طراحی Sub-ADC,DAC
۶۷	۴-۵-۴ طراحی بلوک آخر دو بیتی
۷۰	۶-۴ طراحی کلیدهای بوت استرپ
۷۶	۷-۴ محاسبه ابعاد کلیدها
۷۶	۱-۷-۴ کلیدهای نمونه بردار
۷۹	۲-۷-۴ کلیدهای حالت نگه داری
۸۰	۳-۷-۴ کلیدهای ریست
۸۲	۴-۷-۴ کلیدهای مدار فیدبک مشترک
۸۶	۵-۷-۴ مدار جبران ساز و کلیدهای افزایش سطح بایاس در مدار جبران ساز
۸۷	۸-۴ طراحی مدار تغذیه

۵- معیارهای سنجش عملکرد مبدل‌های A/D و نتایج شبیه سازی

۱۰۱	۱-۵ معیارهای ایستا
۱۰۴	۲-۵ معیارهای پویا
۱۰۶	۳-۵ نتایج شبیه سازی

۱۰۶ ۱-۳-۵ محاسبه پارامترهای ایستا

۱۰۸ ۲-۳-۵ محاسبه پارامترهای پویا

۱۱۲ ۶- نتیجه گیری و پیشنهادات

۱۱۲ ۱-۶ نتیجه گیری

۱۱۴ ۲-۶ پیشنهادات

۱۱۴ ۱-۲-۶ بهینه سازی مدار برای تطبیق با ورودی‌های با هر سطح مشترک دلخواه

۱۱۶ ۲-۲-۶ عدم اختصاص بازه برای حذف آفست

۱۱۷ مراجع

فهرست شکل‌ها

۲۹	۸-۳ هدایت کلید N-MOS بر حسب ولتاژ ورودی	۴	۱-۲ مبدل A/D با ۴ سطح خروجی
۳۰	۹-۳ روش Switched-Opamp	۵	۲-۲ ساختار پایه مبدل A/D
۳۰	۱۰-۳ کلید مکمل	۷	۳-۲ خطای کوانتیزاسیون
۳۱	۱۱-۳ هدایت کلید مکمل بر حسب ولتاژ ورودی	۷	۴-۲ تابع احتمال نویز کوانتیزاسیون
۳۲	۱۲-۳ Clock-Boosting	۸	۵-۲ چگالی طیف توان نویز کوانتیزاسیون
		۹	۶-۲ مبدل Flash سه بیتی
۳۳	۱-۴ ساختار کلی مبدل	۱۰	۷-۲ ساختار مبدل دو مرحله‌ای
۳۵	۲-۴ مدار پایه تقویت کننده	۱۱	۸-۲ مبدل پایپلین
۳۶	۳-۴ مدار ساده شده تقویت کننده در بازه حذف آفست	۱۲	۹-۲ تولید کد در یک مبدل پایپلین ساده
۳۶	۴-۴ محاسبه آفست تقویت کننده	۱۳	۱۰-۲ خطای آفست مقایسه‌گر و خروج از ناحیه مجاز
۳۷	۵-۴ سیگنال‌های کلاک مبدل پیشنهادی	۱۳	۱۱-۲ کاهش بهره و جبران آفست مقایسه‌گر
۳۸	۶-۴ موقعیت نسبی کلاک‌های با لبه پایین رونده سریع	۱۵	۱۲-۲ تصحیح خطا به کمک بیت اضافه
		۱۶	۱۳-۲ تولید کد در روش تصحیح دیجیتال خطا
۳۹	۷-۴ زمان بندی طبقه اول	۱۷	۱۴-۲ مبدل Time-Interleaved
۴۰	۸-۴ زمان بندی سایر طبقات		
۴۱	۹-۴ شارش بار در فاز نگه داری	۱۹	۱-۳ نمونه برداری به روش Top-Plate
۴۲	۱۰-۴ مقایسه رفتار خروجی یک تقویت کننده حقیقی با حالت ایده آل	۲۲	۲-۳ نمونه برداری به روش Bottom-Plate
		۲۳	۳-۳ نمونه برداری به روش تفاضلی
۴۷	۱۱-۴ مدار ساده شده تقویت کننده پیشنهادی	۲۵	۴-۳ سیکل کاری تقویت کننده در ساختار ساده
۴۸	۱۲-۴ تحلیل نویز مدار نمونه برداری پیشنهادی	۲۶	۵-۳ بایاس دینامیک تقویت کننده
۴۹	۱۳-۴ مدار معادل در فاز نمونه برداری	۲۷	۶-۳ اشتراک گذاری تقویت کننده
۴۹	۱۴-۴ مدار معادل در فاز نگه داری	۲۹	۷-۳ ترانزیستور N-MOS در نقش سویچ

۷۰	کلید بوت استرپ مرجع [۱۸].	۳۷-۴	۵۰	شمای کلی تقویت کننده پیشنهادی	۱۵-۴
۷۱	کلید بوت استرپ مرجع [۷].	۳۸-۴	۵۲	مدار یک جبران ساز ساده	۱۶-۴
۷۲	کلید بوت استرپ پیشنهادی	۳۹-۴	۵۳	مدار معادل دیده شده از خروجی طبقه اول	۱۷-۴
۷۵	آمپلی فایر پیشنهادی در فاز نگه داری و کانال بالا	۴۰-۴	۵۴	مدار G-B پیشنهادی	۱۸-۴
۷۵	کلید بوت استرپ پیشنهادی بدون مکش بار	۴۱-۴	۵۵	مدار معادل حلقه باز شبکه G-B	۱۹-۴
۸۲	مدار معمول برای اعمال فیدبک مشترک	۴۲-۴	۵۶	نمودار بهره تقویت کننده پیشنهادی	۲۰-۴
۸۳	روش معمول اعمال فیدبک مشترک در تقویت کننده‌های بدون بازه استراحت	۴۳-۴	۵۶	نمودار فاز خروجی تقویت کننده پیشنهادی	۲۱-۴
۸۳	ساختار پیشنهادی برای فیدبک مشترک	۴۴-۴	۵۸	مدار معادل فیدبک مشترک پیشنهادی طبقه اول	۲۲-۴
۸۶	مدار جبران ساز پیشنهادی	۴۵-۴	۶۰	تقویت کننده پیشنهادی طبقه هشتم در فاز ریست	۲۳-۴
۸۷	ساختار معمول بایاس کاسکود	۴۶-۴	۶۱	مدار لچ پیشنهادی	۲۴-۴
۸۹	مدار پیشنهادی بایاس، با ولتاژ مستقل برای درین M_{B2}	۴۷-۴	۶۲	مدار لچ در هنگام ریست	۲۵-۴
۹۰	مدار حلقه باز شبکه فیدبک	۴۸-۴	۶۳	مدار مقایسه‌گر پیشنهادی	۲۶-۴
۹۱	مدار هسته بایاس پیشنهادی، ایزوله شده از دیگر قسمت‌های مبدل	۴۹-۴	۶۴	مدار Sub-ADC, DAC پیشنهادی	۲۷-۴
۹۲	تغییرات V_{B1} با اعمال جریان پالسی به درین M_{B2}	۵۰-۴	۶۵	روش معمول تشکیل کد در ساختار دو کاناله	۲۸-۴
۹۳	مدار پیشنهادی برای تولید ولتاژ بایاس برای ترانزیستورهای P-CH مدار کاسکود	۵۱-۴	۶۵	فرایند تولید کد در طبقات مبدل پایپلین	۲۹-۴
۹۵	تغییرات V_{B4} در اثر اعمال جریان پالسی به درین M_{B7}	۵۲-۴	۶۶	مدار پیشنهادی استفاده از باس مشترک برای بیت‌های خروجی کانال بالا و پایین	۳۰-۴
۹۶	مدار زوج ترانزیستور ورودی	۵۳-۴	۶۶	زمان بندی مورد نیاز بلوک دیجیتال	۳۱-۴
۹۷	مدار پیشنهادی برای تولید ولتاژ V_{CMB1}	۵۴-۴	۶۷	ساختار پیشنهادی نات‌های ۱ و ۲	۳۲-۴
۹۷	مدار معادل ۵۴-۴	۵۵-۴	۶۸	بلوک دو بیتی آخر پیشنهادی	۳۳-۴
۹۹	مدار کامل تغذیه	۵۶-۴	۶۹	ساختار پیشنهادی مقایسه‌گرهای ۱ و ۳ در آخرین بلوک	۳۴-۴
			۶۹	مدار پیشنهادی مقایسه‌گر ۲ در بلوک آخر	۳۵-۴
			۷۰	ساختار پیشنهادی NAND شماره ۳	۳۶-۴

۱۰۲	۱-۵	مشخصه ورودی خروجی یک مبدل A/D
۱۰۲	۲-۵	محاسبه آفست و خطای بهره
۱۰۷	۳-۵	مقادیر DNL مبدل
۱۰۸	۴-۵	مقادیر INL مبدل
۱۱۰	۵-۵	نمودار طیف خروجی مبدل
۱۱۴	۱-۶	نمونه برداری در طبقه اول
۱۱۵	۲-۶	نمونه برداری غیر تفاضلی
۱۱۶	۳-۶	تولید CMi

فهرست جدول‌ها

۶۴	۱-۴ خروجی مدار Sub-ADC,DAC پیشنهادی
۱۱۱	۱-۵ مشخصات مبدل در شرایط مختلف به ازای ورودی 75MHz
۱۱۱	۲-۵ مشخصات مبدل
۱۱۳	۱-۶ مقایسه کارهای انجام شده

مراجع

- [1] P.Y. Wu, V. Cheung and H. C. Luong, "A 1-V 100-MS/s 8-bit CMOS Switched-Opamp Pipelined ADC Using Loading-Free Architecture," *IEEE J. Solid-State Circuits*, vol. 42, pp. 730-738, April 2007.
- [2] S. C. Lee, K. D. Kim, J. K. Kwon, J. Kim and S. H. Lee, "A 10-bit 400-MS/s 160-mW 0.13- μ m CMOS Dual-Channel Pipeline ADC Without Channel Mismatch Calibration," *IEEE J. Solid-State Circuits*, vol. 41, pp. 1596-1605, July 2006.
- [3] H. C. Kim, D. K. Jeong and W. Kim, "A Partially Switched-Opamp Technique for High-Speed Low-Power Pipelined Analog-to-Digital Converters," *IEEE Trans. Circuits Syst. I*, vol. 53, pp. 795-801, April 2006.
- [4] D. Y. Chang and U. K. Moon, "A 1.4-V 10-bit 25-MS/s Pipelined ADC Using Opamp-Reset Switching Technique," *IEEE J. Solid-State Circuits*, vol. 38, pp. 1401-1404, Aug 2003.
- [5] S. M. Yoo, J. B. Park, S. H. Lee and U. K. Moon, "A 2.5-V 10-b 120-MSample/s CMOS Pipelined ADC Based on Merged-Capacitor Switching," *IEEE Trans. Circuits Syst. II*, Vol. 51, pp. 269-275, May 2004.
- [6] Z. M. Lee, C. Y. Wang and J. T. Wu, "A CMOS 15-bit 125-MS/s Time-Interleaved ADC With Digital Background Calibration," *IEEE J. Solid-State Circuits*, Vol. 42, pp. 2149-2160, Oct 2007.
- [7] S. Limotyrakis, S. D. Kulchrycki, D. K. Su and B. A. Wooley, "A 150-MS/s 8-b 71-mW CMOS Time-Interleaved ADC," *IEEE J. Solid-State Circuits*, Vol. 40, pp. 1057-1067, May 2005.
- [8] B. Xia, A. V. Garcia and E. S. Sinencio, "A 10-bit 44-MS/s 20-mW Configurable Time-Interleaved Pipeline ADC for a Dual-Mode 802.11b/Bluetooth Receiver," *IEEE J. Solid-State Circuits*, Vol. 41, pp. 530-539, Mar 2006.
- [9] G. Geelen, E. Paulus, D. Simanjuntak, H. Pastoor and R. Verlinden, "A 90nm CMOS 1.2V 10-bit Power and Speed Programmable Pipelined ADC with 0.5pJ/Conversion-Step," *ISSCC / Session 12 / Nyquist ADCs / 12.1*, 2006.
- [10] J. Arias and et al, "Low-Power Pipeline ADC for Wireless LANs," *IEEE J. Solid-State Circuits*, Vol. 39, pp. 1338-1340, Aug 2004.
- [11] V. S. L. Cheung and et al, "A 1-V 3.5-mW CMOS Switched-Opamp Quadrature IF Circuitry for Bluetooth Receivers," *IEEE J. Solid-State Circuits*, Vol. 38, pp. 805-816, May 2003.
- [12] S.T. Ryu, B. S. Song and K. Bacrania, "A 10b 50MS/s Pipelined ADC with Opamp Current Reuse," *ISSCC / Session 12 / Nyquist ADCs / 12.2*, 2006.
- [13] K. E. Sankary and M. Sawan, "A Background Calibration Technique for Multibit/Stage Pipelined and Time-Interleaved ADCs," *IEEE Trans. Circuits Syst. II*, Vol. 53, pp. 448-452, June 2006.
- [14] A. D. Ibuki'c and D. M. Hummels, "Continuous Digital Calibration of Pipeline A/D Converters," *IEEE Trans. Instrumentation and Measurement*. Vol. 55, pp. 1175-1185, Aug 2006.
- [15] C. C. Hsu and et al, "An 11b 800MS/s Time-Interleaved ADC with Digital Background Calibration," *ISSCC / Session 25 / Nyquist ADC Techniques / 25.7*, 2007.

-
- [16] F. Maloberti, "Data Converters," Dordrecht. The Netherlands: *Springer*, 2007.
- [17] M. Waltari and K. A. I. Halonen, "1-V 9-Bit Pipelined Switched-Opamp ADC," *IEEE J. Solid-State Circuits*, Vol. 36, pp. 129-134, Jan 2001.
- [18] A. M. Abo, "Design for Reliability of Low-voltage, Switched-capacitor Circuits," A dissertation submitted for the degree of Doctor of Philosophy in Engineering and Computer Sciences in the Graduate Division of the University of California, Berkeley, 1992.
- [19] Chunlei. Shi and Mohammed. Ismail, "Data Converters for Wireless Standards," London: Kluwer Academic Publishers, 2002.
- [20] B. M. Min, P. Kim, F. W. Bowman, D. M. Boisvert and A. J. Aude, "A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, Vol. 38, pp. 2031-2039, Dec 2003.
- [21] R. Taft, C. Menkus, M. R. Tursi, O. Hidri and V. Pons, "A 1.8V 1.6 GS/s 8b self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 47, pp. 252–253, Feb. 2004.
- [22] K. Poulton and et al., "A 20 GS/s 8b ADC with a 1 MB memory in 0.18 μm CMOS," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 46, pp. 318–319, Feb 2003.
- [23] G. Gielen and E. Paulus, "An 8b 600 MS/s 200mW CMOS folding A/D converter using an amplifier preset technique," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 47, pp. 254–255, Feb 2004.
- [24] K. Azadet and et al., "Equalization and FEC techniques for optical transceivers," *IEEE J. Solid-State Circuits*, vol. 37, pp. 317–327, Mar 2002.
- [25] X. Jiang, Z. Wang and M. F. Chang, "A 2 GS/s 6b ADC in 0.18 μm CMOS," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 46, pp. 322–323, Feb 2003.
- [26] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35 μm CMOS," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1847–1858, Dec. 2001.
- [27] E. Siragusa and I. Galton, "A digitally enhanced 1.8 V 15b 40 MS/s CMOS pipelined ADC," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 47, pp. 452–453, Feb 2004.
- [28] K. Nair and R. Harjani, "A 96 dB SFDR 50 MS/s digitally enhanced CMOS pipeline A/D converter," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 47, pp. 456–457, Feb 2004.
- [29] B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE J. Solid-State Circuits*, vol. 38, pp. 2040–2050, Dec 2003.
- [30] *Physical Layer Parameters and Specifications for 1000 Mb/s Operation Over 4-Pair of Category-5 Balanced Copper Cabling, Type 1000BASE-T*, Jun 1999.
- [31] J. Huang and R. R. Spencer, "The design of analog front ends for 1000BASE-T receivers," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 50, pp. 675–684, Oct 2003.
- [32] A Tutorial Presentation for 1000BASE-T [Online]. Available: http://grouper.ieee.org/groups/802/3/tutorial/march98/mick_170_398.pdf

-
-
- [33] *Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications High-Speed Physical Layer in the 5 GHz Band*, Sep 1999.
- [34] *Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications Amendment 4: Further Higher Data Rate Extension in the 2.4 GHz Band*, Jun 2003.
- [35] A. Tabatabaei, K. Onodera, M. Zargari, H. Samavati and D. K. Su, "A dual channel $\Sigma\Delta$ ADC with 40 MHz aggregate signal bandwidth," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 46, pp. 66-67, Feb 2003.
- [36] J. Crols and M. Steyaert, "Switched-Opamp: An Approach to Realize Full CMOS Switched-Capacitor at Very Low Power Supply Voltages," *IEEE J. Solid-State Circuits*, vol. 29, pp. 936-942, 1994.
- [37] Razavi. B, "Design of Analog CMOS Integrated Circuits," New York: *McGraw-Hill*, 2001

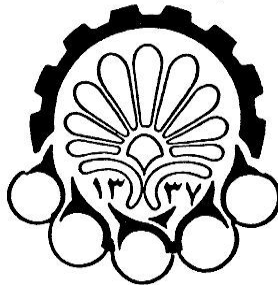
Abstract

This thesis investigates the design and simulation of a 10-bit 200-MS/s two-channel time-interleaved analog-to-digital converter (ADC) in 90nm CMOS technology. The Channels have pipeline architecture with 1.5-bit per stage resolution and two bits resolution for the last stage. For reducing the power dissipation, inter-stage amplifiers have been shared between channels. Using multi-channel architectures has its own difficulties and sharing amplifiers worsen the situation thus designer tries to solve these snags. In spite of using the two channel architecture, the converter uses only one simple digital circuit for code generating.

One of the most important factors that help the circuits to work correctly is the stability of bias references. . The core of bias circuit in this converter is well isolated from other parts; so any changes in each bias references has minimum effect on the other bias references.

From simulations 25.4 mW power dissipation is obtained which is suitable for a converter with the mentioned resolution and rate. Simulations indicate that this converter achieves SFDR=58.61dB and SNDR=71.38dB.

Index Terms— Analog-to-digital converter (ADC), amplifier sharing, time-interleaved, low power, low voltage, sample-and-hold (S/H) circuits.



Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfilment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of a Time-Interleaved
Analog-to-Digital Converter in 90nm
CMOS Technologies

By:
Mojtaba Allahbakhshian

Under Supervision of:
Dr. Hasan Ghafori Fard
Dr. Mohammad Yavari

September 2010