

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

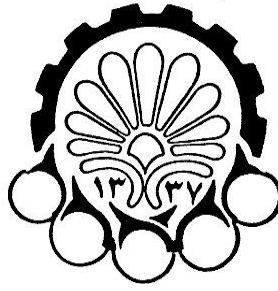
Ph.D. Dissertation

**Analysis and Design of Continuous-Time
Sigma-Delta Modulators with Time-Domain
Quantization for Broadband Applications**

By
Mohsen Tamaddon

Supervisor
Dr. Mohammad Yavari

Summer 2016



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی برق

رساله دکترا
(گرایش الکترونیک)

تحلیل و طراحی مدولاتورهای سیگما-دلتای زمان پیوسته با کوانتیزاسیون در حوزه زمان برای کاربردهای باند وسیع

نگارش:

محسن تمدن خشکتاب
(90123926)

استاد راهنما:

دکتر محمد یآوری

تابستان 1395

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

به نام خدا



برگ ارزیابی دفاع نهایی رساله دکتری

شماره:

تاریخ:

شماره دانشجویی: ۹۰۱۲۳۹۲۶

دانشکده: مهندسی برق

نام و نام خانوادگی: محسن تمدن خشناب

رشته و گرایش تحصیلی: برق - الکترونیک

عنوان رساله: تحلیل و طراحی مدولاتورهای سیگما-دلتای زمان پیوسته با کوانتیزاسیون در حوزه زمان برای کاربردهای

باند وسیع

شروع دوره : مهر ۹۰

تاریخ دفاع: ۱۳۹۵/۷/۴

تاریخ تصویب پیشنهاد رساله: ۱۳۹۲/۷/۹

امضاء	نمره	رتبه علمی	کد انفورماتیک	نام و نام خانوادگی	هیات داوران
	۱۹/۷/۸	دانشیار	۱۱۳۳۵	دکتر یآوری	استاد راهنمای اول
					استاد مشاور اول
		استاد	۱۰۲۴۰	دکتر عبدی پور	نماینده تحصیلات تکمیلی دانشگاه
	۱۹/۷/۸	استاد	۱۰۲۴۰	دکتر عبدی پور	داور داخلی اول
	۱۹/۷/۸	استاد	۱۰۷۹۱	دکتر کاتوزیان	داور داخلی دوم
	۱۹/۷/۸	دانشیار		دکتر شعاعی	داور خارجی اول
	۱۹/۷/۸	استادیار	۱۴۷۷۹	دکتر شمسی	داور خارجی دوم

میانگین نمرات هیئت داوران

(عالی (۲۰ - ۱۸.۵۱)؛ بسیار خوب (۱۸.۵۰ - ۱۷.۰۱)؛ خوب (۱۷.۰۰ - ۱۶.۰۱)؛ قابل قبول (۱۶.۰۰ - ۱۵.۰۰)؛ غیر قابل قبول (کمتر از

۱۵.۰۰)

نمره نهایی (از ۲۰)	به عدد	به حروف
	۱۹/۷/۸	نوزده و هفتاد و هشت

صور تجلسه دفاع و سایر مدارک به پیوست می باشد.

مدیر تحصیلات تکمیلی دانشکده:

امضاء و مهر:



مدیر تحصیلات تکمیلی دانشگاه:

مهر و امضاء

تأیید کارشناس:

به نام خدا

تاریخ: ۱۳۹۵/۱۱/۱

تعهدنامه اصالت اثر



اینجانب محسن تمدن خشگناب متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

محسن تمدن خشگناب

امضا

به یاد:

پدرم

تقدیمی فروتنانه به:

مادرم

تشکر و قدردانی

بر خود لازم می‌بینم که از زحمات استاد ارجمندم جناب آقای دکتر محمد یآوری کمال تشکر و قدردانی را داشته باشم. ایشان هدایت پایان نامه کارشناسی و دکترای من را بر عهده داشتند و مبانی طراحی مدارهای مجتمع را به من آموختند. ضمن آن که از اساتید ممتحن این رساله جناب آقای دکتر امید شعاعی، جناب آقای دکتر حسین شمسی، جناب آقای دکتر عبدی‌پور و جناب آقای دکتر دکترا کاتوزیان تشکر و قدردانی می‌نمایم.

همچنین از کمیته نانو به دلیل حمایت مالی در انجام این رساله سپاسگزارم و امیدوارم این کمیته در گسترش دانش نانو در کشور موفق باشد.

چکیده

توسعه تکنولوژی ادوات نیمه‌هادی‌ها در راستای کاهش ابعاد ترانزیستورها و متعاقباً کاهش سطح ولتاژ تغذیه محدودیت‌های فراوانی را برای پردازش سیگنال در حوزه ولتاژ ایجاد کرده است. با این حال، سرعت عملکرد ترانزیستورها با توسعه تکنولوژی به صورت قابل توجهی افزایش یافته است. استفاده از تکنیک پردازش سیگنال در حوزه زمان به جای پردازش در حوزه ولتاژ می‌تواند جایگزین مناسبی برای غلبه بر محدودیت‌های ناشی از کاهش ابعاد ترانزیستورها باشد. استفاده از ایده پردازش در حوزه زمان برای معرفی کوانتایزرهای حوزه زمان جهت استفاده در مدولاتورهای سیگما-دلتا، یکی از زمینه‌های تحقیقاتی قابل توجه در سال‌های اخیر می‌باشد.

در این رساله مدولاتورهای سیگما-دلتای زمان-پیوسته با استفاده از رویکرد کوانتیزاسیون در حوزه زمان مورد مطالعه و بررسی قرار گرفته‌اند. عملکرد مناسب مدولاتورهای سیگما-دلتای زمان-پیوسته در کاربردهای باند وسیع نسبت به نوع مدولاتورهای زمان-گسسته، دلیل اصلی انتخاب این ساختار در این رساله می‌باشد.

در ابتدا، امکان‌سنجی استفاده از کوانتیزاسیون حوزه زمان با استفاده از مبدل زمان به دیجیتال (TDC) و مبدل ولتاژ به زمان (VTC) مبتنی بر مدولاسیون عرض پالس آسنکرون (APWM) بررسی شده است. پس از کسب اطمینان از عملکرد صحیح مدولاتور مبتنی بر TDC، تکنیکی برای ارتقا مرتبه شکل‌دهی نویز تا 2 مرتبه با روش تحقق ایده تزویج نویز در حوزه زمان، معرفی شده است. در این روش از شاخه جبران‌ساز ELD جهت تسهیل امر پیاده‌سازی تکنیک تزویج نویز استفاده شده است.

مدولاتور پیشنهادی دوم، از یک کوانتایزر با خاصیت شکل‌دهی نویز (NSQ) بهره‌مند شده است. در این مدولاتور، به کمک مدل خطی، روشی ریاضیاتی جهت تخمین عملکرد مدولاتور نیز معرفی شده است. برای شبیه‌سازی تمام مدولاتورهای پیشنهادی در سطح سیستمی، از نرم‌افزار MATLAB و همچنین برای شبیه‌سازی سطح مداری از دو نرم‌افزار Cadence و ADS استفاده شده است. تکنولوژی مورد استفاده در پیاده‌سازی مداری مدولاتورهای پیشنهادی، تکنولوژی TSMC CMOS 90nm می‌باشد. از شبیه‌سازی مونت کارلو نیز برای بررسی جزئی‌تر عملکرد مدولاتورها، بهره‌گیری شده است. دقت تقریبی 13 بیت برای مدولاتورهای با مرتبه شکل‌دهی نویز برابر با 4 و پهنای باند 30 مگاهرتز و مصرف توان به ترتیب 26 میلی‌وات و 18 میلی‌وات، ماحصل تحقق مداری مدولاتورهای پیشنهادی اول و دوم می‌باشد.

در انتهای رساله، لی‌آوت یکی از مدولاتورهای پیشنهادی در تکنولوژی TSMC CMOS 180nm ترسیم شده است. نتایج شبیه‌سازی بعد از لی‌آوت نشان می‌دهد که این مدولاتور به دقت تقریبی 13 بیت در پهنای باند 15 مگاهرتز دست یافته است. فرکانس کلاک این مدولاتور 650 مگاهرتز، توان مصرفی آن 23 میلی‌وات و مساحت تراشه با در نظر گرفتن پدها 0.536 میلی‌متر مربع است.

عدم نیاز به DAC چندبیتی، دستیابی به پهنای باند وسیع و پیچیدگی بسیار پایین پیاده‌سازی مداری از مزایای قابل توجه مدولاتورهای پیشنهادی می‌باشد.

کلمات کلیدی:

مدولاتورهای سیگما-دلتای زمان-پیوسته، پردازش حوزه زمان، کوانتیزاسیون با اسیلاتور کنترل‌شونده با ولتاژ، مبدل زمان به دیجیتال، مبدل دیجیتال به زمان، مدولاسیون عرض پالس، تزویج نویز در حوزه زمان.

فهرست مطالب

ج	چکیده
د	فهرست مطالب
ط	فهرست شکل ها
ع	فهرست جدول ها
ص	اختصارنامه
ق	پانویس ها
1	فصل اول: مقدمه
2	1-1 انگیزه
4	2-1 دستاوردهای رساله
5	3-1 ساختار رساله
6	فصل دوم: مبانی مبدل های آنالوگ به دیجیتال
7	1-2 تبدیل آنالوگ به دیجیتال
7	2-2 شاخصه های عملکردی مبدل آنالوگ به دیجیتال
9	2-2-2 شاخصه های دینامیک
10	3-2 مدل سازی خطی مبدل
12	4-2 بیش نمونه برداری
13	5-2 مبدل های آنالوگ به دیجیتال سیگما-دلتا
14	1-5-2 مدل سازی خطی
17	2-5-2 تحلیل پایداری
21	3-5-2 توزیع صفر در تابع تبدیل NTF
22	6-2 مدولاتورهای سیگما-دلتا تک حلقه و چندطبقه
24	7-2 فیلترهای زمان - گسسته و زمان - پیوسته
24	1-7-2 فیلتر زمان - گسسته
27	2-7-2 فیلتر زمان - پیوسته
31	3-7-2 همانندی مدولاتورهای CT و DT
34	8-2 چالش های پیاده سازی مدولاتورهای زمان پیوسته
34	1-8-2 تغییر ثابت زمانی فیلتر

34	2-8-2 عدم تطبیق در DAC
35	3-8-2 تاخیر اضافی حلقه
36	4-8-2 جیتر کلاک
40	5-8-2 نویز مداری در مدولاتورهای زمان-پیوسته
43	9-2 معماری‌های فیلتر حلقه در مدولاتورهای زمان-پیوسته
43	1-9-2 توپولوژی‌های CIFB و CIFF
46	10-2 مقایسه بین مدولاتورهای زمان-گسسته و زمان-پیوسته
46	11-2 تحقیقات اخیر در مدولاتور زمان-پیوسته
49	فصل سوم: مدولاتورهای سیگما-دلتا با کوانتیزاسیون در حوزه
	زمان
49	1-3 مقدمه
51	2-3 مدولاتورهای سیگما-دلتا با کوانتایزر مبتنی بر VCO
58	1-2-3 محدودیت‌های SNDR در VBQها
59	2-2-3 مروری بر روش‌های خطی‌سازی VBQها
59	3-3 کارهای انجام شده در زمینه مدولاتورهای سیگما-دلتا با VBQ
63	4-3 مدولاتورهای سیگما-دلتا با کوانتایزر مبتنی بر TDC
63	1-4-3 مفهوم مبدل زمان به دیجیتال
64	2-4-3 ساختارهای مختلف مبدل زمان به دیجیتال
68	3-4-3 مدل‌سازی نویز کوانتیزاسیون در TDC
70	4-4-3 نمونه‌های عملی از مدولاتورهای سیگما-دلتای زمان-پیوسته با TDC
73	فصل چهارم: مدولاتور سیگما-دلتای زمان-پیوسته مبتنی بر
	کوانتیزاسیون در حوزه زمان با NTF ارتقا یافته
74	1-4 مقدمه
75	2-4 مدولاتور PWM آسنکرون
78	1-2-4 تحلیل فوریه برای تخمین تابع تبدیل بلوک غیرخطی
81	2-2-4 تغییرات فرکانس نوسان APWM
82	3-4 مدولاتور سیگما-دلتای پیشنهادی با NTF بهبود یافته
82	1-3-4 مفهوم ایده تزویج نویز
85	2-3-4 مدولاتور زمان-پیوسته حوزه زمان پیشنهادی
89	3-3-4 تحقق سلول تاخیر در TCSDM پیشنهادی

90	4-3-4 نمونه بردار حوزه زمان برای TCSDM پیشنهادی
93	5-3-4 انتخاب توپولوژی فیلتر حلقه در TCSDM
97	6-3-4 تخمین سقف توان نویز کوانتیزاسیون در TCSDM پیشنهادی
98	4-4 طراحی سیستمی TCSDM پیشنهادی با NC مرتبه اول
105	5-4 بررسی اثرات غیرایده آلی مداری
105	1-5-4 اثرات غیرایده آلی در تقویت کننده
108	2-5-4 اثرات غیرایده آلی ناشی از تغییر در تاخیر مسیرها
109	3-5-4 اثر جیتر کلاک بر روی عملکرد TCSDM پیشنهادی
110	4-5-4 آثار غیرایده آلی ناشی از ترکیب TDC/DTC
111	6-4 امکان سنجی تحقق NC مرتبه دوم در TCSDM پیشنهادی
115	1-6-4 شبیه سازی سیستمی TCSDM با NC مرتبه 2
116	2-6-4 اثر تغییر در مقدار تاخیر مسیر جبران ساز ELD و شاخه NC
116	3-6-4 اثر جیتر کلاک بر روی عملکرد مدولاتور
117	4-6-4 اثر آنتی الیاسینگ در TCSDM پیشنهادی
118	7-4 پیاده سازی مداری TCSDM های پیشنهادی
118	1-7-4 پیاده سازی فیلتر حلقه مرتبه 2 پیشنهادی با معماری CIFF
124	2-7-4 پیاده سازی فیلترهای بالاگذر در حلقه NC مدولاتور پیشنهادی
130	3-7-4 شبیه سازی مداری TCSDM پیشنهادی
133	8-4 طراحی مدارهای به کار رفته در TCSDM پیشنهادی
133	1-8-4 طراحی تقویت کننده
140	2-8-4 طراحی DE-DFE
143	3-8-4 طراحی DTC
144	4-8-4 طراحی نمونه بردار حوزه زمان
146	5-8-4 طراحی مقایسه گر هیستریزس

فصل پنجم: مدولاتور مبتنی بر کوانتایزر با شکل دهی نویز و فیلتر

152	حلقه مبتنی بر یک تقویت کننده
153	1-5 مقدمه
154	2-5 مبدل ولتاژ به زمان
154	1-2-5 مدار VTC
155	2-2-5 تشریح عملکرد مدار VTC نوسانی آسنکرون
158	3-2-5 تخمین بهره مقایسه گر به روشی غیر از DF

159	3-5 طراحی NSQ پیشنهادی
159	1-3-5 مفهوم شکل دهی نويز در کوانتایزر
162	2-3-5 شبیه سازی سیستمی NSQ پیشنهادی
166	4-5 طراحی TCSDM مبتنی بر NSQ
169	5-5 پیاده سازی NSQ پیشنهادی
169	1-5-5 پیاده سازی VTC
172	2-5-5 پیاده سازی توابع Tustin
174	6-5 فیلتر مرتبه 2 مبتنی بر یک تقویت کننده
174	1-6-5 فیلتر حلقه و چالش های آن
175	2-6-5 فیلتر SAB
177	3-6-5 مدار SOR پیشنهادی
181	7-5 مدار TCSDM پیشنهادی
181	1-7-5 پیاده سازی مداری مدولاتور
183	2-7-5 شبیه سازی مداری TCSDM پیشنهادی
186	فصل ششم: ترسیم لی آوت و نتایج شبیه سازی
187	1-6 نکاتی در مورد طراحی لی آوت
187	1-1-6 لی آوت ترانزیستور
188	2-1-6 لی آوت مقاومت
189	3-1-6 لی آوت خازن ها
189	2-6 لی آوت مدولاتور پیشنهادی
193	2-6 شرایط تست
194	3-6 نتایج شبیه سازی
196	4-6 مقایسه عملکرد
197	فصل هفتم: نتیجه گیری و پیشنهادها
197	1-7 نتیجه گیری
199	2-7 پیشنهادها
201	پیوست (الف)
204	پیوست (ب)
207	پیوست (ج)
207	ج-1 تاثیر دما

207	ج-2 تاثیر گوشه‌های مختلف تکنولوژی
209	پیوست (د)
210	پیوست (ه)
212	مراجع

فهرست شکل‌ها

- 6 شکل (1-2): (الف) سیگنال آنالوگ (ب) نمونه‌برداری (ج) کوانتیزاسیون سطح ولتاژ
- 6 شکل (2-2): طیف فرکانسی سیگنال (الف) قبل از نمونه‌برداری (ب) بعد از نمونه‌برداری
- 7 شکل (3-2): (الف) منحنی مشخصه کوانتایزر 3بیتی، (ب) خطای ناشی از عمل کوانتیزاسیون
- 9 شکل (4-2): خطاهای استاتیک در یک ADC (الف) خطای آفست، (ب) خطای بهره، (ج) خطای DNL و (د) خطای INL
- 10 شکل (5-2): مثالی از طیف خروجی یک ADC به همراه نمایش مولفه‌های سیگنال، هارمونیک‌ها و کف نویز
- 10 شکل (6-2): (الف) کوانتایزر غیرخطی، (ب) مدل خطی کوانتایز با نویز سفید اضافه شونده
- 11 شکل (7-2): منحنی توزیع خطای کوانتیزاسیون
- 14 شکل (8-2): بلوک دیاگرام یک مدولاتور سیگما-دلتای پایه
- 14 شکل (9-2): مدل خطی شده مدولاتور سیگما-دلتای پایه
- 17 شکل (10-2): بیشترین مقدار SQNR مدولاتور به ازای کوانتایزر تک بیتی و $NTF(z) = (1-z^{-1})^L$
- 18 شکل (11-2): تعیین بهره برای کوانتایزر: (الف) کوانتایزر تک‌بیتی، (ب) کوانتایزر چندبیتی
- 18 شکل (12-2): مکان هندسی ریشه‌های NTF به صورت تابعی از تغییرات بهره کوانتایزر در جهت کاهش آن
- 19 شکل (13-2): مدل خطی یک مدولاتور سیگما-دلتا با کوانتایزر چندبیتی با بهره واحد.
- 20 شکل (14-2): مثالی از کاهش بیشترین بهره NTF با تعبیه قطب‌های اضافی
- 21 شکل (15-2): بلوک دیاگرام رزوناتور مرتبه دوم برای ایجاد NTF بهینه با صفرهای توزیع‌یافته
- 22 شکل (16-2): پاسخ فرکانسی NTF مرتبه 5 در دو حالت دیفرانسیلی محض و NTF با صفرهای توزیع‌یافته
- 23 شکل (17-2): بلوک دیاگرام مدولاتور سیگما-دلتای چند طبقه 2-2 (MASH 2-2)
- 24 شکل (18-2): مدار یک انتگرال‌گیر زمان - گسسته مبتنی بر سوئیچ خازنی
- 27 شکل (19-2): بلوک دیاگرام یک مدولاتور سیگما-دلتای زمان پیوسته کلاسیک
- شکل (20-2): انتگرال‌گیرهای زمان - پیوسته، (الف) ساختار مبتنی بر G_m/C (ب) ساختار مبتنی بر G_m/C فعال، (ج) ساختار مبتنی بر RC فعال و (د) ساختار مبتنی بر RC فعال با تقویت‌کننده غیرایده‌آل
- 29 شکل (21-2): مقایسه تابع تبدیل انتگرال‌گیر ایده‌آل و تابع تبدیل انتگرال‌گیر مبتنی بر تقویت‌کننده غیرایده‌آل
- 30 شکل (22-2): (الف) مدولاتور سیگما-دلتای زمان - پیوسته، (ب) مدولاتور سیگما-دلتای زمان - گسسته
- 31 شکل (23-2): صورت‌بندی متفاوت از مدولاتورهای سیگما-دلتا (الف) زمان - پیوسته و (ب) زمان - گسسته
- 32 شکل (24-2): زیرمدارهای مدولاتورها برای بررسی وضعیت برابری (الف) زمان - پیوسته، (ب) زمان -

- 36 شکل (25-2): شکل موج مستطیلی برای DAC، الف) NRZ، ب) RZ
- 37 شکل (26-2): طرح مفهومی از عملکرد DAC در مدولاتورها: الف) زمان - پیوسته، ب) زمان - گسسته
- 37 شکل (27-2): شکل موج جریان خروجی DAC: الف) NRZ-DAC، ب) RZ-DAC و ج) SC-DAC
- 40 شکل (28-2): مهم‌ترین منابع نویزی بخش ورودی مدولاتور زمان - پیوسته
- 42 شکل (29-2): طبقه ورودی یک تقویت‌کننده تفاضلی نوعی به همراه نمایش منابع نویزی آن
- 43 شکل (30-2): بلوک دیاگرام مدولاتور زمان - پیوسته مبتنی بر فیلتر CIFF
- 44 شکل (31-2): بلوک دیاگرام مدولاتور زمان - پیوسته مبتنی بر فیلتر CIFB
- 45 شکل (32-2): بلوک دیاگرام مدولاتور سیگما-دلتای اعوجاج پائین.
- 50 شکل (3-1): مقایسه اجمالی پردازش سیگنال در حوزه دامنه و حوزه زمان
- 51 شکل (3-2): نحوه انتقال پردازش سیگنال از حوزه ولتاژ به حوزه زمان
- 53 شکل (3-3): الف) بلوک دیاگرام VBQ مُد فاز، ب) مدل خطی شده مبدل در حوزه Z
- 53 شکل (3-4): شکل موج مربوط به نقاط مختلف VBQ نوع مُد فاز [69].
- 53 شکل (3-5): شکل موج‌های مربوط به VBQ
- 56 شکل (3-6): الف) بلوک دیاگرام مبدل مبتنی بر VCO مُد فرکانس، ب) مدل خطی شده مبدل در حوزه Z.
- 57 شکل (3-7): طیف خروجی VBQ به ازای $N_{ph}=1$ و $N_{ph}=5$
- 58 شکل (3-8): استفاده از VBQ در ساختار مدولاتور سیگما-دلتای زمان - پیوسته
- 59 شکل (3-9): تحلیل رفتاری VBQ به همراه نمایش طیف ورودی و خروجی آن
- 60 شکل (3-10): ساختار مدولاتور گزارش ده در [53] با VBQ حلقوی 31 طبقه (5 بیتی)
- 60 شکل (3-11): بلوک دیاگرام مدولاتور پیشنهادی در [67] با کالیبراسیون دیجیتال
- 61 شکل (3-12): استفاده از PWM برای خطی‌سازی VCO [70]
- 62 شکل (3-13): بلوک دیاگرام RCQ مبتنی بر VCO [35]
- 63 شکل (3-14): بلوک دیاگرام مدولاتور سیگما-دلتا مبتنی بر RCQ [35]
- 64 شکل (3-15): مفهوم مبدل زمان به دیجیتال
- 64 شکل (3-16): طبقه‌بندی انواع مختلف روش‌های اندازه‌گیری یک بازه زمانی (انواع TDCها)
- 65 شکل (3-17): بلوک دیاگرام مبدل زمان به دیجیتال مبتنی بر شمارنده
- 66 شکل (3-18): بلوک دیاگرام مبدل زمان به دیجیتال نوع فلش.
- 66 شکل (3-19): بلوک دیاگرام مبدل زمان به دیجیتال نوع VDL
- 66 شکل (3-20): بلوک دیاگرام مبدل زمان به دیجیتال با نازک‌سازی پالس
- 67 شکل (3-21): بلوک دیاگرام مبدل زمان به دیجیتال مبتنی بر تقویت‌کننده زمان با بهره G .
- 68 شکل (3-22): الف) بلوک دیاگرام GRO و ب) مبدل TDC مبتنی بر GRO [82].
- 69 شکل (3-23): الف) شکل موج‌های ورودی و خروجی TDC به همراه سیگنال خطا $e(t)$

- 70 شکل (3-24): شکل استفاده از TDC در ساختار یک ADC
- 70 شکل (3-25): ساختار مدولاتور پیشنهادی در [38].
- 74 شکل (4-1): نحوه تبدیل مدولاتور سیگما-دلتای متداول به مدولاتور پیشنهادی
- 75 شکل (4-2): بلوک دیاگرام کلی یک APWM.
- شکل (4-3): نتایج شبیه‌سازی یک APWM نمونه با سیگنال ورودی $i(t)$ و خروجی $y(t)$ در سه حالت (الف) ورودی DC صفر، (ب) ورودی $A=0.5$ V DC و (ج) ورودی سینوسی با دامنه 0.7 V ($t_{step}=10$ nsec)
- 77 شکل (4-4): طیف خروجی یک APWM نمونه به ازای: (الف) ورودی صفر، (ب) ورودی $A=0.5$ V و (ج) ورودی سینوسی با دامنه 0.7 V
- 79 شکل (4-5): ورودی و خروجی کوانتایزر هیستریز
- 81 شکل (4-6): مدل‌سازی یک کوانتایزر هیستریز با استفاده از یک مقایسه‌گر و شاخه فیدبک مثبت
- 81 شکل (4-7): نحوه مدل کردن کوانتایزر با فاکتور هیستریز بهبودیافته با استفاده از یک شاخه فیدبک منفی
- 83 شکل (4-8): بلوک دیاگرام مفهومی استفاده از ایده NC در یک مدولاتور سیگما-دلتای زمان - گسسته
- 85 شکل (4-9): بلوک دیاگرام مفهومی استفاده از ایده NC در یک مدولاتور سیگما-دلتای زمان - پیوسته
- 86 شکل (4-10): بلوک دیاگرام مفهومی TCSDM پیشنهادی شماره 1
- 86 شکل (4-11): ساختار ویرایش شده TCSDM پیشنهادی شماره 1
- 87 شکل (4-12): ویرایش مرحله دوم TCSDM پیشنهادی شماره 1
- 88 شکل (4-13): ویرایش مرحله سوم TCSDM پیشنهادی شماره 1
- 88 شکل (4-14): ویرایش مرحله چهارم TCSDM پیشنهادی شماره 1
- 89 شکل (4-15): ویرایش مرحله نهایی TCSDM پیشنهادی با NC مرتبه اول
- 91 شکل (4-16): بلوک دیاگرام TDC به کار رفته در TCSDM
- 92 شکل (4-17): مدل رفتاری یک DE-DFE
- 92 شکل (4-18): ساختار DTC پیشنهادی
- 93 شکل (4-19): معادل سازی بلوک Sampler با ترکیب TDC/DTC
- 94 شکل (4-20): شکل موج‌های ورودی و خروجی ترکیب TDC/DTC و سیگنال خطای کوانتیزاسیون
- شکل (4-21): بلوک دیاگرام TCSDM‌های پیشنهادی در سه حالت (الف) $L=2, L_{NC}=0$ و (ب) $L=2, L_{NC}=1$ و (ج) $L=3, L_{NC}=0$
- 101

- 101 شکل (4-22): بلوک دیاگرام فیلترهای حلقه به کار رفته در ساختار TCSDM (الف) $L=2$ و
(ب) $L=3$
- 103 شکل (4-23): شبیه‌سازی سیستمی TCSDM پیشنهادی در سه حالت مختلف
- 103 شکل (4-24): منحنی تغییرات SNDR برحسب دامنه سیگنال ورودی در سه حالت مختلف
برای TCSDMها
- 104 شکل (4-25): منحنی تغییرات SNDR در حالت‌های مختلف برای TCSDM با $L=3, L_{NC}=1$
- 106 شکل (4-26): مدل‌سازی انتگرال‌گیر غیرایده‌آل با در نظر گرفتن بهره، پهنای باند، سرعت و نرخ
چرخش محدود
- 106 شکل (4-27): مدل‌سازی غیرایده‌آل گره ورودی حلقه APWM با در نظر گرفتن بهره، پهنای -
باند، سرعت و نرخ چرخش محدود
- 107 شکل (4-28): منحنی تغییرات SNDR مدولاتور در حالت $L=3, L_{NC}=1$: (الف) تغییر SNDR
برحسب A_{v1} در حالت $A_{v2}=A_{v3}=50$ dB و $A_{v4}=25$ dB و $GBW=1$ GHz برای همه تقویت-
کننده‌ها. (ب) تغییر SNDR برحسب تغییرات یکسان در بهره تقویت‌کننده‌های اول تا سوم در
حالت $GBW=1$ GHz و $A_{v4}=25$ dB برای همه تقویت‌کننده‌ها
- 107 شکل (4-29): منحنی تغییرات SNDR مدولاتور در حالت $L=3, L_{NC}=1$: (الف) تغییر SNDR
برحسب GBW تقویت‌کننده گره جمع‌کننده در حالت $A_{v1}=A_{v2}=A_{v3}=40$ dB و $A_{v4}=25$ dB و
همچنین $GBW_{1,2,3}=1$ GHz. (ب) تغییر SNDR برحسب تغییرات یکسان GBW تقویت-
کننده‌ها در حالت $A_{v1}=A_{v2}=A_{v3}=40$ dB و $A_{v4}=25$ dB
- 108 شکل (4-30): منحنی تغییرات SNDR برحسب تغییر در مقدار تاخیر مسیر جبران‌ساز ELD
و شاخه NC
- 110 شکل (4-31): مدل استفاده شده برای بررسی اثر تغییرات لبه پالس فیدبک در TCSDM
پیشنهادی
- 110 شکل (4-32): تغییرات SNDR برحسب جیتر کلاک
- 111 شکل (4-32): تغییرات SNDR برحسب تغییر T_0 در دو حالت مختلف
- 113 شکل (4-33): مراحل تحقق TCSDM با NC مرتبه دو (الف) ساختار اولیه مدولاتور (ب) مدل
ساده شده مدولاتور
- 114 شکل (4-34): بلوک دیاگرام TCSDM پیشنهادی در حالت $L=2, L_{NC}=2$
- 115 شکل (4-35): منحنی تغییرات SNDR برای TCSDM پیشنهادی در سه حالت مختلف
- 116 شکل (4-36): چگالی طیف توان TCSDM پیشنهادی در سه حالت مختلف
- 116 شکل (4-37): منحنی تغییرات SNDR برحسب تغییرات RC در TCSDM در حالت
- 117 شکل (4-38): منحنی تغییرات SNDR برحسب نویز جیتر کلاک در TCSDM در حالت $L=2, L_{NC}=2$
- 118 شکل (4-39): طیف خروجی TCSDM با NC مرتبه 2 با ورودی‌های سینوسی با دامنه 1.4-
dBFS و فرکانس‌های $f_1=4.2$ MHz و $f_2=f_s-4.2$ MHz

- 119 شکل (4-40): پیاده‌سازی فیلتر مرتبه 2 پیشنهادی بر پایه معماری CIFF
- 121 شکل (4-41): بخش ورودی مدولاتور به همراه نمایش نویز حرارتی مقاومت‌ها برای بررسی نویز حرارتی
- 124 شکل (4-42): پاسخ فرکانسی فیلتر مرتبه 2 پیشنهادی در سه گوشه تکنولوژی TT، FF و SS
- 124 شکل (4-43): شماتیک مربوط به نحوه پیاده‌سازی بخش کوانتایزر
- 125 شکل (4-44): پیاده‌سازی فیلتر بلاگذر مرتبه اول
- 126 شکل (4-45): پیاده‌سازی مداری TCSDM پیشنهادی با NC مرتبه 1.
- 127 شکل (4-46): پیاده‌سازی فیلتر بلاگذر مرتبه دوم به روش متداول
- 128 شکل (4-47): ساختار پیشنهادی برای پیاده‌سازی فیلتر بلاگذر مرتبه دوم
- 129 شکل (4-48): پیاده‌سازی مداری TCSDM پیشنهادی با NC مرتبه 2
- 130 شکل (4-49): منحنی تغییرات SNDR برای TCSDM پیشنهادی در سه گوشه تکنولوژی TT، FF و SS
- 131 شکل (4-50): چگالی طیفی توان TCSDM پیشنهادی
- 134 شکل (4-51): شماتیک تقویت‌کننده دوطبقه تمام‌تفاضلی با جبران‌ساز میلر
- 135 شکل (4-52): شماتیک مدار CMFB
- 136 شکل (4-53): مدار مولد بایاس برای تقویت‌کننده دوطبقه و مدار CMFB
- 139 شکل (4-54): پاسخ فرکانسی تقویت‌کننده اول در سه گوشه تکنولوژی
- 139 شکل (4-55): پاسخ فرکانسی تقویت‌کننده دوم در سه گوشه تکنولوژی
- 140 شکل (4-56): پاسخ فرکانسی تقویت‌کننده سوم در سه گوشه تکنولوژی
- 141 شکل (4-57): شماتیک مدارهای (الف) P-DFF و (ب) N-DFF
- 141 شکل (4-58): شماتیک گیت XOR بر پایه منطق PTL
- 142 شکل (4-59): شماتیک DE-DFF پیشنهادی
- 142 شکل (4-60): نتیجه شبیه‌سازی DE-DFF پیشنهادی
- 143 شکل (4-61): ساختارهای ممکن برای پیاده‌سازی گیت OR شش ورودی. (الف) پیاده‌سازی تک‌سطحی، (ب) پیاده‌سازی دوسطحی و (ج) پیاده‌سازی سه‌سطحی
- 143 شکل (4-62): مدار OR دو ورودی بر پایه منطق CMOS
- 144 شکل (4-63): مدار DFF با ریست آسنکرون
- 144 شکل (4-64): مدار نمونه‌بردار چندفازی مبتنی بر ترکیب TDC و DTC
- 145 شکل (4-65): مدار پیشنهادی برای تحقق سلول تاخیر T_{θ}
- 145 شکل (4-66): بخش از سیگنال خطای کوانتیزاسیون در آزمایش مونت-کارلو
- 146 شکل (4-67): هیستوگرام تغییرات سطح زیر منحنی خطای کوانتیزاسیون در آزمایش مونت-کارلو

- 146 شکل (4-68): مدار مقایسه گر هیستریزس
- 147 شکل (4-69): منحنی مشخصه مقایسه گر هیستریزس
- 150 شکل (4-70): بافر خروجی مدار مقایسه گر هیستریزس
- 151 شکل (4-71): شبیه سازی مونت - کارلو برای بررسی تغییرات فاکتور هیستریزس مقایسه گر
- 151 شکل (4-72): تغییرات SNDR مدولاتور پیشنهادی به ازای تغییر فاکتور هیستریزس مقایسه-گر
- 154 شکل (5-1): بلوک دیاگرام کلی TCSDM پیشنهادی مبتنی بر NSQ
- 155 شکل (5-2): بلوک دیاگرام VTC نوسانی. الف) ساختار آسنکرون ب) ساختار سنکرون
- 157 شکل (5-3): حل گرافیکی معادله مشخصه (5-3) برای تعیین فرکانس نوسان VTC به ازای سه تخمین مختلف برای $E(s)$. الف) $T_d = 0.2 \text{ nsec}$ ب) $T_d = 0.4 \text{ nsec}$ ج) $T_d = 2 \text{ nsec}$
- 159 شکل (5-4): خطای بهره تخمینی k_{app} در قیاس با k_{DF} به ازای دامنه سیگنال ورودی VTC که $R = \omega_c / \omega_a$
- 159 شکل (5-5): بلوک دیاگرام NSQ پیشنهادی. الف) مفهوم ایده NC ب) ویرایش شده ساختار الف) و ج) مدل نهایی NSQ
- 160 شکل (5-6): دیاگرام SFG مدار NSQ پیشنهادی
- 163 شکل (5-7): شبیه سازی سیستمی NSQ پیشنهادی. الف) $L_{NS}=1$ ب) $L_{NS}=2$
- 163 شکل (5-8): تغییرات SNDR بر حسب دامنه سیگنال ورودی در NSQ پیشنهادی. الف) $L_{NS}=1$ ب) $L_{NS}=2$
- 164 شکل (5-9): هیستوگرام تغییرات SNDR نسبت به تغییرات ثابت زمانی توابع Tustin در NSQ
- 165 شکل (5-10): پاسخ فرکانس تابع تبدیل نویز در NSQ پیشنهادی نسبت به تغییرات ثابت زمانی توابع Tustin در دو حالت: الف) $L_{NS}=1$ ب) $L_{NS}=2$.
- 166 شکل (5-11): بلوک دیاگرام TCSDM مبتنی بر NSQ پیشنهادی با $L=2$
- 167 شکل (5-12): SFG مدولاتور پیشنهادی
- 167 شکل (5-13): پاسخ فرکانسی دامنه توابع تبدیل نویز در مدولاتور پیشنهادی با استفاده از مدل خطی
- 168 شکل (5-14): مکان صفر و قطب توابع تبدیل نویز در مدولاتور پیشنهادی با استفاده از مدل خطی
- 169 شکل (5-15): نتیجه شبیه سازی سیستمی مدولاتور پیشنهادی
- 169 شکل (5-16): تغییرات SNDR مدولاتور پیشنهادی به ازای تغییر در عرض پالس فیدبک
- 170 شکل (5-17): پیاده سازی VTC نوسانی. الف) روش متداول [81, 128, 129] ب) روش پیشنهادی
- 171 شکل (5-18): مدار مقایسه گر باینری پیشنهادی برای VTC نوسانی
- 172 شکل (5-19): پیاده سازی NSQ در حالت $L_{NS}=1$
- 173 شکل (5-20): پیاده سازی NSQ در حالت $L_{NS}=2$
- 175 شکل (5-21): بلوک دیاگرام رزوناتور مرتبه 2 با دو انتگرال گیر
- 175 شکل (5-22): دو روش برای سنتز فیلتر biquad به روش SAB
- 176 شکل (5-23): پیاده سازی فیلترهای پایین گذر مرتبه 2 به روش SAB با ضریب میرایی غیرصفر

- 177 شکل (5-24): ایجاد فیدبک مثبت در فیلتر پایین گذر مرتبه 2 شکل (5-23 الف).
 178 شکل (5-25): ایجاد فیدبک مثبت در فیلتر پایین گذر مرتبه 2 شکل (5-23 ب) - SOR پیشنهادی
 180 شکل (5-26): شبیه‌سازی مونت-کارلو برای SOR. (الف) پاسخ فرکانسی مدار (ب) هیستوگرام
 تغییرات بهره
 182 شکل (5-27): مدار TCSDM پیشنهادی مبتنی بر NSQ و SOR
 183 شکل (5-28): مدار مربوط به گیت OR شش ورودی
 184 شکل (5-29): منحنی تغییرات SNDR برحسب دامنه سیگنال ورودی مدولاتور پیشنهادی در سه
 گوشه تکنولوژی
 184 شکل (5-30): چگالی طیف توان مدولاتور پیشنهادی در گوشه TT و دمای $27^\circ C$.
 188 شکل (6-1): استفاده از تکنیک فینگر بندی برای تحقق ترانزیستورهایی با عرض بزرگ‌تر
 189 شکل (6-2): شمای طرح بستر مدولاتور طراحی شده
 191 شکل (6-3): جانمایی ترمینال‌های مربوط به پدها
 191 شکل (6-4): طرح کلی لی‌اوت رسم شده برای مدولاتور پیشنهادی
 192 شکل (6-5): مدار مولد سیگنال کلاک
 193 شکل (6-6): شمای مدار تست برای مولاتور پیشنهادی
 194 شکل (6-7): چگالی طیفی توان (PSD) در گوشه معمول تکنولوژی و در دمای 27 درجه
 سانتی‌گراد
 194 شکل (6-8): چگالی طیفی توان (PSD) در گوشه سریع تکنولوژی و در دمای 40- درجه
 سانتی‌گراد
 194 شکل (6-9): چگالی طیفی توان (PSD) در گوشه کند تکنولوژی و در دمای 85 درجه
 سانتی‌گراد
 202 شکل (الف-2): تخمین تابع تبدیل عنصر غیرخطی با استفاده از مجموعه‌ای از عمل‌گرهای
 خطی
 205 شکل (ب-1): سیستم غیرخطی حلقه بسته با عنصر غیرخطی
 211 شکل (ه-1): لی‌اوت مدولاتور پیشنهادی
 212 شکل (ه-2): مشخص کردن مکان بلوک‌های به کار رفته در طرح لی‌اوت مدولاتور پیشنهادی

فهرست جدول‌ها

21	جدول (1-2): مکان صفرهای بهینه NTF به ازای L های مختلف.
46	جدول (2-2): مقایسه بین مدولاتورهای سیگما-دلتای زمان-پیوسته و زمان-گسسته
48	جدول (3-2): مقایسه برخی از مدولاتورهای زمان-پیوسته باند وسیع
59	جدول (1-3) مقایسه انواع روش‌های خطی‌سازی VCO
72	جدول (2-3) مقایسه عملکرد ADCهای مبتنی بر کوانتیزاسیون در حوزه زمان
100	جدول (1-4): پارامترهای سیستمی مدولاتورهای شکل (21-4)
115	جدول (2-4): پارامترهای سیستمی TCSDM با $L_{NC}=2$, $L=2$
123	جدول (3-4): مقادیر عناصر به کار رفته در فیلتر حلقه مرتبه 2 پیشنهادی
130	جدول (4-4): مقادیر عناصر به کار رفته در TCSDM پیشنهادی با $L_{NC}=2$, $L=2$
132	جدول (5-4): خلاصه‌ای از عملکرد TCSDM پیشنهادی
133	جدول (6-4): جدول مقایسه مدولاتور پیشنهادی با سایر کارها
137	جدول (7-4): جدول مشخصات عناصر تقویت‌کننده انتگرال‌گیر اول
137	جدول (8-4): جدول مشخصات عناصر مدار CMFB انتگرال‌گیر اول
137	جدول (9-4): جدول مشخصات عناصر مولد بایاس انتگرال‌گیر اول
137	جدول (10-4): جدول مشخصات عناصر تقویت‌کننده انتگرال‌گیر دوم
138	جدول (11-4): جدول مشخصات عناصر مدار CMFB انتگرال‌گیر دوم
138	جدول (12-4): جدول مشخصات عناصر مولد بایاس انتگرال‌گیر دوم
138	جدول (13-4): جدول مشخصات عناصر تقویت‌کننده گره جمع‌کننده
138	جدول (14-4): جدول مشخصات عناصر مدار CMFB گره جمع‌کننده
138	جدول (15-4): جدول مشخصات عناصر مولد بایاس گره جمع‌کننده
142	جدول (14-4): جدول مشخصات عناصر DE-DFE
145	جدول (15-4): جدول مشخصات عناصر سلول تاخیر
150	جدول (16-4): جدول مشخصات عناصر مقایسه‌گر هیستریزیس
150	جدول (17-4): جدول مشخصات عناصر سلول تاخیر
162	جدول (1-5): محاسبه توابع تبدیل $G(s)$ و $F(s)=1-G(s)$.
166	جدول (2-5): پارامترهای سیستمی TCSDM پیشنهادی
171	جدول (3-5): جدول مشخصات عناصر مقایسه‌گر باینری
171	جدول (4-5): جدول مشخصات عناصر تقویت‌کننده گره جمع‌کننده VTC
171	جدول (5-5): جدول مشخصات عناصر مدار CMFB گره جمع‌کننده VTC
171	جدول (6-5): جدول مشخصات عناصر مولد بایاس گره جمع‌کننده VTC
181	جدول (7-5): جدول مشخصات عناصر تقویت‌کننده مدار SOR
181	جدول (8-5): جدول مشخصات عناصر مدار CMFB مدار SOR

181	جدول (9-5): جدول مشخصات عناصر مولد بایاس تقویت کننده مدار SOR
183	جدول (10-5): جدول مشخصات عناصر مدار گیت شش ورودی
183	جدول (11-5): جدول مشخصات عناصر مدار TCSDM شکل (5-27).
185	جدول (12-5): جدول خلاصه عملکرد مدولاتور پیشنهادی
185	جدول (13-5): جدول مقایسه عملکرد مدولاتور پیشنهادی با سایر کارهای مشابه
187	جدول (1-6): مشخصات تکنولوژی استفاده شده برای رسم لی اوت
190	جدول (2-6): توصیف پین های مدولاتور (شکل (6-4))
193	جدول (3-6): جدول مشخصات عناصر مدار مولد کلاک
195	جدول (4-6): خلاصه مشخصات مدولاتور شبیه سازی شده
196	جدول (5-6): جدول مقایسه عملکرد مدولاتور پیاده سازی شده با نتایج ساخت گزارش شده
205	جدول (ب-1): مقدار همگرایی سری های Tsypkin برای توابع مرتبه اول و دوم.
212	جدول (ه-1): شماره و نام بلوک های مشخص شده در شکل (ه-2)

اختصارنامه

AAF: Anti Aliasing Filter
AAR: Anti Aliasing Rejection
APWM: Asynchronous Pulse Width Modulator
CIFB: Cascade of Integrators with Feed Back (CIFB)
CIFF: Cascade of Integrators with Feed Forward (CIFF)
CT: Continuous Time
DAC: Digital to Analog Converter
DEM: Dynamic Element Matching
DF: Describing Function
DNL: Differential Non-Linearity
DR: Dynamic Range
DT: Discrete Time
DWA: Data Weighted Averaging
ENOB: Effective Number of Bit
FIR: Finite Impulse Response
GBW: Gain Bandwidth
IBN: Inband Noise
IIR: Infinite Impulse Response
INL: Integral Non-Linearity
LMS: Least Mean Square
LSB: Least Significant Bit
MASH: Multi-stage noise-Shaping
NC: Noise Coupling
NSQ: Noise-Shaped Quantizer
NTF: Noise Transfer Function
OCR: Overcycling Ratio
OSR: Oversampling Ratio
OTA: Operational Transconductance Amplifier
PSD: Power Spectral Density
PWM: Pulse Width Modulation
SAB: Single Amplifier Biquad
SC: Switched Capacitor
SDM: Sigma Delta Modulator
SFDR: Spurious Free Dynamic Range
SFG: Signal Flow Graph
SNDR: Signal to Noise and Distortion Ratio
SOR: Single Opamp Resonator
SQNR: Signal to Quantization Noise Ratio
STF: Signal Transfer Function
TCSDM: Time-based Continuous-Time Sigma-Delta Modulator
TDC: Time to Digital Converter
TEQ: Time Encoding quantizer
VBQ: Voltage-Based Quantizer
VCO: Voltage Controlled Oscillator
VTC: Voltage-to-Time Converter

پانویس‌ها

Gated Ring Oscillator (GRO).	اسیلاتور حلقوی کنترل‌شونده از گیت
Residue Cancellation Quantizer – (RCQ)	اسیلاتور خنثی‌ساز باقی‌مانده
Voltage Controlled Oscillator (VCO).	اسیلاتور کنترل‌شونده با ولتاژ
Ring VCO (RVCO).	اسیلاتور کنترل‌شونده با ولتاژ از نوع حلقوی
Schmitt trigger	اشمیت‌تریگر
Total Harmonic Distortion (THD)	اعوجاج هارمونیک کل ⁻
Aliasing	الیاسینگ یا برهم‌افتادگی
Impulse Invariance Transformation (IIT).	انتقال با پاسخ ضربه نامتغیر
Finger	انگشت
Cascade	آبشاری - متوالی
Wide swing current mirror	آینه جریان با سوئینگ وسیع
Butterworth	باترورث
Bypass	بای‌پس - میان‌بر
Return to Zero (RZ)	برگشت‌پذیر به صفر
Non-Return to Zero (NRZ)	برگشت‌ناپذیر به صفر
Overload	بیش بارشدگی
Oversampling	بیش نمونه‌برداری
Maximum Stable Amplitude (MSA)	بیشترین دامنه پایدار
Finite Impulse Response (FIR)	پاسخ‌ضربه محدود
Master-slave	پایه - پیرو
Hanning window	پنجره هنینگ
Signal Transfer Function (STF)	تابع تبدیل سیگنال
Noise Transfer Function (NTF)	تابع تبدیل نویز
Excess Loop Delay (ELD).	تاخیر اضافی حلقه
Modified Z-Transformation	تبدیل Z تصحیح شده
Fast Fourier Transformation (FFT)	تبدیل فوریه سریع
Forward Euler (F.E.) approximation	تخمین اویلر رو به جلو
Backward Euler (B.E.) approximation	تخمین اویلر رو به عقب
Positive MOS (PMOS)	ترانزیستور MOS از نوع مثبت
Complementary MOS (CMOS)	ترانزیستور MOS مکمل

Fast NMOS - Fast PMOS (FF)	ترانزیستور NMOS سریع و PMOS سریع
Slow NMOS - Slow PMOS (SS)	ترانزیستور NMOS کند و PMOS کند
Typical NMOS - Typical PMOS (TT)	ترانزیستور NMOS معمولی و PMOS معمولی
Negative MOS (NMOS)	ترانزیستور MOS از نوع منفی
Dope	تزریق ناخالصی
Noise Coupling	تزویج نویز
Stochastic	تصادفی - آماری
Modified	تصحیح شده
Dynamic Element Matching (DEM)	تطابق عناصر دینامیکی
Effective Number Of Bit (ENOB)	تعداد بیت موثر
Time amplifier	تقویت کننده زمان
Operational Amplifier (Opamp)	تقویت کننده عملیاتی
Single Amplifier Biquad (SAB)	تک تقویت کننده biquad
Full scale	تمام مقیاس
Bessel functions	توابع بسل
Describing Function (DF)	توابع توصیف گر
Zero spreading	توزیع صفر
Compensator	جبران ساز
Miller compensation	جبران سازی میلر
Look-Up Table (LUT).	جدول جستجو
Switched Current (SC)	جریان سوئیچ شونده
Chebyshev	چبی شف
Limit Cycle (LC)	چرخه محدود
Power Spectral Density (PSD)	چگالی طیفی توان
Poly-Phase	چند فازه
Least Mean Square (LMS)	حداقل میانگین مربعات
Electrostatic Discharge (ESD) protection.	حفاظت از تخلیه الکترواستاتیکی
State-space time-domain	حوزه زمان فضای حالت
Off-chip	خارج تراشه
Metal-Insulator-Metal Capacitance- (MIMCAP)	خازن از نوع فلز-عایق-فلز
Metal Oxide Semiconductor Capacitance- (MOSCAP)	خازن از نوع نیمه هادی اکسید فلز
De-couple Capacitance	خازن دی کوپلاژ
Switched Capacitor (SC)	خازن سوئیچ شونده

Vernier Delay Line - VDL	خط تاخیر مدرج
Asymmetric digital subscriber line (ADSL)	خط مشترک دیجیتال غیرمتقارن
Linear and Time Invariant (LTI)	خطی و غیرمتغیر با زمان
Anti-Aliasing Rejection (AAR)	دفع ضد برهم‌افتادگی
Process-Voltage-Temperature (PVT)	دما- ولتاژ- پروسه ساخت
Purely differentiating	دیفرانسیلی محض
Time resolution	رزولوشن زمانی
Single Opamp Resonator (SOR)	رزوناتور مبتنی بر یک تقویت کننده
Discrete-Time Discrete-Amplitude (DTDA)	زمان- گسسته و دامنه- گسسته
Settling time	زمان نشست
Cascade of Integrators Feed-Back (CIFB)	زنجیره انتگرال گیرهای فیدبک
Cascade of Integrators Feed-Forward (CIFF)	زنجیره انتگرال گیرهای فیدفوروارد
Sub micron	زیرمیکرون
Voltage headroom	سقف ولتاژ
Bootstrapped switch	سوئیچ بوت‌استرپ شده
Long-Term Evolution (LTE)	سیر تحول بلندمدت
Universal Mobile Telecommunications System (UMTS)	سیستم جهانی ارتباط مخابراتی موبایل
Non-overlap clock	سیگنال کلاک ناهمپوشا
quasi-linear	شبه خطی
Monte-Carlo simulation	شبیه‌سازی مونت- کارلو
Noise shaping	شکل دهی نویز
Aggressive noise shaping	شکل دهی نویز بسیار قابل توجه
Figure of Merit (FoM)	ضریب شایستگی
Floor plan	طرح بستر
Notch	فاق - شکاف
Virtual sampling frequency	فرکانس نمونه برداری مجازی
Dual-Edge triggered DFF (DEDFF).	فلیپ فلاپ D از نوع دولبه
Feedback	فیدبک - پیشخور
Feed-Forward	فیدفوروارد - پسخور
High-Pass Filter (HPF)	فیلتر بالاگذر
Anti-aliasing filter (AAF)	فیلتر ضد برهم‌افتادگی
Worldwide Interoperability for Microwave Access (WiMAX)	قابلیت همکاری جهانی برای دسترسی مایکرووی
Tolerance	قدرت تحمل

Deterministic	قطعی - یقینی
Least Significant Bit (LSB)	کم‌ارزش‌ترین بیت
Noise-Shaped Quantizer (NSQ)	کوانتایزر با قابلیت شکل‌دهی نویز
Pipeline	کوانتایزر خنثی‌ساز باقی‌مانده
VCO-based Quantizer (VBQ).	کوانتایزر مبتنی بر اسیلاتور کنترل‌شونده با ولتاژ
Time-based quantizers (TBQ)	کوانتایزر مبتنی بر زمان
Signal Flow Graph (SFG)	گراف مسیر سیگنال
Analog-to-Digital Converter (ADC)	مبدل آنالوگ به دیجیتال
Flash ADC	مبدل آنالوگ به دیجیتال فلش
Digital-to-Analog converter (DAC)	مبدل دیجیتال به آنالوگ
Time to Digital Converter - TDC	مبدل زمان به دیجیتال
Voltage-to-Time Converter (VTC).	مبدل ولتاژ به زمان
Dynamic Range (DR)	محدوده پویایی
Spurious-Free-Dynamic-Range (SFDR)	محدوده پویایی بدون سیخک
Common-Mode FeedBack (CMFB)	مدار فیدبک مُدمشترک
Integrated Circuits (IC)	مدارهای مجتمع
Naturally Sampled PWM - NSPWM	مدولاتور PWM با نمونه‌برداری طبیعی
Sigma-Delta Modulators (SDM)	مدولاتور سیگما-دلتا
Low distortion sigma-delta modulator	مدولاتور سیگما-دلتای اعوجاج‌پائین
Multi-stage noise Shaping (MASH), SDM	مدولاتور سیگما-دلتای چندطبقه
Continuous-Time SDM (CTSDM)	مدولاتور سیگما-دلتای زمان-پیوسته
Time-based Continuous-time SDM (TCSDM)	مدولاتور سیگما-دلتای زمان-پیوسته مبتنی بر زمان
Discrete-Time SDM (DTSDM)	مدولاتور سیگما-دلتای زمان-گسسته
Pulse Width Modulator (PWM).	مدولاتور عرض پالس
Asynchronous PWM (APWM)	مدولاتور عرض پالس آسنکرون
Pulse Amplitude Modulation (PAM).	مدولاسیون دامنه پالس
Barkhausen oscillation criteria	معیار نوسان برکهاوزن
Absolute value	مقدار مطلق
Transistor scaling	مقیاس‌گذاری ترانزیستور
Technology Scaling	مقیاس‌گذاری تکنولوژی
Error Cancellation Logic (ECL)	منطق خنثی‌سازی خطا
Pass transistor logic	منطق دیجیتال مبتنی بر تراز‌یستور عبور
True Single Phase Clocked logic (TSPC)	منطق دیجیتال مبتنی بر یک فاز کلاک
Pulse shrinking	نازک‌سازی پالس

Slew rate	نرخ چرخش
OverSampling Ratio (OSR)	نسبت بیش نمونه برداری
Over-Cycling Ratio (OCR)	نسبت بیش چرخش
Signal-to-Noise ratio (SNR)	نسبت سیگنال به نویز
Signal-to-Noise-and-Distortion ratio (SNDR)	نسبت سیگنال به نویز به علاوه اعوجاج
Signal-to-Quantization-Noise-Ratio (SQNR)	نسبت سیگنال به نویز کوانتیزاسیون
Diffusion	نفوذ
Latch	نگهدارنده - لچ
Zero-order-Hold (ZoH)	نگهدارنده مرتبه صفر
Sample and Hold (S&H)	نمونه برداری و نگهداری
Right Half Plane (RHP)	نیم صفحه سمت راست
Metal-Oxide Semiconductor (MOS)	نیمه هادی فلز - اکسید
Voltage Controlled Delay Unit (VCDU).	واحد تاخیر کنترل شونده با ولتاژ
Strong inversion	وارونگی قوی
Correlation	همبستگی

مراجع

- [1] M. Tamaddon, and M. Yavari, "Time-Mode Signal Quantization for Use in Sigma-Delta Modulators," *Amirkabir International Journal of Electrical & Electronics Engineering (AIJ-EEE)*, vol. 48, no. 1, pp. 53-61, Jun. 2016.
- [2] M. Tamaddon and M. Yavari, "An NTF-Enhanced Time-Based Continuous-Time Sigma-Delta Modulator," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 85, no. 2, pp. 283-297, Nov. 2015.
- [3] M. Tamaddon, and M. Yavari, "A wideband time-based continuous-time sigma-delta modulator with 2nd order noise-coupling based on passive elements," *International Journal of Circuit Theory and Applications*, vol. 44, no. 3, pp. 759-779, Mar. 2016.
- [4] M. Tamaddon, and M. Yavari, "Design of a Continuous-Time $\Sigma\Delta$ Modulator Using Time Domain Quantization Approach," in *Proc. Iranian Conf. Electrical Engineering (ICEE)*, pp. 215 - 219, May 2014.
- [5] M. Tamaddon, and M. Yavari, "Realization of the 2nd-order NTF Enhancement in a Time-Encoded Continuous-Time Sigma-Delta Modulator Using Passive Elements," in *Proc. Iranian Conf. Electrical Engineering (ICEE)*, pp. 1203 - 1208, May 2015.
- [6] M. Tamaddon, and M. Yavari, "High Performance Time-Based Continuous-Time Sigma-Delta Modulators Using a Single-Opamp Resonator and a Noise-Shaped Quantizer," *Microelectronics Journal*, vol. 56, no. 3, pp. 110-121, Oct. 2016.
- [7] B. Razavi, *Principles of Data Conversion System Design*, IEEE Press, New York, 1995.
- [8] F. Maloberti, *Data converters*: Springer Science & Business Media, 2007.
- [9] S. Northworthy, R. Schreier, and G. C. Temes, *Delta-sigma data converters- Theory, design and simulation*, IEEE Press, New IEEE Press, New York, 1997.
- [10] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*, IEEE press Piscataway, NJ, vol. 74, 2005.
- [11] C. Cassius Culter, Transmission system employing quantization, *U.S. Patent*, no. 2, pp. 927-962, Mar. 1960.
- [12] H. Inose, Y. Yasuda, and J. Murakami, "A telemetering system by code modulation delta-sigma," *IRE Trans. Space Electron. Telemetry*, vol. 8, pp. 204-209, Sep. 1962.
- [13] F. de. Jager, "Delta modulation - a method of PCM transmission using the one unit code," *Philips Res. Rep.*, vol. 7, pp. 442-466, 1952.
- [14] F. Gerfers and M. Ortmanns, *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations*, Springer Science & Business Media, vol. 21, 2006.
- [15] D. A. Johns and K. Martin, *Analog integrated circuit design*, John Wiley & Sons, 1997.
- [16] A. M. Abo, and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analogto-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [17] J. A. Cherry and W. M. Snelgrove, *Continuous-time delta-sigma modulators for high-speed A/D conversion: theory, practice and fundamental performance limits*, Springer Science & Business Media, vol. 521, 2000.
- [18] O. Shoaiei, "Continuous-time delta-sigma A/D converters for high speed applications," Ph.D dissertation, Carleton Univ., 1995.

- [19] R. B. Baird, and T. S. Fiez, "Linearity enhancement of multibit $\Delta\Sigma$ A/D and D/A converters using data weighted averaging," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 42, no. 12, pp.753-762, Dec. 1995.
- [20] F. Colodro, A. Torralba, and J. L. Mora, "Digital noise-shaping of residues in dual-quantization sigma-delta modulators," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 51, no. 2, pp. 225-232, Feb. 2004.
- [21] H. Pakniat and M. Yavari, "Dual quantization continuous time $\Sigma\Delta$ modulators with spectrally shaped feedback," in *proc., IEEE Int. Elect., Circuits, Syst. Conf., (ICECS'11)*, pp. 414-417, 2011.
- [22] B. Razavi, *Design of analog CMOS integrated circuits*, the McGraw-Hill Companies, United States, 2001.
- [23] J. Silva, U. Moon, J. Steensgaard, and G. C. Temes, "Wideband low distortion deltasigma ADC topology," *Elect. Letters*, Vol. 37, No. 12, pp. 737-738, Jun. 2001.
- [24] R. Schoofs, M. S. Steyaert, and W. Sansen, "A design-optimized continuous-time delta-sigma ADC for WLAN applications," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 54, no. 1, pp. 209-217, Jan. 2007.
- [25] M. Safi-Harb and G. W. Roberts, "Low power delta-sigma modulator for ADSL applications in a low-voltage CMOS technology," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, no. 10, pp. 2075-2089, Oct. 2005.
- [26] S. Pavan, "Systematic design centering of continuous time oversampling converters," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 57, no. 3, pp. 158-162, March 2010.
- [27] S. Pavan, N. Krishnapura, R. Pandarinathan, and P. Sankar, "A power optimized continuous-time $\Delta\Sigma$ ADC for audio applications," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 351-360, Feb. 2008.
- [28] S. Paton, A. Di Giandomenico, L. Hernández, A. Wiesbauer, T. Potscher, and M. Clara, "A 70-mW 300-MHz CMOS continuous-time $\Sigma\Delta$ ADC with 15-MHz bandwidth and 11 bits of resolution," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1056-1063, July 2004.
- [29] J. Ruiz-Amaya, J. de la Rosa, F. V. Fernández, F. Medeiro, R. del Río, B. Pérez-Verdú, *et al.*, "High-level synthesis of switched-capacitor, switched-current and continuous-time $\Sigma\Delta$ modulators using SIMULINK-based time-domain behavioral models," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, no. 9, pp. 1795-1810, Sep. 2005.
- [30] T. Bruckner, C. Zorn, J. Anders, J. Becker, W. Mathis, and M. Ortmanns, "A gpu-accelerated web-based synthesis tool for ct sigma-delta modulators," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 61, no. 5, pp. 1429-1441, May 2014.
- [31] Y.-S. Shu, J.-Y. Tsai, P. Chen, T.-Y. Lo, and P.-C. Chiu, "A 28fJ/conv-step CT $\Delta\Sigma$ modulator with 78dB DR and 18MHz BW in 28nm CMOS using a highly digital multibit quantizer," *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 268-269, 2013.
- [32] C.-Y. Ho, C. Liu, C.-L. Lo, H.-C. Tsai, T.-C. Wang, and Y.-H. Lin, "15.2 A 4.5 mW CT self-coupled $\Delta\Sigma$ modulator with 2.2 MHz BW and 90.4 dB SNDR using residual ELD compensation," *IEEE ISSCC Dig. Tech. Papers*, pp. 1-3, 2015.
- [33] X. Xing and G. G. Gielen, "A 42 fJ/Step-FoM Two-Step VCO-Based Delta-Sigma ADC in 40 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 50, no. 3, pp. 714-723, Mar. 2015.
- [34] H.-C. Tsai, C.-L. Lo, C.-Y. Ho, and Y.-H. Lin, "A 64-fJ/Conv.-step continuous-time modulator in 40-nm CMOS using asynchronous SAR quantizer and digital truncator," *IEEE J. Solid-State Circuits*, vol. 48, no. 11, pp. 2637-2648, Nov. 2013.
- [35] K. Reddy, S. Rao, R. Inti, B. Young, A. Elshazly, M. Talegaonkar, *et al.*, "A 16-mW 78-dB SNDR 10-MHz BW CT ADC using residue-cancelling VCO-based quantizer," *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 2916-2927, Dec. 2012.

- [36] F. Colodro Ruiz and A. Torralba, "Linearity enhancement of VCO-based quantizers for sigma-delta modulators," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 61, no. 6, Jun. 2014.
- [37] B. De Vuyst and P. Rombouts, "A 5-MHz 11-Bit self-oscillating modulator with a delay-based phase shifter in 0.025 mm," *IEEE J. Solid-State Circuits*, vol. 46, no. 8, pp. 1919-1927, Aug. 2011.
- [38] V. Dhanasekaran, M. Gambhir, M. M. Elsayed, E. Sánchez-Sinencio, J. Silva-Martinez, C. Mishra, *et al.*, "A continuous time multi-bit ADC using time domain quantizer and feedback element," *IEEE J. Solid-State Circuits*, vol. 46, no. 3, pp. 639-650, Mar. 2011.
- [39] M. M. Elsayed, V. Dhanasekaran, M. Gambhir, J. Silva-Martinez, and E. Sanchez-Sinencio, "A 0.8 ps DNL time-to-digital converter with 250 MHz event rate in 65 nm CMOS for time-mode-based modulator," *IEEE J. Solid-State Circuits*, vol. 46, no. 9, pp. 2084-2098, Sep. 2011.
- [40] S. Ho, C.-L. Lo, Z. Ru, and J. Zhao, "A 23mW, 73dB dynamic range, 80MHz BW continuous-time delta-sigma modulator in 20nm CMOS," *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 1-2, 2014.
- [41] J. G. Kauffman, P. Witte, M. Lehmann, J. Becker, Y. Manoli, and M. Ortmanns, "A 72 dB DR, CT $\Delta\Sigma$ modulator using digitally estimated, auxiliary DAC linearization achieving 88 fJ/conv-step in a 25 MHz BW," *IEEE J. Solid-State Circuits*, vol. 49, no. 2, pp. 392-404, Feb. 2014.
- [42] P. Witte, J. G. Kauffman, J. Becker, Y. Manoli, and M. Ortmanns, "A 72dB-DR $\Delta\Sigma$ CT modulator using digitally estimated auxiliary DAC linearization achieving 88fJ/conv in a 25MHz BW," *IEEE ISSCC Dig. Tech. Papers*, pp. 154-156, 2012.
- [43] J. G. Kauffman, P. Witte, J. Becker, and M. Ortmanns, "An 8.5 mW continuous-time modulator with 25 MHz bandwidth using digital background DAC linearization to achieve 63.5 dB SNDR and 81 dB SFDR," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2869-2881, Dec. 2011.
- [44] R. Rajan and S. Pavan, "29.1 A 5mW CT $\Delta\Sigma$ ADC with embedded 2nd-order active filter and VGA achieving 82dB DR in 2MHz BW," *IEEE ISSCC Dig. Tech. Papers*, pp. 478-479, 2014.
- [45] D.-Y. Yoon, S. Ho, and H.-S. Lee, "15.1 An 85dB-DR 74.6 dB-SNDR 50MHz-BW CT MASH $\Delta\Sigma$ modulator in 28nm CMOS," *IEEE ISSCC Dig. Tech. Papers*, pp. 1-3, 2015.
- [46] Y. Dong, W. Yang, R. Schreier, A. Sheikholeslami, and S. Korrapati, "A continuous-time 0-3 MASH ADC achieving 88 dB DR With 53 MHz BW in 28 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 49, no. 12, pp. 2868-2877, Dec. 2014.
- [47] P. Shettigar and S. Pavan, "Design techniques for wideband single-bit continuous-time modulators with FIR feedback DACs," *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 2865-2879, Dec. 2012.
- [48] V. Srinivasan, V. Wang, P. Satarzadeh, B. Haroun, and M. Corsi, "A 20mW 61dB SNDR (60MHz BW) 1b 3 rd-order continuous-time delta-sigma modulator clocked at 6GHz in 45nm CMOS," *IEEE ISSCC Dig. Tech. Papers*, pp. 158-160, 2012.
- [49] A. Jain, M. Venkatesan, and S. Pavan, "Analysis and design of a high speed continuous-time modulator using the assisted opamp technique," *IEEE J. Solid-State Circuits*, vol. 47, no. 7, pp. 1615-1625, Jul. 2012.
- [50] Y. Dong, R. Schreier, W. Yang, S. Korrapati, and A. Sheikholeslami, "29.2 A 235mW CT 0-3 MASH ADC achieving- 167dBFS/Hz NSD with 53MHz BW," *IEEE ISSCC Dig. Tech. Papers*, pp. 480-481, 2014.
- [51] B. Muhammed, J. Breems Lucien, R. Robert, and A. Makinawa, "A 4 GHz Continuous Time $\Delta\Sigma$ ADC With 70 dB DR and -74 dBFS THD in 125 MHz BW," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2857-2868, Dec. 2011.
- [52] J. Kauffman, P. Witte, J. Becker, and M. Ortmanns, "An 8 mW 50 MS/s CT $\Delta\Sigma$ modulator with 81 dB SFDR and digital background DAC linearization," *IEEE ISSCC Dig. Tech. Papers*, 2011, pp. 472-474.

- [53] M. Park and M. Perrott, "A 78 dB SNDR 87 mW 20 MHz bandwidth continuous-time $\Delta\Sigma$ ADC with VCO-based integrator and quantizer implemented in 0.13 μm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3344–3358, Dec. 2009.
- [54] P. Malla, H. Lakdawala, K. Kornegay, and K. Soumyanath, "A 28 mW spectrum-sensing reconfigurable 20 MHz 72 dB-SNR 70 dB-SNDR DT $\Delta\Sigma$ ADC for 802.11n/WiMAX receivers," *IEEE ISSCC Dig. Tech. Papers*, 2008, pp. 496–631.
- [55] L. Breems, R. Rutten, R. van Veldhoven, and G. van der Weide, "A 56 mW continuous-time quadrature cascaded $\Delta\Sigma$ modulator with 77 dB DR in a near zero-IF 20 MHz band," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2696–2705, Dec. 2007.
- [56] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS continuous-time ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2641–2649, Dec. 2006.
- [57] A. Hart and S. Voinigescu, "A 1 GHz bandwidth low-pass $\Delta\Sigma$ ADC with 20-50 GHz adjustable sampling rate," *IEEE J. Solid-State Circuits*, vol. 44, no. 5, pp. 1401–1414, May 2009.
- [58] B. Hallgren, "Design of a second order CMOS sigma-delta A/D converter with a 150 MHz clock rate," in *Proc. IEEE Symp. European Solid-State Circuits Conference (ESSCIRC)*, 1992, pp. 103–106.
- [59] M. Z. Straayer and M. H. Perrott, "A 12-bit, 10-MHz bandwidth, continuous-time $\Delta\Sigma$ ADC with a 5-bit, 950-MS/s VCO-based quantizer," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 805–814, Apr. 2008.
- [60] W. Yang, W. Schofield, H. Shibata, S. Korrapati, A. Shaikh, N. Abaskharoun, and D. Ribner, "A 100 mW 10 MHz-BW CT $\Delta\Sigma$ modulator with 87 dB DR and 91 dBc IMD," *IEEE ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 498–631.
- [61] J. M. de la Rosa, "Sigma-delta modulators: tutorial overview, design guide, and state-of-the-art survey," *IEEE Trans. Circuits Syst. I, Reg. Papers*, pp. 1-21, vol. 58, no. 1, Jan 2011.
- [62] T. Christopher, "Analog-to-Digital conversion via time-mode signal processing," Ph.D. Dissertation, Dept of Electrical and Computer Engineering, McGill University, Montreal, 2007.
- [63] Sh. Naraghi, "Time-Based Analog to Digital Converters, Ph.D. Dissertation," Dept. ECE, University of Michigan, 2009.
- [64] Y. Fei, "Design techniques for time-mode noise-shaping analog-to-digital converters: a state-of-the-art review," *Analog Integrated Circuits and Signal Processing*, vol. 79, no. 2, pp 191–206, Nov. 2014.
- [65] B. Drost, M. Taleganokar and P. K. Hanumolu, "Analog Filter Design Using Ring Oscillator Integrators," *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 3120-3129, Dec. 2012.
- [66] A. Iwata, "The architecture of delta sigma analog-to-digital converters using a VCO as a multibit quantizer," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 46, no. 8, pp. 941–945, Aug. 1999.
- [67] G. Taylor and I. Galton, "A mostly-digital variable-rate continuous time $\Delta\Sigma$ modulator ADC," *IEEE J. Solid-State Circuits*, vol. 45, no. 12, pp. 2634–2646, Dec. 2010.
- [68] T. K. Jang, J. Kim, Y. G. Yoon and S. H. Cho, "A Highly-Digital VCO-Based Analog-to-Digital Converter Using Phase Interpolator and Digital Calibration," *IEEE Trans. very large scale integration (VLSI) systems*, vol. 20, no. 8, Aug. 2012.
- [69] J. Kim, T.-K. Jang, Y.-G. Yoon, and S. H. Cho, "Analysis and design of voltage-controlled oscillator based analog-to-digital converter," *IEEE Trans. Circuits and Systems-I: Regular Papers*, vol. 57, no. 1, pp. 18–30, Jan. 2010.

- [70] S. Rao, B. Young, A. Elshazly, W. Yin, N. Sasidhar, and P. Hanumolu, "A 71 dB SFDR open loop VCO-based ADC using 2-level PWM modulation," in *Proc. IEEE Symp. VLSI Circuits Digest of Technical Papers*, pp. 270-271, Jun. 2011.
- [71] S. Zaliasl et al., "A 12.5-bit 4MHz 13.8mW MASH $\Sigma\Delta$ modulator with multirate VCO-based ADC," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 59, no. 8, pp. 1604-1613, Aug. 2012.
- [72] S. Zaliasl et al., "A 77 dB SNDR, 4MHz MASH $\Delta\Sigma$ modulator with a second-stage multi-rate VCO-based quantizer," in *Proc. IEEE Symp. Custom Integrated Circuits Conference (CICC)*, pp. 1-4, Sept. 2011.
- [73] P. Gao, X. Xing, J. Cranincks, and G. Gielen, "Design of an intrinsically linear double-VCO-based ADC with 2nd-order noise shaping," in *Proc. IEEE Symp. Design, Automation & Test in Europe Conference and Exhibition*, pp. 1215-1220, Mar. 2012.
- [74] U. Wismar, D. Wisland, and P. Andreani, "A 0.2V 0.44 μ W 20KHz Analog to Digital $\Sigma\Delta$ modulator with 57 fJ/conversion FoM," in *Proc. IEEE Symp. European Solid-State Circuits Conference (ESSCIRC)* pp. 187-190, Sept. 2006.
- [75] H. Pakniat and M. Yavari, "A time-domain noise-coupling technique for continuous-time sigma-delta modulators," *Analog Integrated Circuits and Signal Processing*, vol. 78, no. 2, pp. 439-452, Feb. 2014.
- [76] E. Prefasi, S. Paton, and L. Hernandez, "A 7 mW 20 MHz BW time-encoding oversampling converter implemented in a 0.08 mm 65 nm CMOS Circuit," *IEEE J. Solid-State Circuits*, vol. 46, no. 7, pp. 1562-1574, July, 2011.
- [77] E. Prefasi, L. Hernandez, S. Paton, A. Wiesbauer, R. Gaggi, and E. Pun, "A 0.1 mm, wide bandwidth continuous-time ADC based on a time encoding quantizer in 0.13 m CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 10, pp. 2745-2754, Oct. 2009.
- [78] L. H. Corporales, E. Prefasi, E. Pun, and S. Patón, "A 1.2-MHz 10-bit continuous-time sigma-delta ADC using a time encoding quantizer," *IEEE Trans. on Circuits and Syst. II: Exp. Briefs*, vol. 56, no. 1, pp. 16-20, Jan. 2009.
- [79] F. Colodro and A. Torralba, "Impact of finite impulse response digital-to-analogue converter delay on the stability of continuous-time sigma-delta modulators with pulse-width modulation in the feedback path," *IET Circuits, Devices & Systems*, vol. 4, no. 3, pp. 218-226, May. 2010.
- [80] F. Colodro, A. Torralba, and M. Laguna, "Continuous-time sigma-delta modulator with an embedded pulsewidth modulation," *IEEE Trans. Circuits Syst. I: Reg. Papers*, , vol. 55, no. 3, pp. 775-785, apr. 2008.
- [81] J. Daniels, W. Dehaene and Michiel S. J. Steyaert, "A/D Conversion Using Asynchronous DeltaSigma Modulation and Time-to Digital Conversion." *IEEE Trans. Circuits and Systems-I: Regular Papers* , vol. 57, no. 9, pp. 2404 - 2412 , Sep. 2010.
- [82] M. Z. Straayer, "Noise Shaping Techniques for Analog and Time to Digital Converters Using Voltage Controlled Oscillators," Ph.D. dissertation, MIT, Cambridge, MA, 2008.
- [83] M. J. Park, "A 4th Order Continuous-Time $\Delta\Sigma$ ADC with VCO-Based Integrator and Quantizer," Ph.D. dissertation, MIT, Cambridge, MA, Feb. 2009.
- [85] E. Mensink, E. A. M. Klumperink, and B. Nauta, "Distortion cancellation by polyphase multipath circuits," *IEEE Trans. Circuits Syst. I*, vol. 52, pp. 1785-1794, Sept. 2005.
- [86] Y. G. Yoon, M. C. Cho and S. H. Cho, "A Linearization Technique for Voltage-Controlled Oscillator-based ADC," in *Proc. Int. SoC Design Conference (ISOC)*, pp. 317-320, 2009.
- [87] B. K. Swann, B. J. Blalock, L. G. Clonts, D. M. Binkley, J. M. Rochelle, E. Breeding, and K. M. Baldwin, "A 100-ps time-resolution CMOS time-to-digital converter for positron emission tomography imaging applications," *IEEE J. Solid- State Circuit*, vol.39, no.11, pp. 1839- 1852, Nov. 2004.

- [88] D. I. Porat, "Review of sub-nanosecond time-interval measurements," *IEEE Trans. Nuclear Science*, vol. 20, no. 5, pp.36-51, Oct. 1973.
- [89] E. R. Routsalaninen, T. Rahkonen and J. Kostamovaara, "A low-power CMOS time-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 9, pp. 984-990, September 1995.
- [90] J. Christiansen, "An integrated high resolution CMOS timing generator based on an array of delay locked loops," *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 952- 957, Jun. 1996.
- [91] P. Andreani, F. Bigongiari, R. Roncella, R. Saletti, P. Terreni, A. Bigongiari, and M. Lippi, "Multihit multichannel time-to-digital converter with $\pm 1\%$ differential nonlinearity and near optimal time resolution," *IEEE J. Solid-State Circuits*, vol.33, no.4, pp.650-656, Apr. 1998.
- [92] G.W. Roberts, M. Ali-Bakhshian, "A brief introduction to Time-to-Digital and Digital-to-Time Converters," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol.57, no.3, pp.153-157, Mar. 2010.
- [93] P. Dudek, S. Szczepanski, and J. V. Hatfield, "A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 240–247, Feb. 2000.
- [94] P. Chen, S. I. Liu, and J. Wu, "A CMOS pulse-shrinking delay element for time interval measurement," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 47, no. 9, pp. 954–958, Sep. 2000.
- [95] M. Lee and A. Abidi, "A 9b, 1.25 ps resolution coarse-fine time-to-digital converter in 90nm CMOS that amplifies a time residue," *IEEE J. Solid-State Circuit*, vol.43, no.4, pp.769-777, Apr. 2008.
- [96] T. Maeda and T. Tokairin, "Analytical Expression of Quantization Noise in Time-to-Digital Converter Based on the Fourier Series Analysis," *IEEE Trans. Circuits and Systems-I: Regular Papers*, vol.57, no. 7, Jul. 2010.
- [97] E. Roza, "Analog-to-digital conversion via duty-cycle modulation," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 44, no. 11, pp. 907–914, Nov. 1997.
- [98] E. Roza, "Poly-Phase Sigma-Delta Modulation," *IEEE Trans. Circuits and Systems-II: Exp. Briefs*, vol. 44, no. 11, pp. 907–914, Nov. 1997.
- [99] C. Taillefer, and G. Roberts, "Delta-sigma A/D converter via time-mode signal processing," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 56, no. 9, pp. 1908–1920, Sep. 2009.
- [100] M. Straayer, M.H. Perrott, "A 10-bit 20 MHz 38 mW 950 MHz CTRDADC with a 5-bit noise-shaping VCO-based quantizer and DEM circuit in 0.13 μ m CMOS." in *Proc. IEEE Symp. VLSI Circuits Digest of Technical Papers*, pp. 246–247, Jun. 2007.
- [101] M. Park, and M. H. Perrott, "A single-slope 80 Ms/s ADC using two-step time-to-digital conversion." in *Proc. IEEE Symp. Circuits and Systems*, pp. 1125– 1128, May. 2009.
- [102] S. Zaliasl et al., "A 77 dB SNDR, 4MHz MASH $\Delta\Sigma$ modulator with a second-stage multi-rate VCO-based quantizer." in *Proc. IEEE Symp. Custom Integrated Circuits Conference (CICC)*, pp. 1–4, Sep. 2011.
- [103] V. Dhanasekaran et al., "A 20 MHz BW 68 dB DR CT $\Delta\Sigma$ ADC based on a multibit time-domain quantizer and feedback element." *IEEE ISSCC Dig. Tech. Papers*, pp. 174–175, Feb. 2009.
- [104] P. Gao, X. Xing, J. Cranincks, and G. Gielen, " Design of an intrinsically linear double-VCO-based ADC with 2nd-order noise shaping." in *Proc. IEEE Symp. Design, Automation & Test in Europe Conference and Exhibition*, pp. 1215–1220, Mar. 2012.
- [105] Y. Yoon, S. Park, and S. Cho, "A time-based noise shaping analog-to-digital converter using a gatedring oscillator." in *Proc. IEEE Symp. MTT-S International Microwave Workshop Intelligent Radio for Future Personal Terminals*, pp. 1–4, Aug. 2011.

- [106] Y. Tousei, and E. Afshari, "A miniature 2 mW 4 bit 1.2 GS/s delay-line-based ADC in 65 nm CMOS." *IEEE J. Solid-State Circuits*, vol. 46, no. 10, pp. 2312–2325, Oct. 2011.
- [107] Z. Song and D. Sarwate, "The frequency spectrum of pulse width modulated signals," *Journal of Signal Processing*, no.10, pp. 2227-2258, Oct. 2003.
- [108] A. Gelb and W. V. Velde, *Multiple-Input Describing Functions and Non-Linear System Design*, New York: McGraw-Hill, 1968.
- [109] V. Katyal, R. Geiger, and D. Chen, "Adjustable hysteresis CMOS Schmitt trigger," in *Proc. IEEE Int. Symp. circuits systems*, pp. 1938–1941, May. 2014.
- [110] L. Jingxue, and G. Ranjit, "Design and Analysis of a Self-Oscillating Class D Audio Amplifier Employing a Hysteretic Comparator," *IEEE J. of Solid-State Circuits*, vol. 46, no. 10, pp. 2336 - 2349, Oct. 2011.
- [111] K. Lee, M. Bonu, and G. C. Temes, "Noise-coupled delta-sigma ADCs," *Elect. Letters*, vol. 42, no. 3, pp. 1381–1382, Sep. 2006.
- [112] Y. Wang, and G. C. Temes, "Noise-Coupled continuous-time delta-sigma ADCs," *Elect. Letters*, vol. 45, no. 6, pp. 302-303, Sep. 2009.
- [113] F. Ali and A. A. Hamoui, "Continuous-time $\Delta\Sigma$ modulators with noise-transfer-function enhancement," in *Proc. IEEE Int. Symp. Circuits Syst.(ISCAS'08)*, pp. 1428-1431, 2008.
- [114] L. Hernandez and E. Prefasi, "Analog to digital conversion using noise shaping and time encoding," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 55, no. 8, pp. 2026–2037, Aug. 2008
- [115] A. Ashry and H. Aboushady, "Fast and accurate jitter simulation technique for continuous-time $\Sigma\Delta$ modulators," *Elect. Letters*, vol. 45, no. 24, pp 1218-1219, Aug. 2009.
- [116] D. Vercaemer, "Chip design for a time encoding A/D converter" MS.c thesis, University of Gent, 2014.
- [117] F. Chen, T. Kuendiger, S. Efrfani, and M. Ahmadi, "Design of wideband low-power continuous-time $\Sigma\Delta$ modulator in 90 nm CMOS technology," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 54, no. 3, pp. 187-199, Feb. 2008.
- [118] H. H. Chiueh et al., "A 36-mW 320-MHz CMOS continuous-time sigma–delta modulator with 10-MHz bandwidth and 12-bit resolution," in *Proc. IEEE Symp. Midwest Circuits and Systems (MWSCAS)*, pp. 725-728, Aug. 2010.
- [119] W. Yibin, H. Chenxi, L. Dongmei, and W. Zhihua, "A 14b continuous-time delta-sigma modulator with 2MHz signal bandwidth," in *Proc. IEEE Int. Conf. Electron Devices and Solid-State Circuits (EDSSC)*, pp.1-2, 18-20, Jun. 2014.
- [120] A. Essawy and A. Ismail, "A low voltage inverter-based continuous-time sigma delta analog-to-digital converter in 65nm CMOS technology," in *Proc. IEEE Conf. Faible Tension Faible Consommation (FTFC)*, pp.1- 4, May. 2014.
- [121] J.-H. Hong and Z.-Y. Chen, "A low-power 10MHz bandwidth continuous-time $\Sigma\Delta$ ADC with Gm-C filter," in *Proc. IEEE Int. Symp. Midwest Circuits and Systems (MWSCAS)*, pp. 853-856, Aug. 2014.
- [122] M. Afghahi, J. Yuan, "Double-edge-triggered D-Flip-Flops for high speed CMOS circuits," *IEEE J. Solid-State Circuits*, vol.26, no.8, pp.1168-1170, Aug. 1991.
- [123] R.B. Staszewski et al. , "All-Digital PLL and transmitter for mobile phones," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2469-2482, Dec. 2005.
- [124] D. P. Atherton, *Nonlinear Control Engineering*. New York: VNR, 1982.

- [125] L. Weibo, Y. Orino, H. Shinnosuke, and K. K. Minoru, "Design of a Self-Oscillating PWM Signal Generator with a Double Integration Loop," *IEEE Trans. Circuits and Systems-I: Regular Papers*, vol. 60, no. 8, pp. 2064-2073, Jan. 2013.
- [126] S. Ouzounov, H. Hegt, and A. van Roermund, "Sigma-Delta Modulators Operating at a Limit Cycle," *IEEE Trans. Circuits and Syst. II: Express Briefs*, vol. 53, no. 5, pp. 399-403, May 2006.
- [127] S. Ouzounov et al., "Analysis and design of high-performance asynchronous sigma-delta modulators with a binary quantizer," *IEEE J. Solid-State Circuits*, vol. 41, no. 3, pp. 588-596, Mar. 2006.
- [128] F. Colodro and A. Torralba, "Spectral Analysis of Pulsewidth-Modulated Sampled Signals," *IEEE Trans. Circuits Syst.-II*, vol. 57, no. 8, pp. 622- 626, Aug. 2010
- [129] A. Babaie-Fishani and P. Rombouts, "Analytical Expressions for the Distortion of Asynchronous Sigma-Delta Modulators," *IEEE Trans. Circuits and Syst. II: Express Briefs*, vol. 60, no. 8, pp. 472 - 476, Aug. 2013.
- [130] K. Matsukawa *et al.*, "A fifth-order continuous-time delta-sigma modulator with single-opamp resonator," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 697-706, Apr. 2010
- [131] R. Zanbaghi, P. K. Hanumolu, and T. S. Fiez, "An 80-DB DR, 7.2-MHz bandwidth single opamp biquad based CT $\Delta\Sigma$ modulator dissipating 13.7-mW," *IEEE J. Solid-State Circuits*, vol. 48, no. 2, pp. 487-501, Feb. 2013.
- [132] M. M. Elsayed *et al.*, "A 0.8 ps DNL Time-to-Digital Converter With 250 MHz Event Rate in 65 nm CMOS for Time-Mode-Based $\Sigma\Delta$ Modulator," *IEEE J. Solid-State Circuits*, vol. 46, no. 9, pp. 2084-2098, Sep. 2011
- [133] L. Bing, and P. K. Pang, "A continuous-time cascaded delta-sigma modulator with PMW-based automatic RC time constant tuning and correlated double sampling," *Microelectronics Journal*, vol. 44, no. 5, pp. 431-441, May. 2013
- [134] Available at: <http://www.eeweb.com/news/micropower-cmos-rrio-operational-amplifier>
- [135] Available at: https://en.wikipedia.org/wiki/Electron_mobility.

Abstract

The ever-increasing deployment in solid-state technology scaling and as a result the voltage headroom reduction has been shown as a bottleneck for the voltage-mode signal processing circuits. Nevertheless, the operating speed of the transistors are significantly improving thanks to the technology scaling. Hence, introducing a new method such as time-based signal processing approach to overcome the design limitations, can be regarded as an efficient alternative for the frequently-used voltage-based signal processing circuits. Time-based signal processing has recently receive a salient tendency among the researchers. Making use of this technique to design of the time-based quantizers to be employed in the sigma-delta modulators (SDMs) are one of the hot topics in this field.

In this dissertation, continuous-time SDMs (CTSDMs) using time-based quantization approach are investigated. The superior performance of the CTSDMs in broadband applications compared to their discrete-time (DT) counterparts, is the main reason of this choice. Firstly, the feasibility study of employing the time-based signal processing approach utilizing a time-to-digital converter (TDC), a voltage-time converter (VTC) based on an asynchronous pulse-width modulator (APWM) is evaluated. Ensuring the functionality of this time-based CTSDM (TCSDM), a new technique based on the noise coupling idea is introduced to enhance the shaping order of the TCSDM up to 2. In this proposed NTF-enhanced TCSDM, the ELD compensation branch is incorporated in order to facilitate the implementation of the proposed noise coupling idea.

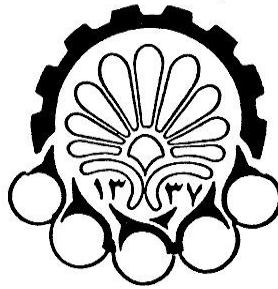
The second proposed TCSDM is the modified version of the first one. This TCSDM leverages a novel noise-shaped quantizer (NSQ) to enhance its shaping order at lower cost and complexity. Exploiting a linear model, a mathematical approach is deployed for the approximation of the TCSDM performance.

All the proposed TCSDMs are simulated using MATLAB^R at the system-level and are verified by Cadence and Agilent-ADS at the circuit level. The circuit-level implementation is done using TSMC 90 nm CMOS technology. Furthermore, Monte-Carlo simulation method is used to investigate the performance in more detail. For the first and second proposed TCSDMs with the 4th order noise shaping order, the accuracy of 13 bit within the bandwidth of 30 MHz while consuming 26 mW and 18 mW (respectively), are the achievements of the circuit-level simulation results.

At the end, the layout of one of the proposed TCSDMs are provided in TSMC 180 nm CMOS technology. The post layout simulation results show that the proposed TCSDM achieves 13 bit resolution within the 15 MHz bandwidth. For this prototype, the clock frequency is 650 MHz, the power consumption is 23 mW and the total area including the pad rings is 0.536 mm².

Resolving the need of the multi-bit DAC, the wideband performance with a lower design complexity are some significant points of all the proposed TCSDMs.

Key words: Continuous-time sigma-delta converter, Pulse-width Modulation (PWM), Time-based signal processing, Time-to-Digital converter (TDC), Digital-to-Time converter (DTC), Time-based noise coupling, VCO-based quantization



Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

Ph.D. Dissertation

**Analysis and Design of Continuous-Time
Sigma-Delta Modulators with Time-Domain
Quantization for Broadband Applications**

By
Mohsen Tamaddon

Supervisor
Dr. Mohammad Yavari

Summer 2016