Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Architectural Improvement of Discrete-Time Sigma-Delta Modulators for Broadband Applications

By:
Mohsen Shahghasemi

Under Supervision of:
Dr. Mohammad Yavari

February 2013

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد
(گرایش میکروالکترونیک)

بهبود ساختاری مدولاتورهای سیگما-دلتای زمان-گسسته برای کاربردهای باند وسیع

نگارش:
سیّدمحسن شاه‌قاسمی

استاد راهنما:
دکترمحمّد یاوری

اسفند 1391

بسم الله الرحمن الرحيم

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

تأییدیه‌ی صحت و اصالت نتایج

اینجانب سیدمحسن شاه‌قاسمی متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

سیدمحسن شاه‌قاسمی

امضا

تقدیم به

پدر عزیز و مادر مهربانم
که همواره و در تمامی مراحل پشتیبان من بوده‌اند.

تشکر و قدردانی

در ابتدا از استاد گرامی جناب آقای دکترمحمد یاوری به خاطر راهنمایی‌های ارزشمند ایشان برای انجام صحیح پایان‌نامه تشکر و قدردانی می‌کنم. دوستان عزیزم در آزمایشگاه طراحی مدارهای مجتمع آقایان مهندس‌رضا اینانلو، مهندس‌حسین پاک‌نیت و مهندس‌توحید موسی‌زاده ساعتهای زیادی را برای نقد و بررسی طرح‌های پیشنهادی اینجانب صرف کردند؛ از آنها تشکر ویژه دارم و توفیق روزافزون آنها را از خداوند منان خواستارم. از دیگر دوستانم در آزمایشگاه طراحی مدارهای مجتمع مهندس‌علی شفتی، مهندس‌نجمه حاج‌امینی، مهندس‌مهدی براتی، مهندس‌بابک مذهب‌جعفری، مهندس‌سجاد گلابی، مهندس‌میثم اصغری و مهندس‌بهشته خزاییلی که با فراهم آوردن جوی صمیمی و دوستانه شرایط خوبی برای انجام راحت‌تر کارهای مربوط به پایان‌نامه فراهم کردند نیز تشکر و قدردانی می‌کنم. همچنین از اساتید گرانقدر آقایان دکترحسن کاتوزیان و دکترشاهین جعفرآبادی آشتیانی که زحمت داوری این پایان‌نامه را کشیده‌اند تشکر می‌نمایم.

رسیدن به این درجه به جز با حمایت تک تک اعضای خانواده‌ام امکان‌پذیر نبود؛ از آنها به خاطر تمامی زحمات فداکارانه‌شان تشکر و قدردانی می‌نمایم. در نهایت از کمیته نانو به دلیل حمایت مالی در انجام پروژه سپاس‌گزارم و امیدوارم این کمیته در ارتقای علمی و توسعه فناوری در کشور عزیزمان موفق باشد.

چکیده

امروزه نیاز به کاهش توان مصرفی با حفظ کارایی به یک چالش در طراحی مدارهای مجتمع تبدیل شده است. مبدل‌های سیگما-دلتا به خاطر ویژگی‌های بیش نمونه‌برداری و شکل‌دهی نویز حساسیت کمی به تغییرات مداری دارند و از این رو برای استفاده در تکنولوژی‌های با ابعاد کوچکتر به عنوان یک گزینه خوب مطرح هستند. به دلیل ذات بیش نمونه‌بردار این مدولاتور، پهنای باند آن به مراتب کمتر از فرکانس نمونه‌برداری آن است. برای افزایش پهنای‌باند این مدولاتورها، بایستی نرخ بیش نمونه‌برداری را در آن‌ها کاهش داد. برای حفظ نسبت سیگنال به نویز قابل قبول در نرخ‌های بیش نمونه برداری کم لازم است به طریقی نویز کوانتیزاسیون داخل باند را تضعیف کرد. در این پایان‌نامه تلاش بر این است که از دیگر مبدلها به صورت ترکیبی با مبدل سیگما-دلتا استفاده شود تا نویز داخل باند را کاهش دهیم.

در ساختار پیشنهادی اول، یک مبدل SAR (SAR ADC) در یک مدولاتور سیگما-دلتا با ساختار فیدبک خطا قرار می‌گیرد. روش کار مبدل SAR به نحوی است که در پایان هر سیکل خطای کوانتیزاسیون را به صورت آنالوگ تولید می‌کند. در اینجا با استفاده از ساختار فیدبک خطا، خطای کوانتیزاسیون یک مرتبه شکل‌دهی می‌شود. نتیجه یک مدولاتور مرتبه یک با نرخ نمونه‌برداری 128 مگاهرتز و نسبت بیش نمونه‌برداری 64 است که حداکثر SNDRی برابر با 69 دسی‌بل ارائه می‌کند. طرح در تکنولوژی 90 نانومتر، ولتاژ تغذیه 1 ولت و با استفاده از نرم افزارهای MATLAB-Simulink و Spectre شبیه‌سازی شده است. توان مصرفی این مبدل 208 میکروات است که منجر به ضریب شایستگی 2ر44 فمتوژول بر سطح آشکار شده است. متاسفانه دقت این روش محدود است و این مدار نمی‌تواند به راحتی دقتی بالاتر از این مقدار کسب کند.

دومین کار پیشنهاد یک مدولاتور دو طبقه است که تعداد کمتری تقویت‌کننده را مورد استفاده قرار می‌دهد. به علاوه مدولاتور پیشنهادی نیاز به تقویت‌کننده بدون تاخیر را مرتفع می‌کند و در عین حال بدون بهینه سازی صفر به پارامترهای یک مدولاتور مرسوم دست می‌یابد. بنابراین مدولاتور پیشنهادی از نظر توانی کم‌مصرف‌تر خواهد بود و همچنین طراحی ساده‌تری خواهد داشت. از نظر معماری، این مدولاتور یک MASH 1-2 است که در طبقه دوم آن یک مبدل دومرحله‌ای (Two-Step) با یک مرتبه شکل‌دهی نویز قرار دارد. شبیه سازی با نرخ بیش نمونه‌برداری 8 نشان می‌دهد که کارایی این سیستم در حد کارایی یک ساختار MASH مرتبه 4 است. مدولاتور در نرم‌افزارهای MATLAB-Simulink و Spectre شبیه‌سازی شده است و در تکنولوژی 90 نانومتر با ولتاژ تغذیه 1 ولت توانی برابر با 2ر19 میلی‌وات مصرف می‌کند. پهنای باند سیگنال ورودی 6ر25 مگاهرتز است و SNDR شبیه‌سازی مداری برابر با 82ر67 دسی‌بل است که منجر به ضریب شایستگی 138 fJ/conv.step می‌شود.

کلمات کلیدی: مبدل آنالوگ به دیجیتال سیگما-دلتا، نرخ بیش نمونه‌برداری پایین، تکنولوژی‌های نانومتری CMOS، مدارهای سوئیچ‌شونده خازنی

فهرست مطالب

فصل اول: مقدمه

1-1- انگیزه 1
1-2- ساختار پایان‌نامه 2

فصل دوم: مبدل‌های آنالوگ به دیجیتال

2-1- مبانی مبدل‌های آنالوگ به دیجیتال 4
2-1-1- فیلتر آنتی الیاسینگ 4
2-1-2- بخش نمونه‌برداری 5
2-1-3- کوانتایزر 5
2-1-4- فیلتر دیجیتال 7
2-2- پارامترهای توصیف‌کننده یک مبدل آنالوگ به دیجیتال 8
2-3- مبدل SAR 9
2-4- مبدل دو مرحله‌ای 11
2-5- مبدل‌های سیگما-دلتا 12
2-5-1- بیش نمونه‌برداری 12
2-5-2- شکل‌دهی نویز کوانتیزاسیون 12
2-5-3- تحلیل عملکرد یک مبدل سیگما-دلتای مرتبه اول 13
2-5-4- مدولاتورهای سیگما-دلتای MASH 15
2-6- ساختارهای مدرن مدولاتور سیگما-دلتا 16
2-6-1- ساختارهای شکل‌دهنده نویز مبدل SAR 16
2-6-2- ساختار هایبرید دلتا سیگما-پایپلاین 19
2-6-3- ساختار هایبرید دلتا سیگما-دومرحله‌ای 22

فصل سوم: مبدل SAR با شکل‌دهی نویز پیشنهادی

3-1- ساختار پیشنهادی 25
3-1-1- سوئیچ‌ها 27
3-2- ملزومات طراحی مداری 28
3-2-1- بهره، حداکثر سوئینگ خروجی و پهنای‌باند تقویت‌کننده 28
3-2-2- ملزومات نویز 29
3-2-3- غیرخطینگی DAC 30
3-3- نمونه طراحی 33
3-4- نتایج شبیه‌سازی 34
3-5- نتیجه‌گیری 37

فصل چهارم: مدولاتور MASH 2-1 پیشنهادی

4-1- ساختار مدولاتور پیشنهادی 38
4-1-1- تفاوت پیاده‌سازی ساختارهای تک طبقه و MASH 39
4-1-2- ساختار پیشنهادی 40
4-1-3- مقایسه ساختار پیشنهادی با ساختارهای رایج 42
4-2- طراحی سطح بالای ساختار پیشنهادی 47
4-2-1- سوئینگ خروجی 47
4-2-2- تعیین مقدار نویز حرارتی 49
4-3 طراحی مدولاتور در سطح مداری 52
4-3-1- ساختار سوئیچ شونده خازنی 52
4-3-2- جمع‌کننده پسیو و پیش‌تقویت‌کننده 54
4-3-3- طراحی تقویت‌کننده 57
4-3-4- مدارهای افزاینده ترارسانایی 58
4-3-5- طراحی سوئیچ‌ها 62
4-3-6- خطی‌سازی مبدل دیجیتال به آنالوگ 64
4-4 نتایج شبیه‌سازی 65
4-5 مقایسه با نمونه‌های موجود 68

فصل پنجم: نتیجه‌گیری و پیشنهادات

5-1- نتیجه‌گیری 70
5-2- پیشنهادات 71

فهرست شکل‌ها

شکل (2- 1): شمای کلی یک مبدل آنالوگ به دیجیتال.....5
شکل (2- 2): مدار دنبال‌کننده و نگهدار.....5
شکل (2- 3): نمودار ورودی-خروجی کوانتایزر.....6
شکل (2- 4): الف) کوانتایزر، ب) مدل سیستمی آن.....6
شکل (2- 5): چگالی طیفی توان نویز کوانتیزاسیون.....7
شکل (2- 6): بلوک دیاگرام یک مبدل SAR.....10
شکل (2- 7): مبدل SAR 3 بیتی.....11
شکل (2- 8): شکل سیستمی یک مبدل دومرحله‌ای.....12
شکل (2- 9): مبدل سیگما-دلتای مرتبه اول.....13
شکل (2- 10): مدولاتور سیگما-دلتای MASH.....15
شکل (2- 11): ساختار شکل‌دهنده نویز SAR [8]، الف) ساختار سیستمی، ب) فازبندی مدار، ج) ساختار مداری.....17
شکل (2- 12): ساختار شکل‌دهنده نویز مبدل SAR [9]، الف) ساختار سیستمی، ب) ساختار مداری فیلتر.....18
شکل (2- 13): ساختار کلی هایبرید دلتا سیگما-پایپلاین.....19
شکل (2- 14): ساختار هایبرید دلتا سیگما-پایپلاین پیاده‌سازی شده در [15].....21
شکل (2- 15): مبدل دو طبقه با شکل‌دهی نویز [3].....22
شکل (2- 16): ساختار هایبرید دلتا سیگما- دومرحله‌ای.....23

شکل (3- 1): ساختار پیشنهادی شکل‌دهنده نویز مبدل SAR، الف) نمودار سیستمی، ب) شکل مداری، ج) فازبندی مدار.....26
شکل (3- 2): شکل سیگنال کوچک مدار در دو فاز الف) تبدیل، ب) نمونه‌برداری.....29
شکل (3- 3): مدل کردن خطاها در ساختار شکل‌دهنده نویز مبدل SAR.....31
شکل (3- 4): مقایسه‌گر مورد استفاده در مبدل.....34
شکل (3- 5): طیف خروجی شبیه‌سازی مداری مبدل پیشنهادی.....35
شکل (3- 6): منحنی محدوده دینامیکی شبیه‌سازی مداری مبدل پیشنهادی.....36

شکل (4- 1): نمودار سیستمی ساختار MASH پیشنهادی.....41
شکل (4- 2): ساختار مرسوم مدولاتور MASH 2-2.....43

شکل (4- 3): محدوده دینامیکی مدولاتور پیشنهادی و ساختار MASH مرسوم.....44
شکل (4- 4): SQNR بر حسب بهره تقویت‌کننده در مدولاتور MASH 2-1 پیشنهادی و MASH 2-2.
.....45
شکل (4- 5): سنجش حساسیت مدولاتور پیشنهادی به عدم تطبیق ضریب G_1.....47
شکل (4- 6): سنجش حساسیت مدولاتور پیشنهادی به عدم تطبیق ضریب G_2.....48
شکل (4- 7): سوئینگ خروجی تقویت‌کننده‌ها برای 8192 مرتبه نمونه‌برداری به ازای ورودی dBFS 0.
.....48
شکل (4- 8): نمودار طبقه اول مدولاتور برای تحلیل نویز.....49
شکل (4- 9): تابع تبدیل نویز انتگرالگیر اول به خروجی.....50
شکل (4- 10): الف) مبدل دومرحله‌ای معمولی. ب)مبدل دومرحله‌ای با شکل‌دهی نویز [3].....53
شکل (4- 11): ساختار سوئیچ شونده خازنی مدولاتور پیشنهادی.....54
شکل (4- 12): مدار سوئیچ‌شونده خازنی الف) در فاز ϕ_1. ب) در فاز ϕ_2.....55
شکل (4- 13): ساختار سوئیچ‌شونده خازنی جمع‌کننده طبقه اول.....55
شکل (4- 14): پیش تقویت‌کننده.....56
شکل (4- 15): مدار سوئیچ‌شونده‌خازنی. الف) پیش‌تقویت کوانتایزر اول طبقه دوم. ب) پیش‌تقویت
کوانتایزر دوم طبقه دوم.....57
شکل (4- 16) تقویت‌کننده مورد استفاده در مدولاتور.....58
شکل (4- 17): مدار بایاس تقویت‌کننده به همراه مدارهای فیدبک مد مشترک.....59
شکل (4- 18): مدار افزاینده ترارسانایی ترانزیستورهای $M_{2a,b}$ به همراه مدار بایاس.....59
شکل (4- 19): مدار افزاینده ترارسانایی ترانزیستورهای $M_{3a,b}$ به همراه مدار بایاس.....61
شکل (4- 20): سوئیچ بوت استرپ [27] استفاده شده در این طرح.....63
شکل (4- 21): سوئیچ‌های استفاده شده در مدار.....64
شکل (4- 22): شبیه‌سازی مونت کارلو مربوط به غیرخطینگی DAC با عدم تطبیق 0٫2%.....65
شکل (4- 23): طیف خروجی مدولاتور در حالت TT @ 27°C.....66
شکل (4- 24): طیف خروجی مدولاتور در حالت SS @ 85°C.....66
شکل (4- 25): طیف خروجی مدولاتور در حالت FF @ -40°C.....67
شکل (4- 26): منحنی محدوده دینامیکی مدولاتور حاصل از شبیه‌سازی مداری با در نظر گرفتن نویز
حرارتی (TT @ 85°).....67

فهرست جدول‌ها

جدول (3- 1): پارامترهای مبدل در گوشه‌های تکنولوژی. 35
جدول (3- 2): مقایسه کارایی مبدل با نمونه‌های گزارش شده اخیر. 37

جدول (4- 1): مقایسه MASH 2-1پیشنهادی با MASH 2-2. 46
جدول (4- 2) ابعاد ترانزیستورهای استفاده شده در پیش‌تقویت‌کننده. 56
جدول (4- 3): ابعاد ترانزیستورهای مورد استفاده در تقویت‌کننده. 58
جدول (4- 4): ابعاد ترانزیستورهای مدار بایاس. 59
جدول (4- 5): اندازه ترانزیستورهای افزاینده ترارسانایی ترانزیستورهای $M_{2a,b}$. 60
جدول (4- 6): اندازه ترانزیستورهای افزاینده ترارسانایی ترانزیستورهای $M_{3a,b}$. 61
جدول (4- 7): ویژگی‌های تقویت‌کننده‌ها. 62
جدول (4- 8): اندازه ترانزیستورهای سوئیچ بوت استرپ. 63
جدول (4- 9): اندازه سوئیچ‌های مدار. 64
جدول (4- 10): پارامترهای مبدل در گوشه‌های تکنولوژی. 68
جدول (4- 11): مقایسه کارایی مدولاتور پیشنهادی با نمونه‌های گزارش شده اخیر. 69

فهرست کلمات اختصاری

ADC	Analog to Digital Converter
OSR	Oversampling Ratio
DAC	Digital to Analog Converter
SAR	Successive Approximation Register
MASH	MultistAge noise SHaping
SQNR	Signal to Quantization Noise Ratio
RMS	Root Mean Square
DNL	Differential NonLinearity error
INL	Integral NonLinearity error
SNR	Signal to Noise Ratio
SNDR	Signal to Noise and Distortion Ratio
ENOB	Effective Number of Bits
SFDR	Spurious Free Dynamic Range
FoM	Figure of Merit
MSB	Most Significant Bit
LSB	Least Significant Bit
STF	Signal Transfer Function
NTF	Noise Transfer Function
FIR	Finite Impulse Response
IIR	Infinite Impulse Response
HDSP	Hybrid Delta-Sigma Pipeline
NSTS	Noise-Shaped Two-Step
GBW	Gain-BandWidth product
CDS	Correlated Double Sampling

مراجع

[1] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*. New York: Wiley/IEEE press, 2005.f

[2] J. Markus and G. C. Temes, "An efficient ΔΣ ADC architecture for low oversampling ratios," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 1, pp. 63-71, Jan. 2004.

[3] O. Rajaee, S. Takeuchi, M. Aniya, K. Hamashita, and U.-K. Moon, "Low-OSR over-ranging hybrid ADC incorporating noise-shaped two-step quantizer," *IEEE J. Solid-State Circuits*, vol. 46, no. 11, pp. 2458-2468, Nov. 2011.

[4] F. Maloberti, *Data converters*.: Springer, 2007.

[5] A. Chan Carusone, D. A. Johns, and K. W. Martin, *Analog integrated circuit design*, 2nd ed.: John Wiley & Sons Press, 2012.

[6] J. M. de la Rosa, "Sigma-delta modulators: tutorial overview, design guide, and state-of-the-art survey," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 58, no. 1, pp. 1-21, Jan. 2011.

[7] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques. I," *IEEE J. Solid-State Circuits*, vol. 10, no. 6, pp. 371-379, Dec. 1975.

[8] K.-S. Kim and S.-H. Cho, "Nth-order multi-bit ΣΔ ADC using SAR quantiser," *IET Electronics Letters*, vol. 46, no. 19, pp. 1315-1316, Sept. 2010.

[9] J. A. Fredenburg and M. P. Flynn, "A 90-MS/s 11-MHz-bandwidth 62-dB SNDR noise-shaping SAR ADC," *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 2898-2904, Dec. 2012.

[10] J. Doernberg, P. R. Gray, and D. A. Hodges, "A 10-bit 5-Msample/s CMOS two-step flash ADC," *IEEE J. Solid-State Circuits*, vol. 24, no. 2, pp. 241-249, Apr. 1989.

[11] H.-W. Chen, I.-Ch. Chen, H.-Ch Tseng, and H.-Sh. Chen, "A 1-GS/s 6-Bit two-channel two-step ADC in 0.13-μm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3051-3059, Nov. 2009.

[12] Z. Sohrabi, *Design and simulation of sigma-delta modulators for broadband applications in 90-nm CMOS technology*. M.Sc. Dissertation, Amirkabir University of Technology, Feb. 2011.

[13] K. Vleugels, S. Rabii, and B. A. Wooley, "A 2.5-V sigma-delta modulator for broadband communications applications," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1887-1899, Dec. 2001.

[14] F. Colodro and A. Torralba, "Multirate single-bit ΣΔ modulators," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 49, no. 9, pp. 629-634, Sept. 2002.

[15] O. Rajaee T. Musah, N. Maghari, S. Takeuchi, M. Aniya, K. Hamashita, U.-K. Moon, "Design of a 79 dB 80 MHz 8X-OSR hybrid delta-sigma/pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 719-730, Apr. 2010.

[16] R. T. Baird and T. S. Fiez, "Linearity enhancement of multibit ΔΣ A/D and D/A converters using data weighted averaging," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 42, no. 12, pp. 753-762, Dec. 1995.

[17] J. G. Kenney and L. Carley, "Design of multibit noise-shaping data converters," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 3, no. 3, pp. 259-272, May. 1993.

[18] R. Schreier, "An empirical study of high-order single-bit delta-sigma modulators," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 40, no. 8, pp. 461-466, Aug. 1993.

[19] T. Hayashi, Y. Inabe, K. Uchimura, and T. Kimura, "A multistage delta-sigma modulator without double integration loop," in *ISSCC Dig. Tech. Papers*, Feb. 1986, pp. 182-183.

[20] M. Yavari, "MASH sigma-delta modulators with reduced sensitivity to the circuit non-idealities," in *Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS)*, May 2009, pp. 3126-3129.

[21] Z. Sohrabi and M. Yavari, "A 13 bit 10 MHz bandwidth MASH 3–2 ΣΔ modulator in 90 nm CMOS," *International Journal of Circuit Theory and Applications*, pp. 1-18, Available Online: Apr. 2012.

[22] N. Maghari, S. Kwon, and U.-K. Moon, "74 dB SNDR multi-loop sturdy-MASH delta-sigma modulator using 35 dB open-loop opamp gain," *IEEE J. Solid-State Circuits*, vol. 44, no. 8, pp. 2212-2221, Aug.

2009.

[23] J. Silva, U.-K. Moon, J. Steensgaard, and G. C. Temes, "Wideband low-distortion delta-sigma ADC topology," *IET Electronics Letters*, vol. 37, no. 12, pp. 737-738, June 2001.

[24] Behzad Razavi, *Principles of data conversion system design*.: IEEE Press, 1995.

[25] Y. Wang, P. K. Hanumolu, and G. C. Temes, "Design techniques for wideband discrete-time delta-sigma ADCs with extra loop delay," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 58, no. 7, pp. 1518-1530, July 2011.

[26] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 349-355, Mar. 2001.

[27] M. Yavari, *Low-voltage high-performance sigma-delta modulators for broadband applications*. Ph.D. Dissertation, University of Tehran, July 2006.

[28] D. Zhang, A. Bhide, and A. Alvandpour, "A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13-μm CMOS for medical implant devices," *IEEE J. Solid-State Circuits*, vol. 47, no. 7, pp. 1585-1593, July 2012.

[29] P. J. A. Harpe, C. Zhou, Y. Bi, N. P. van der Meijs, X. Wang, K. Philips, G. Dolmans, H. de Groot, "A 26μW 8 bit 10 MS/s asynchronous SAR ADC for low energy radios," *IEEE J. Solid-State Circuits*, vol. 46, no. 7, pp. 1585-1595, July 2011.

[30] H. Jeon and Y.-B. Kim, "A CMOS low-power low-offset and high-speed fully dynamic latched comparator," in *IEEE Int. System-on-Chip Conference (SOCC)*, Sept. 2010, pp. 285-288.

[31] A. Agnes, E. Bonizzoni, P. Malcovati, and F. Maloberti, "An ultra-low power successive approximation A/D converter with time-domain comparator," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 64, no. 2, pp. 183-190, Aug. 2010.

[32] J. Yu and F. Maloberti, "A low-power multi-bit ΣΔ modulator in 90-nm digital CMOS without DEM," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2428-2436, Dec. 2005.

[33] A. P. Chandrakasan and N. Verma, "An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes," *IEEE J. Solid-State Circuits*, vol. 42, no. 6, pp. 1196-1205, June 2007.

[34] D. De Venuto, D. T. Castro, Y. Ponomarev, and E. Stikvoort, "0.8 μW 12-bit SAR ADC sensors interface for RFID applications," *Microelectronics Journal*, vol. 41, no. 11, pp. 746-751, Nov. 2010.

[35] W. Liu, P. Huang, and Y. Chiu, "A 12b 22.5/45MS/s 3.0mW 0.059mm2 CMOS SAR ADC achieving over 90dB SFDR," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2010, pp. 380-381.

[36] Y. C. Liang, Z. H. Wu, and B. Li, "A new 12-bit fully differential SAR ADC for wireless implantable neural recording systems," in *IEEE International Conf. Elec. Dev. and Solid-State Circuits (EDSSC)*, Dec. 2009, pp. 399-402.

[37] L. Bos, G. Vendersteen, P. Rombouts, A. Geis, A. Morgado, Y. Rolain, G. Van der Plas, J. Ryckaert, "Multirate cascaded discrete-time low-pass ΔΣ modulator for GSM/Bluetooth/UMTS," *IEEE J. Solid-State Circuits*, vol. 45, no. 6, pp. 1198-1208, June 2010.

[38] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto, "A 10b 50MS/s 820μW SAR ADC with on-chip digital calibration," in *ISSCC Dig. Tech. Papers*, Feb. 2010, pp. 384-385.

[39] Y.-K. Cho, Y.-D. Jeon, J.-W. Nam, and J.-K. Kwon, "A 10-bit 30-MS/s successive approximation register analog-to-digital converter for low-power sub-sampling applications," *Microelectronics Journal*, vol. 42, no. 12, pp. 1335-1342, Dec. 2011.

[40] C.-C. Liu, S.-J. Chang, G.-Y. Huang, and Y.-Z. Lin, "A 0.92mW 10-bit 50-MS/s SAR ADC in 0.13μm CMOS process," in *IEEE Symp. On VLSI Circuits*, June 2009, pp. 236-237.

[41] S.-K Lee, S.-J. Park, H.-J. Park, and J.-Y. Sim, "A 21 fJ/conversion-step 100 kS/s 10-bit ADC with a low-noise time-domain comparator for low-power sensor interface," *IEEE J. Solid-State Circuits*, vol. 46, no. 3, pp. 651-659, Mar 2011.

[42] R. Lotfi, R. Majidi, M. Maymandi-Nejad, and W. A. Serdijn, "An ultra-low-power 10-bit 100-kS/s successive-approximation analog-to-digital converter," in *Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS)*, May 2009, pp. 1117-1120.

[43] T. G. Rebuske, C. R. Rodrigues, and S. Nooshabadi, "A 5MSps 13.25 μW 8-bit SAR ADC with single-ended or differential input," *Microelectronics Journal*, vol. 43, no. 10, pp. 680-686, Oct. 2012.

[44] T. G. R. Kuntz, C. R. Rodrigues, and S. Nooshabadi, "An energy-efficient 1MSps 7μW 11.9fJ/conversion step 7pJ/sample 10-bit SAR ADC in 90nm," in *Proc. IEEE Int. Symp. on Circuits*

and Systems (ISCAS), May 2011, pp. 261-264.

[45] P. Lin and G. Huang, "A 15fJ/conversion-step 8-bit 50MS/s asynchronous SAR ADC with efficient charge recycling technique," *Microelectronics Journal*, vol. 43, no. 12, pp. 941-948, Dec. 2012.

[46] H.-C. Choi, Y.-J. Kim, K.-H. Lee, Y. Kim, and S.-H. Lee, "A 10 b 25 MS/s 4.8 mW 0.13 μm CMOS ADC with switched-bias power-reduction techniques," *International Journal of Circuits Theory and Applications*, vol. 37, no. 9, pp. 955-967, Nov. 2009.

[47] H.-Y. Huang, J.-Y. Lin, C.-C. Hsieh, W.-H. Chang, H.-H. Tsai, C.-F. Chiu, "A 9.2b 47fJ/conversion-step asynchronous SAR ADC with input range prediction DAC switching," in *Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS)*, May 2012, pp. 2353-2356.

[48] S. Mirabbasi and W. Guo, "A low power 10-bit 50-MS/s SAR ADC using a parasitic-compensated split-capacitor DAC," in *Proc. IEEE Int. Symp. on Circuits and Systems (ISCAS)*, May 2012, pp. 1275-1278.

[49] A. Shikata, R. Sekiomoto, T. Kuroda, and H. Ishikuro, "A 0.5 V 1.1 MS/sec 6.3 fJ/conversion-step SAR-ADC with tri-level comparator in 40 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 47, no. 4, pp. 1022-1030, Apr. 2012.

[50] M. H. Zarifi, J. Frounchi, M. A. Tinati, S. Farshchi, and J. W. Judy, "A low-power small-area 10-bit analog-to-digital converter for neural recording applications," *International Journal of Circuit Theory and Applications*, vol. 39, no. 4, pp. 385-395, Apr. 2011.

[51] G.-Y. Huang, S.-J. Chang, C.-C. Liu, and Y.-Z. Lin, "A 1-μW 10-bit 200-kS/s SAR ADC with a bypass window for biomedical application," *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2783-2795, Nov. 2012.

[52] K. Nam, S.-M. Lee, D. K. Su, and B. A. Wooley, "A low-voltage low-power sigma-delta modulator for broadband analog-to-digital conversion," *IEEE J. Solid-State Circuits*, vol. 40, no. 9, pp. 1855-1864, Sept. 2005.

[53] P. Balmelli and Q. Huang, "A 25-MS/s 14-b 200-mW ΣΔ modulator in 0.18-μm CMOS," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2161-2169, Dec. 2004.

[54] R. Jiang and T. S. Fiez, "A 14-bit delta-sigma ADC with 8× OSR and 4-MHz conversion bandwidth in a 0.18-μm CMOS process," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 63-74, Jan. 2004.

[55] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S. Kosic, J. Cao, S.-L. Chan, "A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at 8× oversampling ratio," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1820-1828, Dec. 2000.

[56] T.-H. Chang, L.-R. Dung, J.-Y. Guo, and K.-J. Yang, "A 2.5-V 14-bit, 180-mW cascaded ΣΔ ADC for ADSL2+ application," *IEEE J. Solid-State Circuits*, vol. 42, no. 11, pp. 2357-2368, Nov. 2007.

[57] B. Ginetti, P. G. A. Jespers, and A. Vandemeulebroecke, "A CMOS 13-b cyclic RSD A/D converter," *IEEE J. Solid-State Cicruits*, vol. 27, no. 7, pp. 957-964, July 1992.

[58] H. Zare-Hoseini, I. Kale, and O. Shoaei, "Modeling of switched-capacitor delta-sigma modulators in SIMULINK," *IEEE Trans. Instrum.*, vol. 54, no. 4, pp. 1646-1654, Aug. 2005.

[59] M. Yavari, "Hybrid cascode compensation for two-stage CMOS opamps," *IEICE Transactions on Electronics, Special Section on Analog Circuit and Device Technologies*, vol. E88-C, no. 6, pp. 1161-1165, June 2005.

[60] M. Das, "Improved design criteria of gain-boosted CMOS OTA with high-speed optimizations," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 49, no. 3, pp. 204-207, Mar. 2002.

[61] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.

[62] M. Dessouky, M.-M. Louerat, and A. Kaiser, "Switch sizing for very low-voltage switched-capacitor circuits," in *Int. Conf. on Electronics, Circuits and Systems (ICECS)*, Sept. 2001, pp. 1549-1552.

[63] K. Cornelissens and M. Steyaert, "Design considerations for cascade ΔΣ ADC's," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 55, no. 5, pp. 389-393, May 2008.

[64] Y. Fujimoto, Y. Kanazawa, P. L. Re, and K. Lizuka, "A 100 MS/s 4 MHz bandwidth 70 dB SNR ΔΣ ADC in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 6, pp. 1697-1708, June 2009.

[65] A. Gharbiya and D. A. Johns, "A 12-bit 3.125 MHz bandwidth 0-3 MASH delta-sigma modulator," *IEEE J. Solid-State Circuits*, vol. 44, no. 7, pp. 2010-2018, July 2009.

[66] Y. Kanazawa, Y. Fujimoto, P. L. Re, and M. Miyamoto, "A 100-MS/s 4-MHz bandwidth 77.3-dB SNDR ΔΣ ADC with a triple sampling technique," in *Costum Integrated Circuits Conference (CICC)*, Sept. 2006, pp. 53-56.

[67] A. Agah, K. Vleugels, P. B. Griffin, M. Ronaghi, J. D. Plummer and B. A. Wooley, "A high-resolution low-power incremental ΣΔ ADC with extended range for biosensor arrays," *IEEE J. Solid-State Circuits*, vol. 45, no. 6, pp. 1099-1110, June 2010.

[68] S. Kwon and F. Maloberti, "A 14mW multi-bit ΔΣ modulator with 82dB SNR and 86dB DR for ADSL2+," in *IEEE Dig. Tech. Papers.*, Feb. 2006, pp. 161-170.

[69] Y. Wang, K. Lee, and G. C. Temes, "A 2.5MHz BW and 78dB SNDR delta-sigma modulator using dynamically biased amplifiers," in *Custum Integrated Circuits Conference*, Sept. 2008, pp. 97-100.

[70] N. Maghari and U.-K. Moon, "A third-order DT ΔΣ modulator using noise-shaped bi-directional single-slope quantizer," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2882-2891, Dec. 2011.

[71] S. Zaliasl, S. Saxena, P. K. Hanumolu, K. Mayaram, and T. S. Fiez, "A 12.5-bit 4 MHz 13.8 mW MASH ΔΣ modulator with multirated VCO-based ADC," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 59, no. 8, pp. 1604-1613, Aug. 2012.

[72] K. Yamamoto and A. Chan Carusone, "A 1-1-1-1 MASH delta-sigma modulator with dynamic comparator-based OTAs," *IEEE J. Solid-State Circuits*, vol. 47, no. 8, pp. 1866-1883, Aug. 2012.

[73] R. Zanbaghi, S. Saxona, G. C. Temes, and T. S. Fiez, "A 75-dB SNDR, 5-MHz bandwidth stage-shared 2-2 MASH ΔΣ modulator dissipating 16 mW power," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 59, no. 8, pp. 1614-1625, Aug. 2012.

[74] E. Bonizzoni, A. P. Perez, F. Maloberti, and M. A. Garcia-Andrade, "Two op-amps third-order sigma–delta modulator with 61-dB SNDR, 6-MHz bandwidth and 6-mW power consumption," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 66, no. 3, pp. 381-388, Mar. 2011.

[75] K. Lee, M. R. Miller, and G. C. Temes, "An 8.1 mW, 82 dB delta-sigma ADC with 1.9 MHz BW and -98 dB THD," *IEEE J. Solid-State Circuits*, vol. 44, no. 8, pp. 2202-2211, Aug. 2009.

[76] M. Aboudina and B. Razavi, "A ΔΣ CMOS ADC with 80-dB dynamic range and 31-MHz signal bandwidth," in *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, Aug 2009, pp. 397-401.

[77] E. Bilhan and F. Maloberti, "A wideband sigma-delta modulator with cross-coupled two-paths," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 56, no. 5, pp. 886-893, May 2009.

[78] O. Rajaee and U.-K. Moon, "Highly linear noise-shaped pipelined ADC utilizing a relaxed accuracy front-end," *IEEE J. Solid-State Circuits*, vol. 48, no. 2, pp. 502-515, Feb. 2013.

[79] E. Siragusa and I. Galton, "A digitally enhanced 1.8-v 15-bit 40-Msample/s CMOS pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126-2138, Dec. 2004.

[80] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2139-2151, Dec. 2004.

[81] S. Ray and B.-S. Song, "A 13-b linear, 40-MS/s pipelined ADC with self-configured capacitor matching," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 463-474, Mar. 2007.

[82] B.-G. Lee, B.-M. Min, G. Manganaro, and J. W. Valvano, "A 14-b 100-MS/s pipelined ADC with a merged SHA and first MDAC," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2613-2619, Dec. 2008.

[83] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS circuit design, layout and simulation*, 2nd ed.: IEEE Press, 1998.

[84] C.-C. Liu, S.-J. Chang, G.-Y. Huang, and Y.-Z. Lin, "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 731-740, Apr. 2010.

[85] A. Nilchi and D. A. Johns, "Charge-pump based switched-capacitor integrator for ΔΣ modulators," *IET Electronics Letters*, vol. 46, no. 6, pp. 400-401, Mar. 2010.

[86] I. Ahmed, J. Mulder, and D. A. Johns, "A 50MS/s 9.9mW pipelined ADC with 58dB SNDR in 0.18μm CMOS using capacitive charge-pumps," in *ISSCC Dig. Tech. Papers*, Feb. 2009, pp. 164-165.

Abstract:

Recently, the reduction of power consumption without performance degradation in integrated circuits design has became a challenge. Sigma-delta modulator is less sensitive to the circuit imperfections due to the oversampling and noise-shaping properties; hence it shows a good scope to be assisted in deeper nanometer technologies. Owing to the oversampling nature of this modulator, its signal bandwidth will be considerably lower than its sampling frequency. A method to increase the signal bandwidth is to reduce the oversampling ratio (OSR), but it reduces the accuracy of sigma-delta modulator. To maintain the desired signal to noise ratio at low OSRs, the in-band quantization noise should be sufficiently low. The main focus of this dissertation is to benefit the other data converters in sigma-delta modulator to suppress the in-band quantization noise, sufficiently.

In the first proposed structure, a SAR ADC is employed in an error-feedback sigma-delta modulator. The SAR ADC naturally provides the analog quantization error at the end of each conversion phase. Here, the quantization noise is first-order-shaped by assisting the error-feedback structure. The result is a first order modulator with 128 MHz sampling frequency and an OSR of 64 which provides a maximum SNDR of approximately 69 dB. It is implemented in 90 nm CMOS technology and with 1 V supply voltage; simulations are done in MATLAB-Simulink and the Spectre simulator. This modulator dissipates 208 μW power, leads to 44.2 fJ/conv.step figure of merit. Unfortunately, the accuracy acquired by it is limited and therefore this circuit can hardly achieve higher resolutions.

The second proposed structure, offers a cascade modulator with reduced number of amplifiers. The proposed cascade modulator alleviates the need for non-delaying integrator, yet it achieves performance of a traditional modulator without zero-optimization. Thus the proposed modulator seems to be power-efficient and also will have simpler design. From architecture point of view, the proposed is a MASH 2-1 which a noise-shaped two-step ADC is used in its second stage. Circuit simulation with OSR of 8 shows that the proposed modulator performance is close to a fourth order one. The modulator is simulated in MATLAB-Simulink and Spectre. This modulator dissipates 19.2 mW power in 90 nm CMOS technology with 1 V supply voltage. The input signal bandwidth is 6.25 MHz and the simulated SNDR is 82.67 fJ/conv.step leads to 138 fJ/conv.step figure of merit.

Keywords: sigma-delta ADC, low OSR, nanometer CMOS technologies, switched capacitor circuits

Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Architectural Improvement of Discrete-Time Sigma-Delta Modulators for Broadband Applications

By:
Mohsen Shahghasemi

Under Supervision of:
Dr. Mohammad Yavari

February 2013