Amirkabir University of Technology
(Tehran Polytechnic)
Department

MSc Thesis

Title:

Digital Background Calibration in Pipelined ADCs

By:
Mohammad Ali Montazerolghaem

Supervisor:
Dr. Mohammad Yavari

October 2014

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

تصحیح پس‌زمینه در مبدل‌های آنالوگ به دیجیتال Pipeline

نگارش
محمّدعلی منتظرالقائم

استاد راهنما
محمّد یاوری

مهر ماه ۱۳۹۳

بسم الله الرحمن الرحيم

بسمه تعالی

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران) **دانشکده مهندسی برق**

توجه: این قسمت در زمان تصویب پروژه تکمیل شده و در صفحه اول کلیه نسخ پایان‌نامه گنجانده می‌شود.

عنوان، اهداف و روش تحقیق این پروژه کارشناسی ارشد مطابق با مشخصات زیر در تاریخ شورای تحصیلات تکمیلی دانشکده مهندسی عمران دانشگاه صنعتی امیرکبیر به تصویب رسید.

عنوان پروژه:

اهداف و روش تحقیق:

نام و امضای دانشجو **نام و امضای استاد راهنما** **امضای مدیر تحصیلات تکمیلی دانشکده**

توجه: این قسمت در زمان ارائه پروژه تکمیل شده و همراه با قسمت فوق در صفحه اول پایان‌نامه گنجانده می‌شود.

اینجانب استاد راهنمای پروژه گواهی می‌نمایم که کلیه قسمتهای مندرج در این پایان‌نامه توسط دانشجو، آقای/خانم به انجام رسیده و محتوای آن مطابق با عنوان، اهداف و روش تحقیق فوق می‌باشد.

امضای استاد راهنما:

تاریخ:

اعضاء هیات داوران پس از بررسی کامل کار انجام شده از نظر کیفی، نوآوری، احاطه به موضوع و نحوه ارائه، رای نهایی خود را بدین صورت اعلام می‌نمایند:

نام استاد راهنما: **نام داور:** **نام داور:** **نام داور:**

امضاء: **امضاء:** **امضاء:** **امضاء:**

توجه: اعضاء محترم هیات داوران می‌توانند نظرات تکمیلی خود را در پشت همین برگه مرقوم فرمایند.

ضروری است کلیه مطالب و اسامی تایپ شوند.

تقدیم به پدر و مادر عزیزم

سپاسگزاری

در ابتدا از دکتر محمد یاوری بابت تمام زحمات و راهنمایی‌هایشان در طول انجام این پایان‌نامه قدردانی می‌نمایم. سپس از زحمات دوست عزیزم توحید موسی‌زاده که در طول انجام این پایان‌نامه راهنمایی‌های ایشان برای من بسیار راه‌گشا بود کمال تشکر و قدردانی را دارم. برای ایشان در تمام مراحل زندگی آرزوی سلامتی و موفقیت دارم.

در پایان از زحمات بی دریق پدر و مادرم که در تمام مراحل زندگی از این‌جانب پشتبانی کرده‌اند، کمال تشکرو قدردانی را دارم. امیدوارم همواره در سلامت و شادی باشند.

از کمیته نانو بابت حمایت مالی از این پایان‌نامه سپاس‌گزاری می‌نمایم.

چکیده

مبدل‌های Pipeline در کاربردهایی که نیاز به یک مبدل با سرعت بالا و دقت بالا باشد، مورد استفاده قرار می‌گیرند. از جمله این کاربردها می‌توان به وسایل چند رسانه‌ای دیجیتال قابل حمل و سیستم‌های ارتباطی بدون سیم اشاره کرد. در جدیدترین مقالات دقت مبدل‌های Pipeline به ۱۶ بیت می رسد و نرخ نمونه برداری مبدل‌های Pipeline نیز بین 10 MS/s تا 1 GS/s قرار دارد. به علت محدود بودن بهره تقویت‌کننده‌های عملیاتی، غیرخطی بودن تقویت‌کننده‌های عملیاتی و عدم تطبیق بین خازن‌ها، دقت مبدل‌های Pipeline محدود می شود. به علاوه با کوچک‌تر شدن ابعاد ترانزیستورها بهره ذاتی آنها نیز کاهش پیدا می‌کند و محدودیت بهره تقویت‌کننده‌های عملیاتی بیش‌تر می‌شود. این اثرات در طبقات اول مبدل دقت مبدل را بیش‌تر کاهش می‌دهد. برای افزایش بهره تقویت‌کننده-های عملیاتی باید توان مصرفی مبدل افزایش یابد که این امر به خصوص برای وسایل قابل حمل مناسب نمی‌باشد. به همین دلیل باید این اثرات تصحیح شوند. دو روش برای تصحیح این اثرات وجود دارد: ۱) تصحیح آنالوگ ۲) تصحیح دیجیتال. در تصحیح آنالوگ با استفاده از مدرات آنالوگ اضافی خطاهای ایجاد شده را تصحیح می‌کنند که باعث پیچیدگی بیشتر مدار می‌شوند. در تصحیح دیجیتال این اثرات را اندازه گیری می‌کنند و با استفاده از مدارات دیجیتال تصحیح می‌شوند. دو روش برای تصحیح دیجیتال وجود دارد: ۱) روش پیش زمینه ۲) روش پس زمینه. در روش پیش زمینه برای تصحیح مبدل، مبدل از سیکل تبدیل داده خارج شده و تصحیح می‌شود. این خارج شدن از سیکل تبدیل داده، به شدت سرعت مبدل را کاهش می‌دهد. در روش پس زمینه هم زمان با این که مبدل عملیات تبدیل داده را انجام می‌دهد اثرات غیر خطی اندازه گیری شده و تصحیح می‌شوند.

در این پایان نامه دو روش پس زمینه دیجیتال ارائه شده است. هر دو روش به صورت کاملا پس-زمینه عمل می‌کنند. هر دو روش خطاهای خطی و غیر خطی ناشی از بهره محدود تقویت کننده و عدم تطبیق بین خازن‌ها و غیر خطی بودن تقویت کننده را تصحیح می‌کنند. در ابتدا هر دو روش در نرم افزار MATLAB تست شده‌اند. سپس روش دوم در تکنولوژی 90 nm به کمک نرم‌افزار Cadence پیاده‌سازی شده است. قبل از کالیبراسیون دقت مبدل در حدود ۳/۵ بیت می‌باشد. اما پس از کالیبراسیون به دقت در حدود ۱۱ بیت می‌رسیم. توان مصرفی کل مبدل برابر با 10 mW می‌باشد.

کلمات کلیدی: مبدل‌های Pipeline، تصحیح پس زمینه دیجیتال، LMS، مبدل با ساختار Split

فهرست مطالب

فصل اول ۱
۱-۱- مقدمه ۲
۱-۲- اهداف پایان‌نامه ۳
۱-۳- ساختار پایاننامه ۳
فصل دوم ۶
۲-۱- مقدمه ۷
۲-۲- اساس مبدلهای آنالوگ به دیجیتال ۸
۲-۲-۱- فیلتر Anti-Aliasing ۹
۲-۲-۲- مدار نمونه بردار ۹
۲-۲-۳- کوانتایزر ۱۱
۲-۲-۴- فیلتر دیجیتال ۱۴
۲-۳- معیارهای عملکردی مبدل‌های آنالوگ به دیجیتال ۱۴
۲-۴- انواع مبدل‌های آنالوگ به دیجیتال نرخ نایکوئیست ۱۶
۲-۴-۱- مبدل آنالوگ به دیجیتال Flash ۱۶
۲-۴-۲- مبدل آنالوگ به دیجیتال Two-Step ۱۷
۲-۵- اساس مبدل‌های آنالوگ به دیجیتال Pipeline ۱۹
۲-۶-۶ بررسی اجزای سازنده مبدل Pipeline ۲۲
۲-۶-۱- مدار نمونه‌بردار ۲۲
۲-۶-۲- مدار MDAC ۲۳
۲-۶-۳- زیرمبدل آنالوگ به دیجیتال ۲۴
۲-۷- روش‌های تصحیح خطا در مبدل‌های Pipeline ۲۶
۲-۷-۱- تصحیح دیجیتال ۲۶
۲-۷-۲- روش‌های تصحیح آنالوگ ۲۷
۲-۷-۲-۱- روش تصحیح آنالوگ RIM ۲۸
۲-۷-۲-۲- روش تصحیح آنالوگ میانگین‌گیری خطاها ۲۹
۲-۷-۲-۳- روش تصحیح آنالوگ تنظیم ظرفیت خازن‌ها ۲۹
۲-۷-۲-۴- روش تصحیح آنالوگ بازتعریف ولتاژهای مرجع ۳۰
۲-۷-۲-۵- روش تصحیح آنالوگ CDS ۳۱
۲-۷-۳- روش‌های تصحیح دیجیتال ۳۲
۲-۷-۳-۱- روش‌های تصحیح دیجیتال برمبنای همبستگی ۳۲
۲-۷-۳-۲- روش‌های تصحیح دیجیتال برمبنای همسان‌سازی ۳۹
۲-۷-۳-۳- تبدیل روش‌های تصحیح پیش‌زمینه‌ای به پس‌زمینه‌ای ۴۲
۲-۷-۴- خلاصه ۴۷
فصل سوم ۴۹

۳-۱- مقدمه ۵۰
۳-۲- مدلسازی خطاهای خطی و غیر خطی ۵۱
۳-۳- روش پیشنهادی اول ۵۳
۳-۳-۱- ساختار مبدل استفاده‌شده ۵۳
۳-۳-۲- کالیبراسیون بر اساس LMS ۵۴
۳-۳-۳- کالیبراسیون پیشنهاد شده ۵۷
۳-۳-۴- ملاحظات مداری ۶۰
۳-۴- روش پیشنهادی دوم ۶۱
۳-۴-۱- ساختار مبدل استفاده شده ۶۱
۳-۴-۲- کالیبراسیون پیشنهادی ۶۲
۳-۵- خلاصه ۶۴
فصل چهارم ۶۵
۴-۱- مقدمه ۶۶
۴-۲- طراحی اجزای سازنده مبدل Pipeline ۶۷
۴-۲-۱ مبدل پشتی ۶۷
۴-۲-۱-۱- ساختار MDAC ۶۷
۴-۲-۱-۲- ساختار تقویت کننده ۶۸
۴-۲-۲- طبقات ابتدایی مبدل ۷۰
۴-۲-۲-۱- ساختار MDAC ۷۰
۴-۲-۲-۲- ساختار تقویت کننده ۷۱
۴-۲-۳- تعیین اندازه خازن طبقات ۷۲
۴-۲-۴- نحوه حذف مدار نمونه بردار ورودی ۷۵
۴-۲-۵- طراحی تقویت کننده سه طبقه اول ۷۷
۴-۲-۶- طراحی تقویت کننده مبدل پشتی ۷۸
۴-۲-۷- طراحی مقایسهگرها ۷۹
۴-۲-۸ انتخاب نوع سوئیچها و طراحی آنها ۸۳
۴-۲-۱- طراحی Decoder و Multiplexer در زیرمبدل‌های طبقات با ساختار متعارف ۸۴
۴-۳- نتیجه‌گیری ۸۸
فصل پنجم ۸۹
۵-۱- مقدمه ۹۰
۵-۲- شبیه‌سازی روش اول پیشنهاد شده ۹۱
۵-۲-۱- شرایط شبیه سازی ۹۱
۵-۲-۲- شبیه سازی سیستمی ۹۱
۵-۳- شبیه سازی روش دوم پیشنهاد شده ۹۴
۵-۳-۱- شرایط شبیه سازی ۹۴
۵-۳-۲- شبیه‌سازی سیستمی ۹۵
۵-۴- شبیه سازی روش اول برای دو طبقه ۹۷

۵-۴-۱- شرایط شبیه‌سازی ۹۷
۵-۴-۲- شبیه‌سازی سیستمی ۹۸
۵-۵- شبیه‌سازی مداری ۱۰۳
۵-۵-۱- شبیه‌سازی تقویتکنندهها ۱۰۳
۵-۶- شبیه‌سازی مبدل Pipeline..... ۱۰۸
۵-۷- مقایسه مبدل طراحی شده با چند مبدل موجود ۱۱۱
فصل ششم ۱۱۳
۶-۱- نتیجه‌گیری ۱۱۴
۶-۲- پیشنهادات ۱۱۴

فهرست جداول

جدول (۱-۱) مشخصات عملکردی تعیین‌شده برای مبدل Pipeline با دقت ۱۲ بیت. ۴
جدول(۴-۱) اندازه خازنهای سه طبقه اول ۷۶
جدول(۴-۲) اندازه خازنها درمبدل پشتی ۷۶
جدول (۴-۳)ابعاد ترانزیستورهای سه طبقه اول..... ۷۹
جدول(۴-۴) ابعاد ترانزیستورهای تقویت کننده مبدل پشتی ۸۰
جدول (۴-۵) ابعاد ترانزیستورهای مقایسهگر ۸۲
جدول (۴-۶) ابعاد خازنهای مقایسهگرها ۸۲
جدول (۴-۷) ابعاد ترانزیستورهای سویچ Bootstrap ۸۵
جدول(۴-۸) حالت‌های مختلف خروجی مقایسه‌گرها، Decoder و Multiplexer در طبقه ۱/۵ بیتی.
..... ۸۷
جدول (۴-۹) حالت‌های مختلف خروجی مقایسه‌گرها و Decoder در مبدل Flash. ۸۷
جدول (۵-۱) مقایسه همگرایی روش پیشنهادی و مرجع [۵۷] ۹۶
جدول(۵-۲) مقایسه روش موجود با جدیدترین مراجع ۱۱۲

فهرست اشکال

شکل) ۲-۱(بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال. ۱۰
شکل (۲-۲) ساده‌ترین مدار نمونه‌بردار. ۱۱
شکل (۲-۳) منحنی انتقالی کوانتایزر n بیتی. ۱۲
شکل (۲-۴) مدل کوانتایزر ۱۳
شکل) ۲-۵(خطای کوانتیزاسیون بر حسب سیگنال ورودی..... ۱۳
شکل (۲-۶) (الف) منحنی اتقال ایده‌آل (ب) خطای آفست (ج) خطای بهره (د) غیرخطینگی INL و DNL. ۱۵
شکل (۲-۷) مبدل آنالوگ به دیجیتال Flash. ۱۷
شکل (۲-۸) بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال Two-Step..... ۱۸
شکل (۲-۹) بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال Pipeline ۱۹
شکل) ۲-۱۰(مدل‌سازی سیگنال‌های موجود در مبدل Pipeline ایده‌آل. ۲۱
شکل (۲-۱۱) نحوه ترکیب بیت‌ها برای مبدل ۱۲ بیتی با ۲ بیت در هر طبقه. ۲۲
شکل (۲-۱۲) مدار MDAC با بهره ۲، (الف) CNFA و (ب) CFA ۲۳
شکل(۲-۱۳) مقایسه‌گر تزویج خازنی..... ۲۵
شکل(۲-۱۴) (الف) نمونه‌برداری از ورودی توسط خازن اول، (ب) انتقال سیگنال نمونه‌برداری‌شده به خازن دیگر، (ج) نمونه‌برداری مجدد از ورودی، و (د) دستیابی به بهره مستقل از نسبت خازن‌ها. ... ۲۸
شکل (۲-۱۵) روش میانگین‌گیری خطاهای خازن، (الف) نمونه‌برداری از ورودی، (ب) تقویت سیگنال، و (ج) تقویت سیگنال پس از جابجایی خازن‌ها. ۳۰
شکل (۲-۱۶) روش تنظیم ظرفیت خازن. ۳۰
شکل(۲-۱۷) پیاده‌سازی روش CDS با مدار سوئیچ‌شونده خازنی برای یک MDAC با ساختار 1.5 bit/stage ۳۳
شکل(۲-۱۸) منحنی انتقالی طبقه ۱/۵ بیتی (منحنی ممتد) و منحنی انتقالی طبقه ۱/۵ بیتی حاصل از تغییر ولتاژ آستانه مقایسه‌گر از $-V_{ref}/4$ به 0 (منحنی خط‌چین). ۳۴
شکل (۲-۱۹) دیاگرام کلی روش HDC برای تصحیح اعوجاج مرتبه mام. ۳۵
شکل(۲-۲۰) تصحیح همبستگی بین سیگنال ورودی و تخمین ضرایب ۳۸
شکل (۲-۲۱) ساختار Split، (الف) برای تصحیح خطاها با روش همبستگی سیگنال‌ها، و (ب) اساس روش. ۳۹
شکل(۲-۲۲) منحنی‌های انتقالی مورداستفاده در چندحالته‌کردن طبقات..... ۴۰
شکل(۲-۲۳) الگوریتم تصحیح ارائه‌شده در [۴]، (الف) مشخصه ایده‌آل و واقعی مبدل و سیگنال‌های

تصحیح اعمالی، و (ب) نحوه همگرایی با استفاده از الگوریتم. ۴۲
شکل (۲-۲۴) روش تصحیح خطای عدم‌تطبیق دو کانال در ساختار Split ۴۳
شکل (۲-۲۵) روش Skip & Fill. ۴۵
شکل (۲-۲۶)): وزن مولفه‌های فیلتر درون‌یابی ۴۶
شکل (۲-۲۷) (الف) اساس روش تصحیح خطا با ساختار صف، و (ب) زمان‌بندی مدارهای نمونه‌بردار و مبدل Pipeline ۴۷
شکل (۳-۱) (الف) ساختار مدار MDAC و (ب) طبقه اول ۵۱
شکل (۳-۲) ساختار مبدل استفاده‌شده ۵۳
شکل(۳-۳) اثرات غیر ایده آلی مدار MDAC بر روی منحنی مشخصه مبدل و MDAC ۵۴
شکل(۳-۴) اثر اعمال آفست بر روی منحنی مشخصه مبدل ۵۵
شکل(۳-۵) ساختار پیشنهادی برای پیادهسازی کالیبراسیون ۵۶
شکل (۳-۶) منحنی مشخصه مدار MDAC و مدل چند خطی ۵۷
شکل (۳-۷) اثر نویز شبه تصادفی بر روی V_{res} در کانال B ۵۸
شکل(۳-۸) روند الگوریتم پیشنهادی ۵۹
شکل (۳-۹) ساختار مبدل و مدل مدار MDAC ۶۱
شکل (۳-۱۰) منحنی مشخصهی مبدل به ازای آفستهای متفاوت ۶۲
شکل (۳-۱۱) کالیبراسیون پیشنهاد شده بر اساس مبدل مجازی ۶۳
شکل (۴-۱) ساختار MDAC در مبدل پشتی ۶۸
شکل (۴-۲) ساختار تقویت کننده مورد استفاده ۶۹
شکل (۴-۳) مدار بایاس مورد استفاده در مدار MDAC ۷۰
شکل (۴-۴) ساختار MDAC استفاده در سه طبقه اول ۷۱
شکل (۴-۵) ساختار تقویت کننده مورد استفاده در سه طبقه اول ۷۲
شکل (۴-۶) مدار بایاس تقویت کننده ۳ طبقه اول ۷۲
شکل (۴-۷) مدل نویز حرارتی مدار **MDAC** (الف) در فاز نمونه‌برداری، و (ب) در فاز تقویت. ۷۴
شکل(۴-۸) مدل نویز حرارتی MDAC الف) در فاز نمونه برداری ب) در فاز تقویت ۷۵
شکل (۴-۹) دو مسیر موجود در مدار نمونه بردار ورودی ۷۷
شکل (۴-۱۰) سویچهای bootstrap استفاده شده ۸۴
شکل (۴-۱۱) سویچهای مورد استفاده در ساختار طبقات ۸۶
شکل (۴-۱۲) (الف) Decoder مورداستفاده در زیرمبدل‌های آنالوگ به دیجیتال طبقات ۱/۵ بیتی و مبدل Flash، (ب) Multiplexer استفاده‌شده در زیرمبدل دیجیتال به آنالوگ، (ج) گیت NAND سه ورودی، و (د) گیت NOT. ۸۷
شکل(۵-۱) طیف مبدل قبل از کالیبراسیون ۹۲
شکل (۵-۲) طیف مبدل پس از کالیبراسیون با الگوریتم مرجع [۱۴] ۹۲

شکل (۵-۳) طیف مبدل پس از کالیبراسیون بار روش پیشنهادی ۹۳
شکل(۵-۴)همگرایی ضریب معکوس خطی (β_1) ۹۳
شکل (۵-۵) همگرایی ضریب معکوس غیر خطی (β_3) ۹۴
شکل(۵-۶) تغییرات SNDR در طول زمان کالیبراسیون ۹۴
شکل (۵-۷) طیف مبدل قبل از کالیبراسیون..... ۹۶
شکل (۵-۸) طیف مبدل بعد از کالیبرلسیون ۹۷
شکل (۵-۹) همگرایی SNDR در طول کالیبراسیون..... ۹۷
شکل(۵-۱۰) مدل استفاده شده برای عدم تطبیق بین کانالها..... ۹۸
شکل(۵-۱۱)طیف مبدل قبل از کالیبراسیون ۹۹
شکل (۵-۱۲) طیف مبدل پس از کالیبراسیون با الگوریتم مرجع [۸] ۱۰۰
شکل (۵-۱۳) طیف مبدل پی از کالیبراسیون با روش پیشنهادی ۱۰۰
شکل(۵-۱۴) همگرایی ضرایب معکوس طبقه دوم ۱۰۱
شکل (۵-۱۵) همگرایی ضرایب معکوس طبقه اول ۱۰۲
شکل (۵-۱۶) همگرایی SNDR در طول کالیبراسیون ۱۰۲
شکل (۵-۱۷) سرعت همگرایی کالیبراسیون پیشنهادی بر حسب عدم تطبیق بین طبقات ۱۰۳
شکل(۵-۱۸) بهرهی تقویتکنندهها بر حسب فرکانس ۱۰۴
شکل(۵-۱۹) منحنی فاز سه تقویت کننده ۱۰۵
شکل(۵-۲۰) پاسخ زمانی سه تقویت کننده. ۱۰۶
شکل (۵-۲۱) طیف خروجی تقویتکننده اول..... ۱۰۷
شکل (۵-۲۲) طیف مبدل قبل از کالیبراسیون..... ۱۰۷
شکل(۵-۲۳) طیف مبدل بعد از کالیبراسیون..... ۱۰۸
شکل (۵-۲۴) تغییرات SNDR بر حسب فرکانس ورودی قبل و بعد از کالیبراسیون ۱۰۹
شکل(۵-۲۵) تغییرات SFDR بر حسب فرکانس ورودی..... ۱۱۰
شکل (۵-۲۶) منحنی INL و DNL قبل وبعد از کالیبراسیون..... ۱۱۱

واژه نامه

آستانه	Threshold
ابرصفحه	Hyper Plane
اعوجاج	Distortion
افزایش بهره	Gain-boosting
الگوریتمی	Algorithmic
انباشتگر	Accumulator
انتهایی	Backend
ایستان	Stationary
بازتعریف مرجع	Reference refreshing
باند گذار	Transition band
برمبنای صف	Queue-Based
برمبنای همسان‌سازی	Equalization-Based
برون‌خطی	Offline
بستر	Substrate
بیت پرارزش	Most Significant bit (MSB)
بیت زائد	Redundancy bit
بیت کم‌ارزش	Least Significant Bit (LSB)
بیش‌نمونه‌برداری	Oversampling
بیکار	Idle
پارازیتی	Parasitic
پاسخ ضربه با طول محدود	Finite Duration Impulse Response (FIR)
پس‌زمینه‌ای	Background
پیش‌بینی خطی تطبیقی	Adaptive linear prediction
پیش‌بینی‌کننده	Predictor
پیش‌بینی‌شده	Predictive
پیش‌زمینه‌ای	Foreground
تابع ارزش	Cost function
تاخیر	Latency, delay

تازه‌کردن مرجع	Reference refreshing
تاشدن	Folding
تجدید	Update
تحلیل‌کننده طیف	Spectrum Analyzer
تراشه	Chip
ترانهاده	Hermitian Transpose
تزریق بار کانال	Channel charge injection
تزویج خازنی	Capacitive coupling
تصحیح آنالوگ	Analog trimming
تصویر دیجیتال	Digital Video
تطبیقی	Adaptive
تعداد بیت موثر	Effective Number Of bits (ENOB)
تفکیک‌پذیری	Resolution
تقویت‌کننده تلسکوپی	Telescopic Amplifier
تقویت‌کننده کسکود تاشده	Folded cascade Amplifier
تقویت‌کننده نمونه‌بردار و نگه‌دار	Sample & Hold Amplifier (SHA)
تک‌سر	Single-ended
توزیع بار	Charge distribution
ثبّات	Register
جابجاکننده سطح	Level shifter
جابجایی	Shift
چندرسانه‌ای	Multimedia
حالت انتظار	Stand by
حد فاز	Phase margin
خطای روزنه‌ای	Aperture error
خطینگی	Linearity
درون‌خطی	Online
درون‌یابی	Interpolation
درون‌یابی چندجمله‌ای غیرخطی	Nonlinear polynomial interpolation
دنبال‌کننده و نگه‌دار	Track & Hold

راه‌انداز	Driver
رتبه کامل	Full rank
زمان نشست	Settling time
زیرمبدل	Sub-converter
ساختار Split اصلاح‌شده	Modified Split structure
سازگار	Consistent
سرریز	Overload
سرعت چرخش	Slew rate (SR)
سیستم دیجیتال سوئیچینگ تلفن	Digital Telephone Switching
سیستم‌های مخابراتی بی‌سیم	Wireless Local Area Network (WLAN)
شبه درون‌خطی	Pseudo-online
شکاف	Slot
شناور	Float
شیب	Ramp
صف	Queue
صوت دیجیتال	Digital Audio
عددی	Scalar
عدم‌تطبیق	Mismatch
علی	Causal
غیرعلی	Non-causal
فرکانس بهره‌واحد	Unity gain frequency
فرکانس نمونه‌برداری	Sampling frequency
فیدبک مد مشترک	Common Mode Feedback
فیلتر شبکه‌ای	Lattice filter
قابلیت اطمینان	Reliability
قطار ضربه	Pulse train
کد حرارتی	Thermal noise
کد گمشده	Missing code
کدکننده	Encoder
کدگشا	Decoder

کم‌ثُباتی	Metastability
کوچک‌شدن	Scaling
گیرنده-فرستنده	Transceiver
لیتوگرافی	Lithography
مبدل آنالوگ به دیجیتال	Analog-to-Digital Converter (ADC)
مبدل دیجیتال به آنالوگ	Digital-to-Analog Converter (DAC)
محدوده دینامیکی	Dynamic range
مدار سوئیچ‌شونده خازنی	Switch Capacitor (SC) Circuit
مدار نمونه‌بردار	Sampling circuit
مدارهای مجتمع	Integrated circuits
وابسته به سیگنال	Signal dependent
مصالحه	Tradeoff
معیار شایستگی	Figure of Merit (FoM)
مقایسه‌گر	Comparator
مقایسه‌گر ایستا	Static comparator
مقایسه‌گر پویا	Dynamic comparator
امید ریاضی	Expected Value
منحنی انتقالی	Transfer curve
میانگین‌گیری خطای خازن	Capacitor error averaging
نرخ نایکوئیست	Nyquist rate
نردبان مقاومتی	Resistance ladder
نسبت حذف مد مشترک	Common Mode Rejection Ratio (CMRR)
نشت	Leakage
نویز شبه‌تصادفی	Pseudo random noise
نویز فلیکر	Flicker noise
واحد حسابگر	Arithmetic Logic Unit (ALU)
ولتاژ باقیمانده	Residue Voltage
همبستگی	Correlation
تکه‌ای خطی	Piecewise

اختصارنامه

ADC	Analog to Digital Converter
ALU	Arithmetic Logic Unit
APA	Affine Projection Algorithm
CDS	Correlated double sampling
CFA	Capacitor Flip Around
CM	Common Mode
CMFB	Common Mode Feedback
CMOS	Complementary Metal-Oxide Semiconductor
CMRR	Common Mode Rejection Ratio
CNFA	Capacitor Non Flip Around
DAC	Digital to Analog Converter
DNC	DAC Noise Cancelation
DNL	Differential Non-Linearity
DR	Dynamic Range
ENOB	Effective Number of bits
FAPA	Fast Affaine Projection Algorithm
FFT	Fast Fourier Transform
FIR	Finite duration Impulse Response
FoM	Figure of Merit
FS	Full Scale
GS-PAP	Gauss- Seidel Psuedo Affine Projection
HDC	Harmonic Distortion Correction
INL	Integral Non-Linearity
LMS	Least Mean Squares
LSB	Least Significant bit
MDAC	Multiplying Digital to Analog Convereter
MOS	Metal-Oxide-Semiconductor
MSB	Most Significant bit
MSE	Mean Square Error
MUX	Multiplexer

OpAmp	Operational Amplifier
PAPA	Psuedo Affine Projection Algorithm
PN	Psuedo-random Noise
RIM	Ratio-independent multiplication
RLS	Recursive Least Squares
SAR	Successive Approximation Register
SC	Switched Capacitor
SFDR	Spurious Free Dynamic Range
SHA	Sample and Hold Amplifier
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SR	Slew Rate
THD	Total Harmonic Distortion
VLSI	Very Large Scale Integrated Circuits
WLAN	Wireless Local Area Network
PDLMS	Pre-Determined LMS

مراجع

[1] J. K. R. Kim and B. Murmann, "A 12-b, 30-MS/s, 2.95-mW Pipelined ADC Using Single-Stage Class-AB Amplifiers and Deterministic Background Calibration," *Solid-State Circuits, IEEE Journal of,* vol. 47, pp. 2141-2151, 2012.

[2] B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *Solid-State Circuits, IEEE Journal of,* vol. 38, pp. 2040-2050, 2003.

[3] J. Li and M. Un-Ku, "Background calibration techniques for multistage pipelined ADCs with digital redundancy," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on,* vol. 50, pp. 531-538, 2003.

[4] B. D. Sahoo and B. Razavi, "A 12-Bit 200-MHz CMOS ADC," *Solid-State Circuits, IEEE Journal of,* vol. 44, pp. 2366-2380, 2009.

[5] B. D. Sahoo and B. Razavi, "A 10-b 1-GHz 33-mW CMOS ADC," *Solid-State Circuits, IEEE Journal of,* vol. 48, pp. 1442-1452, 2013.

[6] A. Panigada and I. Galton, "Digital Background Correction of Harmonic Distortion in Pipelined ADCs," *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 53, pp. 1885-1895, 2006.

[7] A. Panigada and I. Galton, "A 130 mW 100 MS/s Pipelined ADC With 69 dB SNDR Enabled by Digital Harmonic Distortion Correction," *Solid-State Circuits, IEEE Journal of,* vol. 44, pp. 3314-3328, 2009.

[8] Y. Chiu, C. W. Tsang, B. Nikolic, and P. R. Gray, "Least mean square adaptive digital background calibration of pipelined analog-to-digital converters," *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 51, pp. 38-46, 2004.

[9] B. Zeinali, T. Moosazadeh, M. Yavari, and A. Rodriguez-Vazquez, "Equalization-Based Digital Background Calibration Technique for Pipelined ADCs," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on,* vol. 22, pp. 322-333, 2014.

[10] S. Longxing, Z. Wei, W. Jianhui, and C. Chao, "Digital Background Calibration Techniques for Pipelined ADC Based on Comparator Dithering," *Circuits and Systems II: Express Briefs, IEEE Transactions on,* vol. 59, pp. 239-243, 2012.

[11] J. A. McNeill, M. C. W. Coln, D. R. Brown, and B. J. Larivee, "Digital Background-Calibration Algorithm for “Split ADC” Architecture," *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 56, pp. 294-306, 2009.

[12] J. A. McNeill, C. David, M. Coln, and R. Croughwell, "“Split ADC” Calibration for All-Digital Correction of Time-Interleaved ADC Errors," *Circuits and Systems II: Express Briefs, IEEE Transactions on,* vol. 56, pp. 344-348, 2009.

[13] I. Ahmed and D. A. Johns, “An 11-Bit 45 MS/s Pipelined ADC With Rapid Calibration of DAC Errors in a Multibit Pipeline Stage,” *Solid-State Circuits, IEEE Journal of,* vol. 43, pp. 1626-1637, 2008.

[14] H. Adel, M. M. Louerat, and M. Sabut, “Fast split background calibration for pipelined ADCs enabled by slope mismatch averaging technique,” *Electronics Letters,* vol. 48, pp. 318-320, 2012.

[15] W. A. Kester, *Data conversion handbook,* Analog Devices, 2005.

[16] A. H. van Roermund, M. Steyaert, and H. Casier, *Analog circuit design: smart data converters, filters on chip, multimode transmitters*: Springer, 2009.

[17] H. Lundin, “An introduction to ADC error correction,” *Royal Inst. Technol., Stockholm, Sweden,* 2005.

[18] B. Razavi, *Principles of data conversion system design*: IEEE press, 1995.

[19] M. Yavari, “Data Converters,” Class Notes, Amirkabir University of Technology, Tehran, Iran, 2013.

[20] F. Maloberti, *Data converters* vol. 1: Springer, 2007.

[21] Maxim-IC, “*Understanding Pipelined ADCs*,” Application Note 1023, 2001.

[22] D. A. Johns and K. Martin, *Analog integrated circuit design*: John Wiley & Sons, 2008.

[23] J. Li, “Accuracy enhancement techniques in low-voltage high-speed pipelined ADC design,” Oregon state University, 2004.

[24] L. Sumanen, "*Pipeline analog-to-digital converters for wide-band wireless communications*" Ph.D. dissertation,Helsinki University of Technology, 2002.

[25] A. M. Abo, “Design for reliability of low-voltage, switched-capacitor circuits,” Ph.D. dissertation,UNIVERSITY of CALIFORNIA, Berkeley, 1999.

[1] [26] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang, and Y. Guo, “a 1.8-v 22-mw 10-bit 30-ms/s subsampling pipelined cmos adc,” *IEEE Custom Intergrated Circuits Conference*, pp. 513-516, 2006.

[27] B. Nejaati, A. Khakifirooz, S. J. Ashtiani, and O. Shoaei, “Pipeline analog-to-digital converters with radix< 2,” *International Conference on Microelectronics*, pp. 39-42, Oct. 2000.

[28] U.-K. Moon, G. C. Temes, and J. Steensgaard, “Digital techniques for improving the accuracy of data converters,” *Communications Magazine, IEEE,* vol. 37, pp. 136-143, 1999.

[29] P.-W. Li, M. J. Chin, P. R. Gray, and R. Castello, “A ratio-independent algorithmic analog-to-digital conversion technique,” *Solid-State Circuits, IEEE Journal of,* vol. 19, pp. 828-836, 1984.

[30] S. Bang-Sup, M. F. Tompsett, and K. R. Lakshmikumar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter," *Solid-State Circuits, IEEE Journal of,* vol. 23, pp. 1324-1333, 1988.

[31] Y. M. Lin, K. Beomsup, and P. R. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-μm CMOS," *Solid-State Circuits, IEEE Journal of,* vol. 26, pp. 628-636, 1991.

[32] C. C. Shih and P. R. Gray, "Reference refreshing cyclic analog-to-digital and digital-to-analog converters," *Solid-State Circuits, IEEE Journal of,* vol. 21, pp. 544-554, 1986.

[33] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE,* vol. 84, pp. 1584-1614, 1996.

[34] A. N. Karanicolas, L. Hae-Seung, and K. L. Barcrania, "A 15-b 1-Msample/s digitally self-calibrated pipeline ADC," *Solid-State Circuits, IEEE Journal of,* vol. 28, pp. 1207-1215, 1993.

[35] L. Seung-Hoon and S. Bang-Sup, "Interstage gain proration technique for digital-domain multi-step ADC calibration," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on,* vol. 41, pp. 12-18, 1994.

[36] R. Jewett, K. Poulton, H. Kuo-Chiang, and J. Doernberg, "A 12 b 128 MSample/s ADC with 0.05 LSB DNL," in *Solid-State Circuits Conference, 1997. Digest of Technical Papers. 43rd ISSCC., 1997 IEEE International*, 1997, pp. 138-139.

[37] M. Jun and S. H. Lewis, "An 8-bit 80-Msample/s pipelined analog-to-digital converter with background calibration," *Solid-State Circuits, IEEE Journal of,* vol. 36, pp. 1489-1497, 2001.

[38] I. Galton, "Digital cancellation of D/A converter noise in pipelined A/D converters," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on,* vol. 47, pp. 185-196, 2000.

[39] B. Murmann and B. E. Boser, "A 12 b 75 MS/s pipelined ADC using open-loop residue amplification," in *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*, 2003, pp. 328-497 vol.1.

[40] E. Iroaga and B. Murmann, "A 12-Bit 75-MS/s Pipelined ADC Using Incomplete Settling," *Solid-State Circuits, IEEE Journal of,* vol. 42, pp. 748-756, 2007.

[41] S. Yun-Shiang and S. Bang-Sup, "A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering," *Solid-State Circuits, IEEE Journal of,* vol. 43, pp. 342-350, 2008.

[42] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC," *Solid-State Circuits, IEEE Journal of,* vol. 39, pp. 2126-

2138, 2004.

[43] C. Kok Lim, N. Rakuljic, and I. Galton, “Segmented Dynamic Element Matching for High-Resolution Digital-to-Analog Conversion,” *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 55, pp. 3383-3392, 2008.

[44] C. Kok Lim, Z. Jianyu, and I. Galton, “Dynamic Element Matching to Prevent Nonlinear Distortion From Pulse-Shape Mismatches in High-Resolution DACs,” *Solid-State Circuits, IEEE Journal of,* vol. 43, pp. 2067-2078, 2008.

[45] N. Rakuljic and I. Galton, “Tree-Structured DEM DACs with Arbitrary Numbers of Levels,” *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 57, pp. 313-322, 2010.

[46] N. Rakuljic and I. Galton, “Suppression of Quantization-Induced Convergence Error in Pipelined ADCs With Harmonic Distortion Correction,” *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 60, pp. 593-602, 2013.

[47] C. Dong-Young, J. Li, and M. Un-Ku, “Radix-based digital calibration techniques for multi-stage recycling pipelined ADCs,” *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 51, pp. 2133-2140, 2004.

[48] J. McNeill, M. C. W. Coln, and B. J. Larivee, “"Split ADC" architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC,” *Solid-State Circuits, IEEE Journal of,* vol. 40, pp. 2437-2445, 2005.

[49] M. Taherzadeh-Sani and A. A. Hamoui, “Digital background calibration of a 0.4-pJ/step 10-bit pipelined ADC without PN generator in 90-nm digital CMOS,” in *Solid-State Circuits Conference, 2008. A-SSCC '08. IEEE Asian*, 2008, pp. 53-56.

[50] C. R. Grace, P. J. Hurst, and S. H. Lewis, “A 12-bit 80-MSample/s pipelined ADC with bootstrapped digital calibration,” *Solid-State Circuits, IEEE Journal of,* vol. 40, pp. 1038-1046, 2005.

[51] A. Verma and B. Razavi, “A 10-Bit 500-MS/s 55-mW CMOS ADC,” *Solid-State Circuits, IEEE Journal of,* vol. 44, pp. 3039-3050, 2009.

[52] J. M. Ingino and B. A. Wooley, “A continuously calibrated 12-b, 10-MS/s, 3.3-V A/D converter,” *Solid-State Circuits, IEEE Journal of,* vol. 33, pp. 1920-1931, 1998.

[53] W. Haoyue, W. Xiaoyue, P. J. Hurst, and S. H. Lewis, “Nested Digital Background Calibration of a 12-bit Pipelined ADC Without an Input SHA,” *Solid-State Circuits, IEEE Journal of,* vol. 44, pp. 2780-2789, 2009.

[54] M. Un-Ku and S. Bang-Sup, “Background digital calibration techniques for pipelined ADCs,” *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on,* vol. 44, pp. 102-109, 1997.

[55] O. E. Erdogan, P. J. Hurst, and S. H. Lewis, “A 12 b digital-background-calibrated algorithmic ADC with -90 dB THD,” in *Solid-State Circuits Conference,*

1999. Digest of Technical Papers. ISSCC. 1999 IEEE International, 1999, pp. 316-317.

[56] S. Ding-Lan and L. Tai-Cheng, "A linear-approximation technique for digitally-calibrated pipelined A/D converters," in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, 2005, pp. 1382-1385 Vol. 2.

[57] P. Bei, L. Hao, L. Seung-Chul, L. Pingfen, and C. Yun, "A Virtual-ADC Digital Background Calibration Technique for Multistage A/D Conversion," *Circuits and Systems II: Express Briefs, IEEE Transactions on,* vol. 57, pp. 853-857, 2010.

[58] T. Moosazadeh and M. Yavari, "A pseudo-differential MDAC with a gain-boosting inverter for pipelined ADCs," *Analog Integrated Circuits and Signal Processing,* vol. 79, pp. 255-266, 2014.

[59] D. W. Cline, "Noise, speed, and power trade-offs in pipelined analog to digital converters," University of California, Berkeley, 1995.

[60] A. M. A. Ali, C. Dillon, R. Sneed, A. S. Morgan, S. Bardsley, J. Kornblum, *et al.*, "A 14-bit 125 MS/s IF/RF Sampling Pipelined ADC With 100 dB SFDR and 50 fs Jitter," *Solid-State Circuits, IEEE Journal of,* vol. 41, pp. 1846-1855, 2006.

[61] C. Dong-Young, "Design techniques for a pipelined ADC without using a front-end sample-and-hold amplifier," *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 51, pp. 2123-2132, 2004.

[62] C. J. J. Dachs, Y. V. Ponomarev, P. A. Stolk, and A. H. Montree, "Gate Workfunction Engineering for Deep Submicron CMOS," in *Solid-State Device Research Conference, 1999. Proceeding of the 29th European*, 1999, pp. 500-503.

[63] L. Sumanen, M. Waltari, V. Hakkarainen, and K. Halonen, "CMOS dynamic comparators for pipeline A/D converters," in *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, 2002, pp. V-157-V-160 vol.5.

[64] T. Moosazadeh, "Design and Simulation of a Low Power High Resolution Pipelined Analog-to-Digital Converter in 90-nm CMOS," M.Sc. Dissertation, Department of Electrical Engineering, Amirkabir University of Technology, Tehran, Iran, 2010.

[65] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping," *Solid-State Circuits, IEEE Journal of,* vol. 36, pp. 349-355, 2001.

[66] S.-H. W. Chiang, H. Sun, and B. Razavi, "A 10-Bit 800-MHz 19-mW CMOS ADC," 2014.

[67] S. Hashemi and B. Razavi, "A 7.1 mW 1 GS/s ADC With 48 dB SNDR at Nyquist Rate," 2013.

[68] Y. Miyahara, M. Sano, K. Koyama, T. Suzuki, K. Hamashita, and B.-S. Song, "A 14b 60 MS/s Pipelined ADC Adaptively Cancelling Opamp Gain and

Nonlinearity," 2014.

[69] O. A. Hafiz, X. Wang, P. J. Hurst, and S. H. Lewis, "Immediate calibration of operational amplifier gain error in pipelined adcs using extended correlated double sampling," *Solid-State Circuits, IEEE Journal of*, vol. 48, pp. 749-759, 2013.

[70] S. Guhados, P. J. Hurst, and S. H. Lewis, "A Pipelined ADC With Metastability Error Rate 10 Errors/Sample," *Solid-State Circuits, IEEE Journal of,* vol. 47, pp. 2119-2128, 2012.

Abstract

A digital background calibration technique for pipelined analog-to-digital converters (ADCs) is proposed to correct the capacitor mismatch, finite DC gain and nonlinearity of residue amplifiers. It divides the pipelined ADC into two equal channels and changes the decision points of sub-ADCs with a pseudo random sequence to perform the digital background calibration. The difference between the digital outputs of the channels is used to drive the least mean square (LMS) machine to correct the mentioned errors and also the mismatch between the channels. In order to speed up the error correction, an accurate estimation is identified for the errors. The estimation is done by utilizing a piecewise linear model and slope mismatch measurement technique in digital domain. Behavioral simulations of a 12-bit split pipelined ADC show that the convergence time of the proposed LMS calibration technique is improved at least one order of magnitude in comparison with the conventional LMS algorithm for the same signal-to-noise and distortion ratio (SNDR).

An equalization technique with digital replica-path which reduces the calibration time in pipelined ADCs is introduced. The technique performs equalization between a single pipelined ADC and a digital interpolator with minimum correction parameters which results in reduced calibration time. Two extra comparators are added to the first stage which their decision levels are different form their counterparts. By using this comparators and interpolation, a digital replica-path is created which is used to perform calibration.

Key Words: Split pipelined ADCs, digital background calibration technique, least mean square algorithm, piecewise linear model..

Amirkabir University of Technology
(Tehran Polytechnic)
Department

MSc Thesis

Title:

Digital Background Calibration in Pipelined ADCs

By:
Mohammad Ali Montazerolghaem

Supervisor:
Dr. Mohammad Yavari

October 2014