Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of a Low Power Pipelined Analog-to-Digital Converter in 90-nm CMOS

By:
Mohammad Reza Ashraf

Under Supervision of:
Dr. Mohammad Yavari
Dr. Saeed Khatami

September 2010

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

(گرایش الکترونیک)

طراحی و شبیه‌سازی یک مبدل آنالوگ به دیجیتال با معماری پایپ‌لاین و توان پایین در تکنولوژی ۹۰ نانومتر CMOS

نگارش:

محمدرضا اشرف

استاد راهنما:

دکتر محمد یاوری

دکتر سعید خاتمی

شهریور ۱۳۸۹

بسم الله الرحمن الرحیم

تقدیم با عشق

به معلمان درس عشق...

پدری دلسوز

مادری بخشنده

و همسری مهربان

تشکر و قدردانی

در آغاز لازم می‌دانم که از زحمات استاد و معلم ارجمندم جناب آقای دکتر محمد یاوری که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، کمال تشکر و قدردانی را داشته باشم. همچنین از زحمات دوستان عزیزم، آقای مهندس توحید موسی‌زاده، آقای مهندس مهدی براتی، آقای مهندس حسین پاک‌نیت، آقای مهندس حسین مقامی و سرکارخانم مهندس عبدی‌نیا که در نگارش این پایان‌نامه یاری‌ام نمودند، تشکر می‌نمایم و از خداوند متعال، توفیق روزافزونشان را خواستارم. ضمن آنکه از جناب آقای دکتر نبوی و جناب آقای دکتر کاتوزیان که زحمت دفاع این پایان‌نامه را متقبل شدند، سپاسگزاری می‌نمایم.

بار دیگر لازم می‌دانم که از زحمات و حمایت‌های بی‌دریغ پدر و مادر بزرگوارم و همچنین خواهران گرامی‌ام تشکر و قدردانی نمایم. بدون تردید بدون حمایت و دلگرمی این عزیزان، پیمودن این راه برایم مقدور نبود.

چکیده

امروزه مبدل‌های داده با توان کم و سطح تراشه‌ی کوچک، بلوک اساسی تشکیل دهنده‌ی سیستم‌های مخابراتی بی‌سیم می‌باشند. مبدل‌های پایپ‌لاین به علت سرعت بالا و دقت متوسط محبوبیت زیادی پیدا کرده است. در سال‌های اخیر تکنیک‌های مختلفی برای کاهش توان و کاهش سطح تراشه‌ی مصرفی این مبدل‌ها پیشنهاد شده است. در بین این روش‌ها، تکنیک به اشتراک گذاشتن تقویت‌کننده‌ها تکنیک مناسبی به نظر می‌رسد. در این تکنیک، توان و سطح تراشه، با مشترک کردن تقویت‌کننده‌ها بین دو طبقه‌ی متوالی کاهش می‌یابد. همچنین، در روش دوبار نمونه‌برداری با کاهش فرکانس نمونه‌برداری، زمان در دسترس برای نشست ولتاژ خروجی تقویت‌کننده افزایش یافته و لذا توان تقویت‌کننده کاهش می‌یابد.

در این پایان‌نامه، دو نوآوری انجام شده است. در بخش اول، ساختار MDAC غیر حساس به عدم تطبیق بین خازن‌ها پیشنهاد شده است. تکنیک پیشنهاد شده برای افزایش دقت یک مبدل کارآیی خوبی دارد. در بخش دوم، هدف طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتالی با ساختار پایپ‌لاین می‌باشد که ویژگی‌های بارز آن، سرعت بالا و دقت متوسط، همراه با حداقل توان مصرفی می‌باشد. در این بخش دو روش دوبار نمونه‌برداری و روش به اشتراک‌گذاری تقویت‌کننده‌ها مورد تجزیه و تحلیل قرار گرفته و از لحاظ مختلف با یکدیگر مقایسه شده‌اند. این تجزیه و تحلیل به این نتیجه منجر شده است که ساختار به اشتراک گذاشتن تقویت‌کننده‌ها در مقایسه با روش دوبار نمونه‌برداری، بهینه‌سازی بیشتری در توان مصرفی ایجاد می‌نماید. با این حال، ساختار به اشتراک گذاشتن تقویت‌کننده‌ها خود دارای نقایصی است که این ساختار را از مصرف بهینه‌ی توان دور می‌کند. ساختاری پیشنهاد شده است که تکنیک به اشتراک گذاشتن تقویت‌کننده‌ها را از لحاظ مصرف توان بهینه می‌سازد.

با استفاده از تکنیک ذکر شده برای کاهش توان، مبدلی با ساختار پایپ‌لاین، با فرکانس نمونه‌برداری ۲۵۰ مگاهرتز و دقت ۱۰ بیت، در تکنولوژی ۹۰ نانومتر CMOS و در ولتاژ تغذیه‌ی یک ولت با حداقل توان مصرفی طراحی و شبیه‌سازی شده است. شبیه‌سازی این مبدل با استفاده از نرم‌افزار HSPICE صورت پذیرفته است. نتایج شبیه‌سازی نشان داده است که مبدل فوق دارای SNDRای برابر ۵۸ dB و ENOBای برابر با ۹/٤ bits می‌باشد. این در حالی است که مبدل فوق تنها توان ۲۹ mW مصرف می‌نماید.

کلمات کلیدی: مبدل آنالوگ به دیجیتال، سرعت بالا، دقت متوسط-بالا، توان بهینه، مدارهای سوئیچ شونده‌ی خازنی، به اشتراک گذاری تقویت‌کننده‌ها، عدم تطبیق خازن‌ها

فهرست مطالب

فهرست شکل‌ها ..... ه

فهرست جداول ..... ز

فصل اول: مقدمه

۱- مقدمه ۱

۱-۱- انگیزه ۱

۱-۲- هدف ۲

۱-۳- ساختار پایان‌نامه ۲

فصل دوم: مبدل‌های آنالوگ به دیجیتال با معماری پایپ‌لاین

۲- مبدل‌های آنالوگ به دیجیتال با معماری پایپ‌لاین ٤

۲-۱- اساس کار مبدل‌های آنالوگ به دیجیتال ٥

۲-۲- پارامترهای سنجش عملکرد یک مبدل آنالوگ به دیجیتال ۸

۲-۳- انواع مبدل‌های نرخ نایکوئیست ۹

۲-۳-۱- مبدل فلش ۱۰

۲-۳-۲- مبدل دو مرحله‌ای ۱۱

۲-٤- مبدل آنالوگ به دیجیتال پایپ‌لاین ۱۲

۲-٤-۱- ساختار مبدل‌های آنالوگ به دیجیتال پایپ‌لاین ۱۳

۲-٤-۱-۱- مدار نمونه‌بردار ورودی ۱٥

۲-٤-۱-۲- زیر مبدل آنالوگ به دیجیتال با دقت پایین ۱۷

۲-٤-۱-۳- مدار MDAC ۱۸

۲-٤-۱-٤- بلوک تصحیح دیجیتال ۱۹

۲-٤-۲- تأثیر غیر ایده‌آل بودن المان‌ها بر روی عملکرد مبدل پایپ‌لاین ۲۱
۲-٤-۲-۱- اثر بهره‌ی محدود تقویت‌کننده‌ها ۲۱
۲-٤-۲-۲- اثر پهنای باند محدود تقویت‌کننده‌ها ۲۲
۲-٤-۲-۳- اثر عدم تطبیق خازن‌ها ۲۲
۲-٤-۲-٤- اثر نویز حرارتی ۲۳
۲-٤-۲-۵- اثر مقاومت سوئیچ‌ها و غیرخطینگی آن‌ها ۲٤
۲-۵- نتیجه‌گیری ۲٦

فصل سوم: روش‌های بهبود پارامترهای کارآیی در مبدل آنالوگ به دیجیتال پایپ‌لاین

۳- روش‌های بهبود پارامترهای عملکرد در مبدل پایپ‌لاین ۲۷
۳-۱- افزایش دقت ۲۷
۳-۱-۱- تکنیک‌های کاهش اثر عدم تطبیق بین خازن‌ها بر ولتاژ خروجی ۲۸
۳-۱-۱-۱- ساختار بهره‌ی دو با کاهش حساسیت نسبت به عدم تطبیق ۲۸
۳-۱-۱-۲- تقویت کننده‌ی سوئیچ‌شونده‌ی خازنی با بهره‌ی دقیق دو ۲۹
۳-۱-۱-۳- ساختاری جدید برای تقویت با بهره‌ی دو غیرحساس به عدم تطبیق ۳۰
۳-۱-۱-٤- MDAC ۱/۵ بیتی غیرحساس به عدم تطبیق با کاهش خازن ورودی ۳۱
۳-۱-۲- ساختار MDAC پیشنهادی ۳۲
۳-۱-۲-۱- ملاحظات سرعت ۳۷
۳-۱-۲-۲- ملاحظات مربوط به نویز ۳۸
۳-۲- کاهش توان ٤۰
۳-۲-۱- بهینه کردن توان در طبقات یک مبدل پایپ‌لاین ٤۰
۳-۲-۲- تکنیک‌های کاهش توان مصرفی ٤۱
۳-۲-۲-۱- تکنیک کوچک کردن طبقات ٤۱

۳-۲-۲-۲- بهینه سازی تعداد طبقات و تعداد بیت در هر طبقه ٤٢
۳-۲-۲-۳- حذف مدار نمونه‌بردار ٤٢
۳-۲-۲-٤- تکنیک به اشتراک گذاشتن تقویت‌کننده‌ها ٤٤
۳-۲-۲-٥- تکنیک سوئیچ کردن تقویت‌کننده‌ها ٤٥
۳-۲-۲-٦- تکنیک به اشتراک گذاشتن تقویت‌کننده‌ها و خازن‌ها ٤٦
۳-۲-۲-۷- تکنیک دوبار نمونه‌برداری ٤٨
۳-۲-۳- ساختار پیشنهادی به منظور بهینه‌سازی سرعت و توان ٤٩
۳-۳- نتیجه‌گیری ٥٥

فصل چهارم: پیاده‌سازی مداری مبدل آنالوگ به دیجیتال نمونه

٤- پیاده‌سازی مداری مبدل آنالوگ به دیجیتال نمونه ٥٦
٤-۱- ساختار کلی ٥٦
٤-۲- ساختار به اشتراک گذاری تقویت‌کننده‌ها ٥٩
٤-۳- تقویت‌کننده‌ها ٦١
٤-۳-۱- مدار تنظیم سطح ولتاژ وجه مشترک خروجی ٦٥
٤-۳-۲- مدار بایاس ٦٦
٤-٤- مقایسه‌گرها ٦۷
٤-٥- مدار تولید کننده‌ی ولتاژهای آستانه ٦۷
٤-٦- زیر مبدل آنالوگ به دیجیتال و مبدل دیجیتال به آنالوگ ٦۸
٤-۷- مبدل فلش دو بیتی ٦۹
٤-۸- گیت‌ها ۷۰
٤-۹- سوئیچ‌ها ۷۰
٤-۱۰- نتیجه‌گیری ۷۲

فصل پنجم: نتایج شبیه‌سازی، نتیجه‌گیری و پیشنهادات

۵- نتایج شبیه‌سازی، نتیجه گیری و پیشنهادات ۷۳

۵-۱- سوئیچ‌ها ۷۳

۵-۲- شبیه‌سازی ساختار MDAC پیشنهادی ۷۵

۵-۲-۱- تست حساسیت نسبت به عدم تطبیق ۷۵

۵-۲-۲- تست خطینگی و تزریق بار سوئیچ‌ها ۷۶

۵-۲-۳- تست سرعت و زمان نشست ۷۷

۵-۳- شبیه‌سازی مبدل پایپ‌لاین ۱۰ بیتی ۷۸

۵-۳-۱- شبیه‌سازی مقایسه‌گرها ۷۹

۵-۳-۲- شبیه‌سازی تقویت‌کننده‌ها ۸۰

۵-۳-۳- شبیه‌سازی کلی ۸۴

۵-٤- مقایسه‌ی عملکرد مبدل شبیه‌سازی شده با چند مبدل ۸۶

۵-۵- نتیجه‌گیری ۸۷

۵-٦- ارائه‌ی پیشنهادات ۸۸

٦- مراجع ۹۰

مراجع

[1] S. Devarajan, L. Singer, D. Kelly, S. Decker, A. Kamath, and P. Wilkins, "A 16-bit, 125 MS/s, 385 mW, 78.7 dB SNR CMOS pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3305-3313, December 2009.

[2] A. Norouzpour-Shirazi, S. A. Mirhaj, S. J. Ashtiani, and O. Shoaei, "A novel low power 1 GS/s S&H architecture with improved analog bandwidth," *IEEE Trans. on Circuits and Systems-II: Express Briefs*, vol. 55, no. 10, pp. 971-975, October 2008.

[3] M. Trojer, M. Cleris, U. Gaier, T. Hebein, P. Pridnig, B. Kuttin, B. Tschuden, C. Krassnitzer, C. Kuttin, W. Pribyl, "A 1.2V 56mW 10 bit 165Ms/s pipeline-ADC for HD-video application," *34th European Solid-State Circuits Conference*, pp. 270-273, September 2008.

[4] J. Li, R. Leboeuf, M. Courcy, and G. Manganaro, "A 1.8V 10b 210MS/s CMOS pipelined ADC featuring 86dB SFDR without calibration," *Proc. IEEE Custom Integrated Circuits Conf.* (*CICC*), pp.317-320, September 2007.

[5] M. Yavari, "*Data converters*," Class notes, Amirkabir University of Technology, Spring 2009.

[6] B. Razavi, "*Principals of data conversion system design*," IEEE Press, 1995.

[7] F. Maloberti, "*Data converters*," Springer-Verlag, 2007.

[8] D. Johns, and K. Martin, "*Design of analog integrated circuits and systems*," John Wiley & Sons, 1997.

[9] A. M. Abo, "*Design for reliability of low-voltage, switched-capacitor circuits*," Ph.D. dissertation, University of California, Berkeley, 1999.

[10] J. Li, "*Accuracy enhancement techniques in low-voltage high-speed pipelined ADC*," Ph.D. dissertation, Oregon State University, 2003.

[11] W. Yang, D. Kelly, I. Mehr, M. Sayuk, and L. signer, "A 3-V 340mW 14-b 75Msample/s CMOS ADC with 85-dB SFDR at nyquist input," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1931-1936, Dec. 2001.

[12] L. Sumanen, "*Pipeline analog-to-digital converters for wide-band wireless communications*," Ph.D. dissertation, Helsinki University of Technology, 2002.

[13] L. Sumanen, M. Waltari, and K. Halonen, “A mismatch insensitive CMOS dyanmaic comparator for pipeline A/D converters,” *Int. Conf. on Electrnics, Circuits and Systems* (*ICECS*), vol. 1, pp. 32-35, 2000.

[14] L. Sumanen, M. Waltari, V. Hakkarainen, and K. Haolnen, “CMOS dynamic comparators for pipeline A/D converters,” *Int. Symp. on Circuits and Systems* (*ISCAS*), vol.5, pp. 157-160, 2002.

[15] H.C. Kim, D.K. Jeong, and Wonchan Kim, “A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters,” *IEEE Trans. Circuits Syst.I*, vol. 53, no. 4, pp. 795-801, April 2006.

[16] J. Crols, and M. Steyaert, “Switched-opamp: an approach to realize full CMOS switched-capacitor circuits at very low power supply voltages,” *IEEE J. Solid-State Circuits*, vol. 29, no. 8, pp. 936-942, August 1994.

[17] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enriquez, D. Bisbal, M. Banu, and J. Barbolla, “Low-power pipeline ADC for wireless LANs,” *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1338-1340, August 2004.

[18] P.C. Yu, and H.S. Lee, “A 2.5-V, 12-b, 5-MSample/s pipelined CMOS ADC,” *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1854-1861, December 1996.

[19] R. Zanbaghi, M. Atarodi, and S. Mehrmanesh, “A low power pipeline A/D converter by using double sampling and averaging techniques,” *IEEE Region 10 Conf*., pp. 1-4, November 2006.

[20] T. Matsuura, M. Hotta, K. Usui, E. Imaisumi, and S.Ueda, “A 95-mW, 10-b 15-MHz low-power CMOS ADC using analog double-sampled pipelining scheme,” *Symp. on VLSI Circuits Digest of Technical Papers*, pp. 98-99, 1992.

[21] B. Murmann, and B. E. Boser, “A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification,” *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2040-2050, December 2003.

[22] J. K. Fiorenza, T. Sepke, P. Holloway, Ch. G. Sodini, and H. S. Lee, “Comparator-based switched-capacitor circuits for scaled CMOS technologies,” *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2658-2668, December 2006.

[23] I. Ahmed, J. Mulder, and D. A. Johns, “A low-power capacitive charge pump based pipelined ADC,” *IEEE J. Solid-State Circuits*, vol. 45, no. 5, pp. 1016-1027, May 2010.

[24] S. Ranganathan, and Y. Tsividis, “Discrete-time parametric amplification based on a three-terminal MOS varactor: analysis and experimental results,” *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2087-2093, December 2003.

[25] K. S. Lee, Y. Choi, and F. Maloberti, “SC amplifier and SC integrator with an accurate gain of 2,” *IEEE Trans. on Circuits and Systems-II: Express Briefs*, vol. 52, no. 4, pp. 194-198, April 2005.

[26] H. Zare-Hoseini, O. Shoaei, and I. Kale, “Multiply-by-two gain stage with reduced mismatch sensitivity,” *Electron. Lett.*, vol. 41, no. 6, pp. 289-290, March 2005.

[27] H. Zare-Hoseini, O. Shoaei, and I. Kale, "A new structure for capacitor-mismatch-insensitive multiply-by-two amplification," *in Proc. IEEE Int. Symp. Circuits and Syst.* (*ISCAS*), pp. 4879-4882, May 2006.

[28] J. Goes, J.C. Pereira, N. Paulino, and M.M. Silva, "Switched-capacitor multiply-by-two amplifier insensitive to component mismatches," *IEEE Trans. on Circuits and Systems-II: Express Briefs*, vol. 54, no. 1, pp. 29-33, January 2007.

[29] E. Zhian Tabasy, M. Kamarei, and S.J. Ashtiani, "1.5-bit mismatch-insensitive MDAC with reduced input capacitive loading," *Electron. Lett.*, vol. 45, no. 23, pp. 1157-1158, November 2009.

[30] R. Lotfi, M. Taherzadeh-S., M.Y. Azizi, O. Shoaei, "A low power design methodology for high- resolution pipelined analog-to-digital converters," *Int. Symposium on Low Power Electronics and Design*, pp. 334-339, 2003.

[31] Y. Chiu, "*Analysis and design of pipeline analog-to-digital converters*," Springer-Verlag New York Inc, 2010.

[32] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio sigma-delta modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. Solid-Sate Circuits*, vol. 36, no. 3, pp. 349-355, March 2001.

[33] S. Abdinia, "*Design and simulation of a low-power and high-speed pipelined analog-to-digital converter in 90-nm CMOS*", M.Sc. dissertation, K. N. Toosi University of Technology, 2009.

[34] C. Enz and G. Ternes, "Circuit techniques for reducing the effects of opamp imperfections: audozeroing, correlated double sampling and chopper stabalization," *Proc. Of IEEE*, vol. 84, no. 11, pp.1584-1614, November 1996.

[35] J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW pipelined ADC using dynamic residue amplification," *Symp. on VLSI Circuits Digest of Technical Papers*, pp. 216-217, 2008.

[36] T. Cho, "*Low-power low-voltage analog-to-digital conversion techniques using pipeline architectures*, Ph.D. Thesis, University of California, Berkeley, 1995.

[37] M. Gustavsson, J. Winker, and N. Tan, "*CMOS Data Converters for Communications*," Kluwer Academic Publishers, 2000.

[38] S. Kawahito, "Low-power design of pipelined A/D converters," *IEEE Custom Integrated Circuits Conf.* (*CICC*), pp. 505-512, September 2006.

[39] D.Y. Chang, "Low-power techniques for high-performance pipelined analog to digital Converter," *IEEE Trans. Circuits Syst. I: Regular papars*, vol. 51, pp. 2123-2132, April 2004.

[40] O. A. Adeniran, and A. Demosthenous, "Optimization of bit-per-stage for low-voltage low-power CMOS pipeline," *European Conf. on Circuit Theory and Design*, vol.2 , pp. 55-58, 2005.

[41] Zh. Zhang, X. Zeng, J. Li, L. Xie, and Y. Guo, "A low power SHA-less pipelined ADC used in DVB-S2," *Int. Conf. on Solid-State and Integrated-Circuits Technology*, pp. 1913-1916, 2008.

[42] B. J. Lee, "*Low-power low-voltage analog-to-digital conversion techniques using pipeline architectures*," Ph.D. dissertation, University of Texas at Austin, Berkeley, 2007.

[43] K. Nagaraj, H. S. Fetterman, J. anidjar, and S.H. Lewis "A 250-mW, 8-b 52-Msample/s parallel-Pipelined A/D converter with reduced number of amplifiers," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 312-320, March 1997.

[44] B. M. Min, P. Kim, F.W. Bowman, and D.M. Boisvert, "A 69-mW 10-bit 80-Msample/s Pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2031-2039, December 2003.

[45] K. Honda, M. Furuta, and S. Kawahito, "A 1V 10b 125Msample/s A/D converter using cascade amp-sharing and capacitance coupling techniques," *Int. Symp. on Circuits and Systems* (*ISCAS*), pp. 1031-1034, 2006.

[46] H. Ch. Kim, D. K. Jeong, and W. Kim, "A Partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters," *IEEE Trans. Circuits Syst. I: Regular papars*, vol. 53, no. 4, pp. 795-801, April 2006.

[47] M. Yavari, H. Zare-Hoseini, M. Farazian, and O. Shoaei, "A new compensation technique for two-stage CMOS operational transconductance amplifiers," *Int. Conf. on Electrnics, Circuits and Systems* (*ICECS*), vol. 2, pp. 539-542, 2003.

[48] M. Yavari, "Hybrid cascode compensation for two-stage CMOS opamps," *IEICE Trans. Electron.*, vol. E88-C, no. 6, Junuary 2005.

[49] M. Yavari, O. Shoaei, and F. Svelto, "Hybrid cascode compensation for two-stage CMOS operational amplifiers," *Int. Symp. on Circuits and Systems* (*ISCAS*), vol.2, pp. 1565-1568, 2005.

[50] M. Yavari, and O. Shoaei, "Low-voltage low-power fast-settling CMOS operational amplifiers for switched-capacitor applications," *ISLPED*, pp.345-348, August 2003.

[51] M. Yavari, O. Shoaei, and A. Rodriguez-Vazquez., "Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation," *Proc. on Design, Automation, and Test in Europe*, vol. 1, pp. 6-9, March 2006.

[52] E. Sackinger, and W. Guggenbuhl, "A high-swing, high-impedance MOS cascode circuit," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 289-298, February 1990.

[53] k. Bult, and G. J. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 349-355, March 2001.

[54] J. Lloyd, and H-Seung Lee, "A CMOS op amp with fully-differential gain enhancement," *IEEE Trans. Circuits and Systems-II*: *Express Briefs*, vol. 41, no. 3, pp. 241-243, Mar. 1997.

[55] A.M. Abo, and P.R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999

[56] M. Dessouky, M. M. Louerat, and A. Kaiser, "Switch sizing for very low-voltage switched capacitor circuits," *The 8th IEEE Internaional Conf. on Electronics, Circuits, and Systems*, vol. 3, pp. 1549-1552, 2001.

[57] J. Oliveira, J. Goes, M. Figueiredo, E. Santin, J. Fernandes, and J. Ferreira, "An 8-bit 120-MS/s interleaved CMOS pipeline ADC based on MOS parametric amplification," *IEEE Trans. Circuits and Systems-II*: *Express Briefs*, vol. 57, no. 2, pp. 105-109, February 2010.

[58] B.D. Sahoo, and B. Razavi, "A 12-bit 200-MHz CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2366–2380, September 2009.

[59] D. Garrity, D. LoCascio, Ch. Cavanagh, M. Nizam Kabir, and Ch. Guenther, "A single analog-to-digital converter that converts two separate channels (I and Q) in a broadband radio receiver," *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1458-1469, Junuary 2008.

[60] J. Shen, and P. Kinget, "A 0.5-V 8-bit 10MS/s pipelined ADC in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 787-795, April 2008.

[61] D. Kurose, T. Ito, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit pipeline ADCs for wireless receivers," *IEEE J. Solid-State Circuits*, vol. 41, no. 7, pp. 1589-1595, july 2006.

[62] A.Verma, and Behzad Razavi, "A 10-Bit 500-MS/s 55-mW CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3039-3050, November 2009.

[63] Y.J. Kim, H.C. Choi, G.C. Ahn, and S.H. Lee, "A 12 bit 50 MS/s CMOS nyquist A/D converter with a fully differential class-AB switched Op-Amp," *IEEE J. Solid-State Circuits*, vol. 45, no. 3, March 2010.

[64] W-H Tu, and T-H Kang, "A 1.2V 30mW 8b 800MS/s time-interleaved ADC in 65nm CMOS," *Symp. on VLSI Circuits Digest of Technical Papers*, pp.72 -73, 2008.

[65] T. Moosazadeh, "*Design and simulation of a low power high resolution pipelined analog-to-digital converter in 90-nm CMOS*", M.Sc. dissertation, Amirkabir University of Technology, 2010.

[66] S. Hashemi, and O. Shoaei, "A 0.9V 10-bit 100 MS/s switched-RC pipelined ADC without using a front-end S/H in 90nm CMOS," *IEEE International Symposium on Circuits and Systems* (*ISCAS*), pp. 13-16, 2008.

[67] J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW pipelined ADC using dynamic source follower residue amplification," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1057-1066, April 2009.

[68] L. Brooks, and H.S. Lee, "A 12b, 50 MS/s, fully differential zero-crossing based pipelined ADC", *IEEE J. Solid-State Circuits*, vol. 44, no. 12, December 2009.

ABSTRACT

Nowadays, low power and small silicon die area data converters are the building blocks of wireless communication systems. In recent years, several techniques are proposed to reduce power consumption and die area. Among these methods, opamp-sharing technique shows the best promise. In this method, with the aid of sharing one opamp between two successive stages, power and die area are reduced. Also, double sampling technique, is the method which increases the available time for settling of the opamp's output voltage by reducing the sampling frequency. So the power of the opamp will be reduced.

In this dissertation, two researchs have been done. In the first section, a mismatch-insensitive MDAC has been proposed. The proposed technique has a good efficiency to increase the resolution of an ADC. In the second section, the goal is designing and simulating a pipelined analog-to-digital converter whose significant propery is its high speed and medium resolution with the lowest power consumption. In this section, the two techniques, double sampling and opamp sharing, are analyzed and compared. The result of this analysis is that opamp sharing technique is optimum in power consumption in comparison with the double sampling technique; however, the opamp sharing technique has some problems which couse this structure to be non-optimum. Optimsing the opamp sharing in power consumption, a structure is proposed.

With the aid of the proposed technique, a pipelined ADC with the sampling frequency of 250MHz, 10-bit resolution, in 90nm CMOS technology with 1 V supply voltage, and with the lowest power consumption is designed and simulated. The simulation of this structure is done by the HSPICE software. The results show that the designed ADC has 58 dB SNDR and its ENOB is 9.4 bits, while it is consuming only 29 mW.

Keywords: Analog-to-Digital Converter (ADCs), High speed, Medium-high resolution, Optimum power, Switched capacitor circuits, Opamp sharing technique, Capacitor mismatch.

Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of a Low Power Pipelined Analog-to-Digital Converter in 90-nm CMOS

By:
Mohammad Reza Ashraf

Under Supervision of:
Dr. Mohammad Yavari
Dr. Saeed Khatami

September 2010