Amirkabir University of Technology

(Tehran Polytechnic)

Department of Electrical Engineering

B.Sc. Thesis

Design of CMOS Three-Stage Operational Amplifiers for Fast-Settling Switched-Capacitor Circuits

By

Mohammadreza Karimi

Supervisor

Dr. Mohammad Yavari

November 2021

دانشگاه صنعتی امیر کبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان نامه کارشناسی (گرایش الکترونیک)

عنوان

طراحی تقویت کننده‌های عملیاتی سه طبقه CMOS در مدارهای سوئیچ‌شونده خازنی با نشست سریع

نگارش

محمدرضا کریمی

استاد راهنما

جناب آقای دکتر محمد یاوری

مهر ۱۴۰۰

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

اینجانب محمدرضا کریمی متعهد می شوم که مطالب مندرج در این پژوهش حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پژوهش قبلاً برای احراز هیچ مدرک هم سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان ، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است .

نقل مطالب با ذکر مآخذ بلامانع است.

محمدرضا کریمی

امضا

تقدیم به

پدر و مادرم

که از نگاهشان صلابت

و از رفتارشان محبت

و از صبر شان ایستادگی را آموختم.

آن دو فرشته ای که از خواسته هایشان گذشتند، سختی‌ها را به جان خریدند و خود را سپر بلای مشکلات و ناملایمات کردند تا من به جایگاهی که اکنون در آن ایستاده‌ام برسم.

و به آنان که عزت و سربلندی ایران به رفتنشان گره خورده است.

تقدیر و تشکر

صمیمانه ترین سپاس خود را به استاد فرزانه جناب آقای دکتر یاوری تقدیم می نمایم که در این راه پر مشقت روشنگر مسیرم بوده اند و بدون راهنمایی های گرانقدر ایشان تامین این پایان نامه بسیار مشکل می نمود.

همچنین از استاد ارجمند آقای دکتر حسن کاتوزیان که داوری این پایان نامه را بر عهده گرفتند، بی نهایت سپاسگزارم.

چکیده

با پیشرفت علم الکترونیک و کاهش اندازه ترانزیستورها، بهره ذاتی ترانزیستورها رو به کاهش قرار دارد به همین علت، دیگر تقویت کننده‌های یک طبقه ویژگی های مورد نیاز طراحان را ارضاء نمی‌کند. به همین علت استفاده از تقویت‌کننده‌های چند طبقه مورد توجه طراحان این علم قرار گرفته است. اما اضافه شدن طبقات باعث ایجاد مشکلات بسیاری در سطح مدار می گردد. یکی از این مشکلات اضافه شدن قطب های اضافی به مدار و کاهش پایداری حلقه بسته و همچنین کاهش پهنای باند سیستم است به همین علت برای کاهش این اثر از مدارات جبران سازی استفاده می شود. در این تحقیق ما با اضافه کردن سیستم جبران سازی به مدار اصلی به دنبال افزایش پایداری حلقه بسته سیستم هستیم. از طرفی، ویژگی های زیادی در طراحی مدارات آنالوگ وجود دارد از جمله مساحت مصرفی، زمان و دقت نشست و توان مصرفی که همگی این عوامل به نوعی در مصالحه هستند به گونه ای که افزایش یا کاهش یک عامل منجر به تغییر در عوامل دیگر می شود. در این پروژه سعی شده نقطه بهینه ای برای این عوامل پیدا کنیم. در واقع هدف در این پایان نامه و تحقیق دستیابی به کمترین میزان ممکن برای توان مصرفی مدار با توجه به زمان و دقت نشست مورد انتظار سیستم است. اهمیت زمان و دقت نشست سیستم این است که این پارامتر در مدارات سوئیچ شونده خازنی به علت این که انتقال بار بین فاز های مختلف باید در سریعترین و با بیشترین دقت ممکن انجام شود به همین علت وبه علت استفاده ی مدار طراحی شده در این تحقیق در مدارات سوئیچ شونده خازنی، زمان و دقت نشست از اصلی ترین و مهمترین پارامترهای طراحی می باشد. در این تحقیق از نرم افزار های MATLAB برای بررسی مدار در سطح سیستمی و نرم افزار HSPICE در سطح مداری استفاده شده است. همچنین از تکنولوژی ۹۰ نانومتر استفاده کرده ایم. در همین راستا و با توجه به توضیحات داده شده مداری طراحی شده که توان مصرفی حداقلی دارد بهره و CMRR آن به ترتیب بیشتر از ۷۰ و ۱۰۰دسی بل است و پهنای باندی به بزرگی بیشتر از ۲۰۰ مگاهرتز خواهد داشت همچنین با در نظر گرفتن دقت ۰.۰۲ درصد به زمان نشست ۷.۶ نانوثانیه در این مدار خواهیم رسید.

کلمات کلیدی: تقویت کننده ۳ طبقه CMOS، مدارات سوئیچ شونده خازنی، جبران سازی فرکانسی میلر، بهره DC سیستم، پهنای باند سیستم، زمان نشست سیگنال کوچک، زمان نشست سیگنال بزرگ، دقت نشست سیستم ، توان مصرفی و نویز مدار

فهرست مطالب صفحه

۱ فصل اول مقدمه ۱

۱-۱-انگیزش و اهمیت موضوع ۱

۱-۲-اهداف پایان نامه ۲

۱-۳- ساختار پایان نامه ۳

۲ فصل دوم مفاهیم اولیه ۴

۲-۱- مفهوم زمان نشست ۴

۲-۲-بهره ۶

۲-۳- پایداری ۷

۲-۴- پهنای باند ۸

۲-۵- توان مصرفی ۸

۲-۶- نویز ۸

۲-۷- جبران سازی فرکانسی ۹

۲-۷-۱- جبران سازی به روش NMC ۱۰

۲-۷-۲- جبرانسازی به روش RNMC ۱۰

۲-۷-۳- اشاره ای به ساختارهای جبران سازی پیچیده تر ۱۱

۳ فصل سوم مروری بر روش‌های طراحی مدار سه طبقه ۱۲

۴ فصل چهارم روش طراحی پیشنهادی ۲۳

۴-۱-آنالیز سیگنال کوچک سیستم مرتبه سه ۲۴

۴-۲-آنالیز سیگنال بزرگ سیستم مرتبه سه..... ۲۸
۴-۳- بررسی رابطه GBW برای سیستم مرتبه سه ۲۸
۴-۴-بررسی نویز مدار مرتبه سه..... ۲۹
۴-۵- روند کلی طراحی مداری به همراه فلو چارت گام های مختلف طراحی ۳۰
۴-۶- معرفی مدار اصلی و مشخص نمودن معلومات مسئله..... ۳۳
۴-۷- روند طراحی در مدار خاص NMC دراین تحقیق (مثالی از روش طراحی پیشنهادی)..... ۳۴
۵ فصل پنجم نتایج شبیه‌سازی ۴۱
۶ فصل ششم نتیجه گیری و پیشنهادات..... ۴۹
مراجع..... ۵۱

فهرست شکل ها **صفحه**

شکل (۲-۱): مدل نویز فلیکر و گرمایی در ترانزیستور..... ۹

شکل (۳-۱): مدار استفاده شده در مرجع [۵]در طراحی مداری..... ۱۳

شکل (۳-۲): مدار استفاده شده در مرجع [۸] در طراحی مداری..... ۱۴

شکل (۳-۳): مدار استفاده شده در مرجع [۹]..... ۱۵

شکل(۳-۴): مدار استفاده شده در مرجع[۱۰]..... ۱۶

شکل (۳-۵): مدلی از یک طبقه بهره سوئیچ خازنی در فاز توزیع شارژ[۱۲]..... ۱۷

شکل (۳-۶): مدار استفاده شده در مرجع [۱۲]..... ۱۸

شکل (۳-۷): مدار استفاده شده در مرجع [۱۳]..... ۱۹

شکل (۳-۸): مدار پایه ای استفاده شده در مرجع [۱۸]..... ۲۰

شکل (۳-۹): شماتیک واقعی تقویت کننده عمومی با مدل سازی SR مرجع [۱۹]..... ۲۱

شکل (۳-۱۰): نسخه معادل تقویت کننده عمومی با مدل سازی SR مرجع [۱۹]..... ۲۱

شکل(۴-۱): طرح کلی مدار سه طبقه مورد استفاده در این تحقیق ۲۳

شکل(۴-۲): سیستم مرتبه ۳ خالص با تبدیل به دو سیستم داخلی استفاده شده در مرجع[۱۹]..... ۲۵

شکل(۴-۳): نمودار زمان نشست نرمال سازی شده و حاشیه فاز برحسب عوامل جداسازی..... ۲۷

شکل(۴-۴): مدل سیگنال کوچک مدار تقویت کننده NMC برای بررسی نویز..... ۲۹

شکل(۴-۵): روش ارائه شده در این تحقیق به صورت فلوچارتی ۳۲

شکل(۴-۶): مدار NMC مورد استفاده این تحقیق..... ۳۳

شکل(۴-۷): کد روابط مربوط به نویز طبقه اول در نرم افزار MATLAB ۳۸

شکل(۴-۸): کد روابط مربوط به نویز طبقه دوم در نرم افزار MATLAB ۳۹

شکل(۴-۹): کد روابط مربوط به نویز طبقه سوم در نرم افزار MATLAB ۳۹

شکل(۴-۱۰): روند حل معادلات در نرم افزار MATLAB..... ۴۰

شکل(۵-۱): مدار مورد استفاده در شبیه سازی زمانی مدار در HSPICE..... ۴۳

شکل(۵-۲): تغییرات مربوط به سوئیچ های ایده آل مدار..... ۴۳

شکل(۵-۳): نمایش پاسخ پله مدار و زمان نشست در سطح مداری در نرم افزار HSPICE..... ۴۴

شکل(۵-۴): شبیه سازی AC در حالت DC حلقه بسته..... ۴۵

شکل(۵-۵): نمایش پاسخ فرکانسی(بهره و حاشیه فاز) با شبیه سازی AC در نرم افزار HSPICE..... ۴۵

شکل(۵-۶): کد مربوط به PSD نویز خروجی در نرم افزار MATLAB..... ۴۶

شکل(۵-۷): نمایش PSD نویز خروجی در شبیه سازی AC مدار..... ۴۷

فهرست جدول ها **صفحه**

جدول (۴-۱): مقادیر زمان نشست نرمال سازی شده براساس عوامل جداسازی به ازای خطاهای مختلف....۲۷

جدول (۴-۲): مقادیر معلوم در مسئله ی طراحی.....۳۳

جدول (۵-۱): دستیابی به مجهولات با استفاده از نرم افزار MATLAB.....۴۱

جدول (۵-۲): جدول ابعاد ترانزیستورها و مقادیر خازن های مدار ۴۲

جدول (۵-۳): جدول نتایج شبیه سازی در بدترین گوشه های تکنولوژی و دما.....۴۷

واژه نامه

اشباع	Saturation
بده و بستان	Tradeoff
بهره	Gain
پهنای باند	Bandwidth
تابع تبدیل حلقه باز	Open-Loop Transfer Function
تابع تبدیل حلقه بسته	Closed-Loop Transfer Function
تابع تبدیل نویز	Noise Transfer Function
ترارسانایی	Transconductance
تفاضلی کامل	Fully-Differential
تقویت کننده عملیاتی	Operational Transconductance Amplifier
تک سر	Single-Ended
توان مصرفی	Power Consumption
جبران سازی میلر تو در تو	Nested Miller Compensation
جبران سازی میلر تو در تو معکوس	Reversed Nested Miller Compensation
چگالی طیف توان نویز	Noise Power Spectral Density
حاشیه فاز	Phase Margin
خازن بار	Load Capacitor
خازن جبران ساز	Compensation Capacitor
دقت نشست	Settling Accuracy

Linear Settling Time	زمان نشست خطی
Nonlinear Settling Time	زمان نشست غیر خطی
Normalized Settling Time	زمان نشست نرمال سازی شده
High Speed	سرعت بالا
System Level Simulation	شبیه سازی در سطح سیستمی
Circuit Level Simulation	شبیه سازی در سطح مداری
Figure of merit	ضریب شایستگی
Feedback Factor	ضریب فیدبک
Frequency	فرکانس
Bias Circuit	مدار بایاس
Switched-Capacitor Circuits	مدار سوئیچ شونده خازنی
Slew Rate	نرخ چرخش
Common Mode Rejection Ratio	نرخ حذف حالت مشترک
Noise	نویز
Thermal Noise	نویز گرمایی
Left Half Plane	نیم صفحه چپ
Right Half Plane	نیم صفحه راست

مراجع

[1] R. Eschauzier and J. Huijsing, *Frequency compensation techniques for low-power operational amplifiers*, Kluwer Academic Publishers, 1995.

[2] M. Yavari, "Active-feedback single Miller capacitor frequency compensation techniques for three-stage amplifiers," *Journal of Circuits, Systems, and Computers*, vol. 19, no. 7, pp. 1381-1398, Nov. 2010.

[3] S. Liu, Z. Zhu, J. Wang, L. Liu, and Y. Yang, "A 1.2-V 2.41-GHz Three-Stage CMOS OTA With Efficient Frequency Compensation Technique," *IEEE Trans. on Circuits and Systems-I: Regular Papers*, vol. 66, no. 1, pp. 20-30, Jan. 2019.

[4] M. Yavari, N. Maghari, and O. Shoaei, "An Accurate Analysis of Slew-Rate for Two-Stage CMOS Opamps," *IEEE Transactions on Circuits and Systems—II: Express Briefs*, vol. 52, no. 3, pp. 164-167, Mar. 2005.

[5] M. Yavari, O. Shoaei, and A. Rodriguez-Vazquez, "Systematic and Optimal Design of CMOS Two-Stage Opamps with Hybrid Cascode Compensation," *Design Automation and Test in Europe*, DATE, Munich, Germany, pp. 144-149, Mar. 2006.

[6] A. Pugliese, G. Cappuccino, and G. Cocorullo, "Design Procedure for Settling Time Minimization in Three-Stage Nested- Miller Amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 1, pp. 1-5, Jan. 2008.

[7] A. Pugliese, F. A. Amoroso, G. Cappuccino, and G. Cocorullo, "Settling Time Optimization for Three-Stage CMOS Amplifier Topologies," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 12, pp. 2569-2582, Dec. 2009.

[8] H. Shokri and M. Yavari, "A Systematic Design Procedure for CMOS Three-Stage NMC Amplifiers," *European Conference on Circuit Theory and Design*, ECCTD, Antalya, Turkey, pp. 499-502, Aug. 2009.

[9] R. Nguyen and B. Murmann, “The Design of Fast-Settling Three-Stage Amplifiers Using the Open-Loop Damping Factor as a Design Parameter,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 6, pp. 1244-1254, Jun. 2010.

[10] M. Yavari, “A Design Procedure for CMOS Three-Stage NMC Amplifiers,” *IEICE Trans. Fundamentals*, vol. E94-A, no. 2, pp. 639-645, Feb. 2011.

[11] S. Seth and B. Murmann, “Settling time and noise optimization of a three-stage operational transconductance amplifier,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 205-208, May 2012.

[12] S. Seth and B. Murmann, “Settling Time and Noise Optimization of a Three-Stage Operational Transconductance Amplifier," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 5, pp. 1168-1174, May 2013.

[13] S. Golabi and M. Yavari, “Design of CMOS three-stage amplifiers for fast-settling switched-capacitor circuits,” *Analog Integrated Circuits and Signal Processing*, Springer, vol. 80, no. 2, pp. 195-208, Aug. 2014.

[14] M. Yavari and T. Moosazadeh, “A single-stage operational amplifier with enhanced transconductance and slew rate for switched-capacitor circuits,” *Analog Integrated Circuits and Signal Processing*, Springer, vol. 79, no. 3, pp. 589-598, Jun. 2014.

[15] G. Giustolisi and G. Palumbo, “Design of CMOS OTAs with Settling-Time Constraints,” *25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 505-508, Dec. 2018.

[16] G. Giustolisi and G. Palumbo, “In-Depth Analysis of Pole-Zero Compensations in CMOS Operational Transconductance Amplifiers,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 12, pp. 4557-4570, Dec. 2019.

[17] F. Alizadeh Arand and M. Yavari, “A Comprehensive Analysis of the Noise Power of Three-Stage OTAs in Switched-Capacitor Circuits,” *Iranian Conference on Electrical Engineering (ICEE)*, Tabriz, Iran, pp. 1-5, Aug. 2020.

[18] G. Giustolisi and G. Palumbo, “Efficient Design Strategy for Optimizing the Settling Time in Three-Stage Amplifiers Including Small- and Large-Signal Behavior,” *Electronics*, vol. 10, no. 5, pp. 1-19, Mar. 2021.

[19] G. Giustolisi and G. Palumbo, “Design of Three-Stage OTA Based on Settling-Time Requirements Including Large and Small Signal Behavior,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 3, pp. 998-1011, Mar. 2021.

[20] G. Giustolisi and G. Palumbo, “A gm/ID-Based Design Strategy for IoT and Ultra-Low-Power OTAs with Fast-Settling and Large Capacitive Loads,” *Journal of Low-Power Electronics and Applications*, vol. 11, no. 2, pp. 1-17, May 2021.

[21] G. Giustolisi and G. Palumbo, "Design of Three-Stage OTAs from Settling-Time and Slew-Rate Constraints," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-5, May 2021.

[22] J. Ruiz-Amaya, M. Delgado-Restituto, and A. Rodriguez-Vazquez, "Accurate Settling-Time Modeling and Design Procedures for Two-Stage Miller-Compensated Amplifiers for Switched-Capacitor Circuits," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 6, pp. 1077-1087, Jun. 2009.

[23] P. Prasopsin et al., "A Sub-Microwatt Class-AB Super Buffer: Frequency Compensation for Settling-Time Improvement," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 1, pp. 26-30, Jan. 2018.

[24] H. Ju et al., "A Hybrid Miller-Cascode Compensation for Fast Settling in Two-Stage Operational Amplifiers," *IEEE Trans. On Very-Large Scale Integration (VLSI) Systems*, vol. 28, no. 8, pp. 1770-1781, Aug. 2020.

[25] G. Giustolisi and G. Palumbo, "Three-Stage Dynamic-Biased CMOS Amplifier With a Robust Optimization of the Settling Time," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 11, pp. 2641-2651, Nov. 2015.

[26] G. Giustolisi and G. Palumbo, "Design of CMOS three-stage amplifiers for near-to-minimum settling-time," *Microelectronics Journal*, vol. 107, no. 1, pp. 1-10, Jan. 2021.

[27] G. Giustolisi and G. Palumbo, "Robust design of CMOS amplifiers oriented to settling-time specification," *International Journal of Circuit Theory and Applications*, vol. 45, no. 10, pp. 1329-1348, Oct. 2017.

[28] Dastgheib, A., & Murmann, B. (2008). "Calculation of total integrated noise in analog circuits, " *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 55(10), 2988–2993.

Abstract

Three-stage amplifiers are recently used to achieve high dc gain and large output swing in low voltage nano-meter CMOS technology. To insure their closed-loop stability, the nested Miller compensation (NMC) and reversed nested Miller compensation (RNMC) are mainly used.

On the other hand, in high speed switched-capacitor circuits, the load capacitance is small and the amplifier is needed to settle within a specific time with a desired settling accuracy. Therefore, the transient settling performance is among the most critical aspects of high-speed amplifiers used in switched-capacitor circuits. GBW product is another main metric that used to evaluate the speed of OTA.

In this project, a time-domain design procedure for fast-settling three-stage amplifiers is presented. In the procedure design approach, the amplifier is designed and simulated using a standard 90 nm CMOS technology .For system level design we used MATLAB and for circuit level design we used HSPICE. The design is targeted to achieve 0.02% settling accuracy within 10 ns while driving a 2 pF effective load capacitance from a single 1.2 V power supply in a single-ended S/H configuration. The achieved unity-gain frequency and phase-margin are about 212MHz and 63.3^0, respectively. In this design procedure value of parameters is optimized for a given circuit noise and settling accuracy and settling time to achieve a low-power and robust design.

Key words: Three-stage operational amplifiers, Nested Miller Compensation, Small-signal and large-signal settling times, Circuit noise, Switched-capacitor circuits, Power consumption, DC gain, Bandwidth, Phase margin

Amirkabir University of Technology

(Tehran Polytechnic)

Department of Electrical Engineering

B.Sc. Thesis

Design of CMOS Three-Stage Operational Amplifiers for Fast-Settling Switched-Capacitor Circuits

By

Mohammadreza Karimi

Supervisor

Dr. Mohammad Yavari

November 2021