Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Design of Analog Front-End and ADC for Closed-Loop Neural Recording

By
Mohammadamin Mohtashamnia

Supervisor
Dr. Mohammad Yavari

July 2024

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی‌ارشد
رشته مهندسی برق
گرایش مدارهای مجتمع الکترونیک

طراحی AFE و مبدل آنالوگ به دیجیتال برای ثبت سیگنال عصبی حلقه بسته

نگارش
محمدامین محتشم‌نیا

استاد راهنما
دکتر محمد یاوری

تیر ماه ۱۴۰۳

به نام خدا

تاریخ: ۱۴۰۳/۰۴/۱۲

تعهدنامه اصالت اثر

اینجلنب محمدامین محتشـــم‌نیا متعهد می‌شـــوم که مطلب مندرج در این پایان نامه حاصـــل کار پژوهشـــی اینجانب تحت نظارت و راهنمایی اســاتید دانشــگاه صــنعتی امیرکبیر بوده و به دســتاوردهای دیگران که در این پژوهش از آنها اسـتفاده شـده اسـت مطابق مقررات و روال متعارف ارجاع و در فهرسـت منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصــل از این پایان نامه متعلق به دانشــگاه صــنعتی امیرکبیر می‌باشــد. هرگونه اســـتفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نســـخه‌برداری، ترجمه و اقتبـاس از این پـایـان نـامـه بـدون موافقـت کتبی دانشـــگـاه صـــنعتی امیرکبیر ممنوع اســـت. نقل مطالب با ذکر مآخذ بلامانع است.

محمدامین محتشم‌نیا

تقدیم به:

خدایی که آفرید،

و به کسانی که عشقشان را در وجودم دمید،

خانواده‌ام

که در سختی‌ها و دشواری‌های زندگی

همواره یاوری دل‌سوز و فداکار و پشتیبانی محکم و مطمئن

برایم بوده‌اند.

تقدیر و تشکر:

با تشکر از استاد فرزانه، جناب آقای دکتر محمد یاوری، که با صبر و شکیبایی و با ارائه راهنمایی‌های ارزشمند و دانش فراوان، مرا در مسیر انجام این پایان‌نامه یاری نمودند. حمایت و توجه ویژه ایشان به جزئیات، نه تنها باعث ارتقاء کیفیت کار من شد، بلکه انگیزه و امیدواری من را در طی این مسیر دشوار حفظ کرد.

همچنین از دوستان آزمایشگاه طراحی مدار مجتمع که با همکاری صمیمانه و کمک‌های بی‌دریغ خود، فضایی دوستانه و علمی را فراهم کردند، صمیمانه قدردانی می‌کنم. بدون همراهی و همکاری آن‌ها، انجام این پژوهش امکان‌پذیر نمی‌بود.

و در نهایت از اساتید ارجمند جناب آقای دکتر مجید شالچیان و جناب آقای دکتر محسن معزی که داوری این پایان‌نامه را بر عهده گرفتند، بی‌نهایت متشکرم.

محمدامین محتشم‌نیا

چکیده

در چند دهه اخیر، علاقه به مطالعه و درک فعالیت مغز به صورت فزاینده‌ای افزایش یافته‌است. بررسی سیگنال‌های عصبی یکی ابزارهای قدرتمند در این راه است. برای این منظور دو روش ضبط عصبی متداول و حلقه بسته استفاده می‌گردد که سیستم‌های حلقه بسته کارایی بهتری دارند، اما وجود سیگنال‌های مزاحم و بزرگ ناشی از تحریک عصبی فرایند ضبط عصبی را دشوار کرده‌اند که باید با آن‌ها مقابله نمود.

در این کار، از یک تقویت‌کننده آنالوگ به همراه مبدل آنالوگ به دیجیتال استفاده شده است. تقویت‌کننده آنالوگ از یک تقویت‌کننده کم‌نویز، یک تقویت‌کننده با بهره متغیر با مدار کنترل بهره خودکار و یک بافر ولتاژی تشکیل شده‌است. در تقویت‌کننده با نویز کم با استفاده از تکنیک‌های تباهیدن سورس و خروجی کلاس AB عملکرد نویزی مناسبی به دست آمده‌است. استفاده از تقویت‌کننده با بهره متغیر نیز دقت مورد نیاز مبدل آنالوگ به دیجتال را کاهش داده است. همچنین در این ساختار مبدل آنالوگ به دیجیتال SAR ۱۰-بیتی استفاده شده است.

در نهایت برای اطمینان از عملکرد مدار، با استفاده از تکنولوژی ۰/۱۸ میکرومتر در نرم‌افزار کیدنس شبیه‌سازی‌های مربوطه انجام شده است. مدار واسط پیشنهادی با منبع تغذیه ۱/۸ ولتی و در دمای ۳۷ سانتی‌گراد برای دیجیتالی کردن سیگنال‌های با پهنای‌بلند ۱۰ کیلوهرتز توانی بالغ بر ۹ میکروواوت مصرف می‌کند. SNDR ماکزیمم و محدوده دینامیکی آن به ترتیب برابر ۵۸/۴۰ و ۸۱/۸۳ دسی‌بل است. که این نتایج با کارهای پیشین انجام شده در این زمینه مقایسه شده است.

واژه‌های کلیدی:

ضبط عصبی حلقه بسته، تقویت‌کننده با بهره متغیر، کم‌نویز، کم‌توان، مبدل آنالوگ به دیجیتال

فهرست مطالب

صفحه

۱- فصل اول: مقدمه..... ۱

۲- فصل دوم: مدار واسط در ضبط حلقه بسته‌ی سیگنال‌های عصبی..... ۴

۲-۱- ساختار کلی سیستم ضبط و تحریک عصبی حلقه بسته..... ۴

۲-۲- سیگنال‌های مورد مطالعه..... ۶

۲-۳- مشخصات الکترودهای مورد استفاده..... ۷

۲-۴- ملزومات مدار واسط برای کاربرد ضبط سیگنالهای عصبی حلقه بسته..... ۸

۳- فصل سوم: مروری بر کارهای پیشین..... ۱۰

۳-۱- کارهای انجام شده برای مواجهه با آرتیفکت‌های تحریک..... ۱۰

۳–۱–۱– جبران جریان در تقویت‌کننده‌های ریل‌به‌ریل..... ۱۰

۳–۱–۲– تقویت‌کننده ضبط با بهره متوسط و مبدل آنالوگ به دیجیتال با دقت بالا..... ۱۱

۳–۱–۳– کنترل بهره‌ی تطبیقی(AGC)..... ۱۲

۳–۱–۴– استراتژی خاموشی..... ۱۳

۳–۱–۵– ریست نرم..... ۱۴

۳–۱–۶– تا کردن سیگنال..... ۱۵

۳–۱–۷– فیلتر تطبیقی..... ۱۶

۳–۱–۸– تبدیل مستقیم..... ۱۶

۳-۲- کارهای انجام شده برای کاهش نویز..... ۱۷

۳–۲–۱– استفاده از تکنیک چاپینگ..... ۱۷

۳–۲–۲– تباهیدن سورس..... ۱۹

۳-۳- کارهای انجام شده در زمینه ADC..... ۲۰

۳–۳–۱– مبدل دیجیتال به انالوگ SAR با سوئیچینگ متداول..... ۲۱

۳–۳–۲– مبدل دیجیتال به انالوگ SAR با سوئیچینگ یکنوا..... ۲۲

۳–۳–۳– مبدل دیجیتال به انالوگ با سوئیچینگ یکنوا مبتنی بر V_{cm}..... ۲۳

۳–۳–۴– مبدل دیجیتال به انالوگ SAR با خازن تفکیک شده..... ۲۴

۳–۳–۵– مبدل دیجیتال به انالوگ SAR با سوئیچینگ سه سطحی و حساسیت کم به V_{cm}..... ۲۴

۴- فصل چهارم: ساختار مدار واسط پیشنهادی..... ۲۶

۴-۱- مدار آنالوگ جلویی..... ۲۷

۴–۱–۱– مدار تقویت‌کننده کم‌نویز پیشنهادی..... ۲۷

۴–۱–۱–۱– ساختار اول..... ۳۰

۴–۱–۱–۲– ساختار دوم..... ۳۶

۴–۱–۲– مدار تقویت‌کننده با بهره‌ی متغیر..... ۴۵

۴–۱–۳– بافر ولتاژ ۵۲
۴-۲- مبدل آنالوگ به دیجیتال SAR ۵۴
۴–۲–۱– مقایسه‌کننده ۵۴
۴–۲–۲– مدار منطقی SAR ۵۵
۴–۲–۳– ملاحظات طراحی مبدل آنالوگ به دیجیتال ۵۷
۵- فصل پنجم: نتایج شبیه‌سازی ۵۹
۵-۱- نتایج شبیه‌سازی مدار آنالوگ جلویی ۵۹
۵–۱–۱– تقویت‌کننده کم‌نویز ۵۹
۵–۱–۲– تقویت‌کننده با بهره متغیر ۶۵
۵–۱–۳– بافر ولتاژ ۶۹
۵–۱–۴– شبیه‌سازی مدار آنالوگ جلویی ۷۲
۵-۲- شبیه‌سازی مبدل آنالوگ به دیجیتال ۷۷
۵-۳- شبیه‌سازی مدار واسط ۷۸
۵-۴- مقایسه با کارهای پیشین ۸۱
۶- فصل ششم: جمع‌بندی و پیشنهادات ۸۳
۶-۱- جمع‌بندی ۸۳
۶-۲- پیشنهادات ۸۴
منابع و مراجع ۸۵
Abstract ۹۳

فهرست شکل‌ها

صفحه

شکل (۱–۱): بلوک دیاگرام یک سیستم متداول ضبط سیگنال‌های عصبی..... ۲
شکل (۲–۱): سیستم حلقه بسته ضبط سیگنال عصبی[۷]..... ۵
شکل (۲–۲): مدار معادل برای تقریب دامنه آرتیفکت‌ها[۸]..... ۶
شکل (۲–۳): دامنه و فرکانس سیگنال‌های عصبی..... ۶
شکل (۲–۴): مدار معادل الکتریکی الکترودها..... ۸
شکل (۳–۱): نمودار بلوکی IC ضبط عصبی برای رابط‌های عصبی حلقه بسته بدون اشباع [۲۱, ۲۳]..... ۱۲
شکل (۳–۲): نمودار بلوکی IC ضبط عصبی برای رابط‌های عصبی حلقه بسته[۲۹] ۱۳
شکل (۳–۳): نمودار بلوکی مدار آنالوگ با تکنیک ریست نرم (جابجایی قطب) [۳۰]..... ۱۴
شکل (۳–۴): نمودار بلوکی سیستم ضبط عصبی با تکنیک تا کردن سیگنال[۳۲]..... ۱۵
شکل (۳–۵): شماتیک مدار حذف آرتیفکت تحریک با استفاده از فیلتر تطبیقی[۳۳]..... ۱۶
شکل (۳–۶): تقویت‌کننده چاپر پیشنهادشده در [۴۳]..... ۱۸
شکل (۳–۷): تقویت‌کننده با آینه جریان تباهیده پیشنهادشده در [۱۱]..... ۱۹
شکل (۳–۸): شماتیک لچ Strong Arm ۲۱
شکل (۳–۹): پیاده‌سازی ساده شده مبدل آنالوگ به دیجیتال SAR کلاسیک..... ۲۲
شکل (۳–۱۰): مبدل آنالوگ به دیجیتال SAR با سوئیچینگ یکنوا [۴۹]..... ۲۲
شکل (۳–۱۱): مبدل آنالوگ به دیجیتال SAR با سوئیچینگ یکنوا مبتنی بر V_{cm} [۵۰]..... ۲۳
شکل (۳–۱۲): مبدل آنالوگ به دیجیتال SAR با خازن تفکیک شده[۵۱]..... ۲۴
شکل (۴–۱): بلوک دیاگرام مدار واسط پیشنهادی..... ۲۶
شکل (۴–۲): ساختار متداول تقویت‌کننده کم‌نویز در کاربردهای پزشکی [۵۳]..... ۲۷
شکل (۴–۳): ساختار کلی تقویت‌کننده کم نویز پیشنهادی..... ۲۹
شکل (۴–۴): ساختار تقویت‌کننده‌ی تلسکوپیک پیشنهادی (PRTC)..... ۳۱
شکل (۴–۵): ساختار طبقه اول OTA پیشنهادی استفاده شده در تقویت‌کننده کم نویز..... ۳۷
شکل (۴–۶): مدار فیدبک مد مشترک طبقه اول OTA پیشنهادی استفاده شده در تقویت‌کننده کم نویز..... ۳۷
شکل (۴–۷): ساختار طبقه دوم OTA پیشنهادی استفاده شده در تقویت‌کننده کم نویز..... ۳۸
شکل (۴–۸): مدار فیدبک مد مشترک طبقه دوم OTA پیشنهادی استفاده شده در تقویت‌کننده کم نویز..... ۳۸
شکل (۴–۹): مدار بایاس OTA پیشنهادی استفاده شده در تقویت‌کننده کم نویز..... ۳۹
شکل (۴–۱۰): مدل نویز یک ترانزیستور با سورس تباهیده..... ۴۱
شکل (۴–۱۱): نمودار NEF طبقه اول تقویت‌کننده کم نویز با تغییرات k..... ۴۴
شکل (۴–۱۲): ساختار کلی تقویت‌کننده با بهره متغیر..... ۴۶
شکل (۴–۱۳): ساختار OTA استفاده شده در تقویت‌کننده با بهره متغیر..... ۴۷
شکل (۴–۱۴): ساختار طبقه اول OTA استفاده شده در تقویت‌کننده با بهره متغیر..... ۴۸

شکل (۴–۱۵): مدار فیدبک مد مشترک طبقه اول OTA استفاده شده در تقویت‌کننده با بهره متغیر. ۴۸
شکل (۴–۱۶): مدار بایاس OTA پیشنهادی استفاده شده در تقویت‌کننده با بهره‌ی متغیر. ۴۸
شکل (۴–۱۷): بلوک دیاگرام مدار پیشنهادی کنترل‌کننده بهره. ۵۰
شکل (۴–۱۸): مدار مقایسه‌گر استاتیک با ورودی‌های تفاضلی ۵۰
شکل (۴–۱۹): مدار تولید کد حرارتی غیر تکرارشونده. ۵۱
شکل (۴–۲۰): مدار فلیپ فلاپ نوع D ۵۱
شکل (۴–۲۱): طبقه اول OTA استفاده شده در بافر ولتاژ ۵۳
شکل (۴–۲۲): مدار مقایسه‌گر دینامیکStrong-Arm ۵۴
شکل (۴–۲۳): مدار منطقی مبدل آنالوگ به دیجیتال استفاده شده در مدار واسط ۵۵
شکل (۴–۲۴): شکل موج سیگنال‌های مدار کنترلی ۵۶
شکل (۴–۲۵): مدار داخلی X_{1-8} ۵۷
شکل (۴–۲۶): مدار داخلی X_9 ..... ۵۷
شکل (۵–۱): پاسخ فرکانسی تقویت‌کننده کم‌نویز ۶۰
شکل (۵–۲): نویز ارجاع داده شده به ورودی تقویت‌کننده کم‌نویز ۶۰
شکل (۵–۳): خروجی تقویت‌کننده با ورودی سینوسی ۸۰ میلی‌ولت در فرکانس ۱/۰۳۵۱۵۶۲۵ کیلوهرتز. ۶۱
شکل (۵–۴): FFT خروجی با ورودی سینوسی ۸۰ میلی‌ولت در فرکانس ۱/۰۳۵۱۵۶۲۵ کیلوهرتز. ۶۲
شکل (۵–۵): FFT خروجی تقویت‌کننده در تست دو ورودی. ۶۲
شکل (۵–۶): پاسخ فرکانسی امپدانس ورودی تقویت‌کننده کم نویز ۶۳
شکل (۵–۷): نسبت امپدانس ورودی تقویت‌کننده به امپدانس الکترود ۶۴
شکل (۵–۸): پاسخ پله تقویت‌کننده کم‌نویز ۶۴
شکل (۵–۹): پاسخ فرکانسی تقویت‌کننده با بهره متغیر در حالات مختلف ۶۶
شکل (۵–۱۰): توان نویز ورودی تقویت‌کننده با بهره متغیر در حالات مختلف ۶۶
شکل (۵–۱۱): مشخصه انتقالی تقویت‌کننده با بهره متغیر ۶۸
شکل (۵–۱۲): THD تقویت‌کننده به ازای ورودی‌های مختلف ۶۸
شکل (۵–۱۳): پاسخ پله تقویت‌کننده با بهره متغیر ۶۹
شکل (۵–۱۴): پاسخ فرکانسی بافر ولتاژ ۷۰
شکل (۵–۱۵): چگالی توان نویز ارجاع داده شده به ورودی در بافر ولتاژ ۷۰
شکل (۵–۱۶): تبدیل فوریه سیگنال خروجی بافر ولتاژ ۷۱
شکل (۵–۱۷): پاسخ پله بافر ولتاژ ۷۱
شکل (۵–۱۸): پاسخ فرکانسی مدار آنالوگ جلویی در مدهای کاری مختلف ۷۳
شکل (۵–۱۹): چگالی توان نویز ارجاعی به ورودی در مدار آنالوگ ۷۳
شکل (۵–۲۰): توزیع آماری CMRR مدار آنالوگ در فرکانس ۵۰ هرتز ۷۴
شکل (۵–۲۱): تبدل فوریه سیگنال سیگنال خروجی مدار آنالوگ ۷۶

شکل (۵–۲۲): تبدیل فوریه خروجی در تست دو ورودی..... ۷۶
شکل (۵–۲۳): پاسخ پله مدار آنالوگ..... ۷۷
شکل (۵–۲۴): طیف خروجی مبدل آنالوگ به دیجیتال..... ۷۸
شکل (۵–۲۵): طیف سیگنال خروجی مدار واسط به ورودی با دامنه ۸۰ میلی‌ولت..... ۷۹
شکل (۵–۲۶): درصد توان مصرفی بخش‌های مختلف مدار..... ۸۰
شکل (۵–۲۷): نمودار SNDR مدار واسط بر حسب دامنه ورودی..... ۸۰

فهرست جدول‌ها

صفحه

جدول (۲–۱): خلاصه ملزومات یک مدار واسط برای ضبط سیگنال‌های عصبی حلقه بسته..... ۹
جدول (۴–۱): ابعاد المان‌های تقویت‌کننده کم‌نویز (شکل (۴–۳))..... ۴۵
جدول (۴–۲): ابعاد المان‌های طبقه اول تقویت‌کننده کم‌نویز و مدار CMFB آن (شکل (۴–۵) و (۴-۵)).... ۴۵
جدول (۴–۳): ابعاد المان‌های طبقه دوم تقویت‌کننده کم‌نویز و مدار CMFB آن (شکل (۴–۷) و (۴-۷))..... ۴۵
جدول (۴–۴): ابعاد المان‌های مدار بایاس تقویت‌کننده کم‌نویز (شکل (۴–۹))..... ۴۵
جدول (۴–۵): ابعاد المان‌های تقویت‌کننده با بهره متغیر شکل (۴–۱۲) و (۴-۱۲))..... ۴۹
جدول (۴–۶): ابعاد المان‌های طبقه اول تقویت‌کننده بهره متغیر و CMFB آن (شکل (۴–۱۴) و (۴-۱۴)).. ۴۹
جدول (۴–۷): ابعاد المان‌های طبقه دوم مدار با بهره متغیر و مدار CMFB آن (شکل (۴–۷) و (۴-۷))..... ۴۹
جدول (۴–۸): ابعاد المان‌های مدار بایاس تقویت‌کننده با بهره متغیر (شکل (۴–۱۶))..... ۴۹
جدول (۴–۹): ابعاد المان‌های طبقه اول بافر ولتاژ..... ۵۳
جدول (۴–۱۰): ابعاد المان‌های طبقه دوم تقویت‌کننده با بهره متغیر و مدار CMFB آن..... ۵۳
جدول (۴–۱۱): ابعاد ترانزیستورهای مقایسه‌گر شکل (۴–۲۲)..... ۵۵
جدول (۵–۱): نتایج شبیه‌سازی تقویت‌کننده با نویز کم..... ۶۵
جدول (۵–۲): نتایج شبیه‌سازی فرکانسی تقویت‌کننده با بهره متغیر..... ۶۷
جدول (۵–۳): نتایج شبیه‌سازی تقویت‌کننده با بهره متغیر..... ۶۹
جدول (۵–۴): نتایج شبیه‌سازی بافر ولتاژ..... ۷۲
جدول (۵–۵): نتایج شبیه‌سازی مدار آنالوگ در گوشه TT..... ۷۴
جدول (۵–۶): نتایج شبیه‌سازی مدار آنالوگ در گوشه FF..... ۷۵
جدول (۵–۷): نتایج شبیه‌سازی مدار آنالوگ در گوشه SS..... ۷۵
جدول (۵–۸): نتایج شبیه‌سازی مدار آنالوگ..... ۷۷
جدول (۵–۹): نتایج شبیه‌سازی مبدل آنالوگ به دیجیتال..... ۷۸
جدول (۵–۱۰): مقایسه نتایج شبیه‌سازی تقویت‌کننده کم‌نویز با کارهای پیشین..... ۸۱
جدول (۵–۱۱): مقایسه نتایج شبیه‌سازی مدار واسط پیشنهادی با کارهای پیشین..... ۸۲

اختصارنامه

ADC	Analog-To-Digital Converter
AFE	Analog Front-End
AGC	Adaptive Gain Control
AP	Action Potential
BMI	Brain-Machine Interface
CCIA	Capacitively-Coupled Instrumentation Amplifier
CMFB	Common Mode Feedback
CMRR	Common Mode Rejection Ratio
CT-DSM	Continuous-Time Delta-Sigma Modulator
DAC	Digital-To-Analog Converter
DAR	Digital Auto-Ranging
DR	Dynamic Range
DSM	Delta-Sigma Modulator
ENOB	Effective Number of Bits
FFT	Fast Fourier Transform
IA	Instrumentation Amplifier
ICMR	Input Common Mode Range
LFP	Local Field Potential
LNA	Low Noise Amplifier
LSB	Least Significant Bit
MSB	Most Significant Bit
NEF	1Noise Efficiency Factor
NSSAR	Noise Shaping Sar
OTA	Operational Transconductance Amplifier
PEF	1Power Efficiency Factor
PGA	Programable Gain Amplifier
PM	Phase Margin

SAR	Successive Approximation Register
SFDR	Spurious-Free Dynamic Range
SNDR	Signal to Noise and Distortion Ratio
THD	Total Harmonic Distortion
UGB	Unity Gain Bandwidth
VGA	Variable Gain Amplifier

واژه‌نامه

بلادرنگ	Real-time
پایپ لاین	Pipeline
پیش‌تقویت‌کننده استاتیک	Static Preamplifier
تا کردن سیگنال	Signal Folding
تباهیدن سورس	Source Degeneration
تبدیل فوریه سریع	Fast Fourier Transform
تحریک	Stimulation
ترارسانایی	Transconductance
ترانزیستورهای با اتصال متقابل	Cross Coupled Transistors
تعداد بیت های موثر	Effective Number of Bits
تقویت‌کننده ابزار دقیق	Instrumentation Amplifier
تقویت‌کننده ابزار دقیق فیدبک خازنی	Capacitively-Coupled Instrumentation Amplifier
تقویت‌کننده با بهره برنامه‌پذیر	Programable Gain Amplifier
تقویت‌کننده عملیاتی ترارسانایی	Operational Transconductance Amplifier
تقویت‌کننده کم نویز	Low Noise Amplifier
تکنیک چاپینگ	Chopping Technique
توپولوژی ریل‌به‌ریل	Rail to Rail Topology
تولیدکننده کد حرارتی	Thermometer Code Generator
جابجایی قطب	Pole Shifting
خاموشی	Blanking
دلتا-سیگما پیوسته زمان	Continuous-Time Delta-Sigma
دم	Tail
رابط مغز-ماشین	Brain-Machine Interface

رنج مد مشترک ورودی	Input Common Mode Range1
ریست نرم	Soft-Reset
زمان نشست	Settling Time
شاخص بهینگی توان	Power Efficiency Factor
شاخص بهینگی نویز	Noise Efficiency Factor
شبه‌مقاومت	Pseudo Resistor
ضبط‌های عصبی	Neural Recording
فلش	Flash
فیلتر تطبیقی	Adaptive Filter
کنترل بهره‌ی تطبیقی	Adaptive Gain Control
لچ	Latch
مایع مغزی-نخاعی	Cerebro-Spinal Fluid
مجموع هارمونیک‌های اعوجاجی	Total Harmonic Distortion
محدوده دینامیکی	Dynamic Range
مقایسه‌گر با بازوی قوی	Strong-Arm Comaparator
نشانگرهای زیستی	Bio-markers
نورومودولاسیون	Neuromodulation
وارونگر	Inverter

منابع و مراجع

[1] A. K. Engel, C. K. Moll, I. Fried, and G. A. Ojemann, "Invasive recordings from the human brain: clinical insights and beyond," *Nat. Rev. Neurosci.,* vol. 6, no. 1, pp. 35-47, Jan. 2005.

[2] A. B. Schwartz, X. T. Cui, D. J. Weber, and D. W. Moran, "Brain-controlled interfaces: movement restoration with neural prosthetics," *Neuron,* vol. 52, no. 1, pp. 205-220, Oct. 2006.

[3] W. Truccolo *et al.*, "Single-neuron dynamics in human focal epilepsy," *Nat. Neurosci.,* vol. 14, no. 5, pp. 635-641, May 2011.

[4] L. Mallet *et al.*, "Subthalamic nucleus stimulation in severe obsessive–compulsive disorder," *N. Engl. J. Med.,* vol. 359, no. 20, pp. 2121-2134, Nov. 2008.

[5] N. Suthana *et al.*, "Memory enhancement and deep-brain stimulation of the entorhinal area," *N. Engl. J. Med.,* vol. 366, no. 6, pp. 502-510, Feb. 2012.

[6] P. Gubellini, P. Salin, L. Kerkerian-Le Goff, and C. Baunez, "Deep brain stimulation in neurological diseases and experimental models: from molecule to complex behavior," *Prog. Neurobiol.,* vol. 89, no. 1, pp. 79-123, Sept. 2009.

[7] H. Chandrakumar and D. Marković, "A 15.2-ENOB 5-kHz BW 4.5-μW Chopped CT ΔΣ-ADC for Artifact-Tolerant Neural Recording Front Ends," *IEEE J. Solid-State Circuits,* vol. 53, no. 12, pp. 3470-3483, Dec. 2018.

[8] H. Chandrakumar and D. Marković, "An 80-mVpp Linear-Input Range, 1.6-GΩ Input Impedance, Low-Power Chopper Amplifier for Closed-Loop Neural Recording That Is Tolerant to 650-mVpp Common-Mode Interference," *IEEE J. Solid-State Circuits,* vol. 52, no. 11, pp. 2811-2828, Oct. 2017.

[9] D. A. Heldman, W. Wang, S. S. Chan, and D. W. Moran, "Local field potential spectral tuning in motor cortex during reaching," *IEEE Transactions on Neural Systems and Rehabilitation Engineering,* vol. 14, no. 2, pp. 180-183, 2006.

[10] P. R. Burkhard, F. Vingerhoets, A. Berney, J. Bogousslavsky, J.-G. Villemure, and J. Ghika, "Suicide after successful deep brain stimulation for movement disorders,"

Neurology, vol. 63, no. 11, pp. 2170-2172, 2004.

[11] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An energy-efficient micropower neural recording amplifier," *IEEE Trans. Biomed. Circuits Syst.,* vol. 1, no. 2, pp. 136-147, June 2007.

[12] H. Chandrakumar, "A 0.6 uW/Channel, frequency division multiplexed amplifier for neural recording systems," UCLA, 2012.

[13] T. Denison, K. Consoer, W. Santa, A.-T. Avestruz, J. Cooley, and A. Kelly, "A 2μW 100 nV/rtHz Chopper-Stabilized Instrumentation Amplifier for Chronic Measurement of Neural Field Potentials," *IEEE J. Solid-State Circuits,* vol. 42, no. 12, pp. 2934-2945, Dec. 2007.

[14] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *IEEE Journal of solid-state circuits,* vol. 38, no. 6, pp. 958-965, 2003.

[15] R. R. Harrison *et al.*, "A low-power integrated circuit for a wireless 100-electrode neural recording system," *IEEE Journal of Solid-State Circuits,* vol. 42, no. 1, pp. 123-133, 2006.

[16] S. Kim, R. A. Normann, R. Harrison, and F. Solzbacher, "Preliminary study of the thermal impact of a microelectrode array implanted in the brain," in *2006 International Conference of the IEEE Engineering in Medicine and Biology Society*, 2006: IEEE, pp. 2986-2989.

[17] T. Jochum, T. Denison, and P. Wolf, "Integrated circuit amplifiers for multi-electrode intracortical recording," *Journal of neural engineering,* vol. 6, no. 1, p. 012001, 2009.

[18] C.-W. Huang, J.-J. Wang, C.-C. Hung, and C.-Y. Wu, "Design of CMOS analog front-end electroencephalography (EEG) amplifier with±1-V common-mode and±10-mV differential-mode artifact removal," in *2022 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, 2022: IEEE, pp. 714-717.

[19] H. Chandrakumar and D. Markovic, "27.1 A 2.8 μW 80mV pp-linear-input-range 1.6 GΩ-input impedance bio-signal chopper amplifier tolerant to common-mode interference up to 650mV pp," in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, 2017: IEEE, pp. 448-449.

[20] H. Chandrakumar and D. Markovic, "A 15.2-enob continuous-time ΔΣ adc for a 7.3 μW 200mv pp-linear-input-range neural recording front-end," in *2018 IEEE International Solid-State Circuits Conference-(ISSCC)*, 2018: IEEE, pp. 232-234.

[21] Y. Jung, S.-J. Kweon, T. Lee, K. Jeong, S. Ha, and M. Je, "Dynamic-range-enhancement techniques for artifact-tolerant biopotential-acquisition ics," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 69, no. 7, pp. 3090-3095, 2022.

[22] M. Delgado-Restituto, A. Rodríguez-Pérez, A. Darie, C. Soto-Sánchez, E. Fernández-Jover, and Á. Rodríguez-Vázquez, "System-level design of a 64-channel low power neural spike recording sensor," *IEEE Trans. Biomed. Circuits Syst.,* vol. 11, no. 2, pp. 420-433, April 2017.

[23] Y. Jung *et al.*, "A wide-dynamic-range neural-recording IC with automatic-gain-controlled AFE and CT dynamic-zoom ΔΣ ADC for saturation-free closed-loop neural interfaces," *IEEE Journal of Solid-State Circuits,* vol. 57, no. 10, pp. 3071-3082, 2022.

[24] Z. Y. Bi, C. X. Xie, Y. X. Zhou, H. P. Wang, X. Y. Lü, and Z. G. Wang, "An Anti Stimulation Artifacts and M-waves Surface Electromyography Detector with a Short Blanking Time," in *2020 42nd Annu. Int. Conf. IEEE Eng. Med. Biol. Soc. (EMBC)*, 2020: IEEE, pp. 4126-4129.

[25] J. Debarros *et al.*, "Artefact-free recording of local field potentials with simultaneous stimulation for closed-loop deep-brain stimulation," in *2020 42nd Annu. Int. Conf. IEEE Eng. Med. Biol. Soc. (EMBC)*, 2020: IEEE, pp. 3367-3370.

[26] C. W. Huang, C. K. Lai, C. C. Hung, C. Y. Wu, and M. D. Ker, "A CMOS Synchronized Sample-and-Hold Artifact Blanking Analog Front-End Local Field Potential Acquisition Unit With ±3.6-V Stimulation Artifact Tolerance and Monopolar Electrode-Tissue Impedance Measurement Circuit for Closed-Loop Deep Brain Stimulation SoCs," *IEEE Trans. Circuits Syst. I: Reg. Papers,* June 2023.

[27] Z. Qiu, A. T. Nguyen, K. Su, Z. Yang, and J. Xu, "A High Precision, Wide Dynamic Range Closed-Loop Neuromodulation IC with Rapid Stimulation Artifact Recovery," *IEEE transactions on biomedical circuits and systems,* 2023.

[28] Y. Erez, H. Tischler, A. Moran, and I. Bar-Gad, "Generalized framework for stimulus artifact removal," *Journal of neuroscience methods,* vol. 191, no. 1, pp. 45-59, 2010.

[29] Z. Qiu, A. T. Nguyen, K. Su, Z. Yang, and J. Xu, "A High Precision, Wide Dynamic Range Closed-Loop Neuromodulation IC with Rapid Stimulation Artifact Recovery," *IEEE Trans. Biomed. Circuits Syst.,* April 2023.

[30] A. Shadmani *et al.*, "Stimulation and artifact-suppression techniques for in vitro high-density microelectrode array systems," *IEEE Trans. Biomed. Eng.,* vol. 66, no. 9, pp. 2481-2490, Sept. 2019.

[31] A. Erbslöh, R. Viga, K. Seidl, and R. Kokozinski, "Artefact-suppressing analog spike detection circuit for firing-rate measurements in closed-loop retinal neurostimulators," *IEEE Sens. J.,* vol. 22, no. 12, pp. 11328-11335, June 2021.

[32] Y. Chen *et al.*, "A digitally assisted, signal folding neural recording amplifier," *IEEE transactions on biomedical circuits and systems,* vol. 8, no. 4, pp. 528-542, 2014.

[33] A. E. Mendrela *et al.*, "A bidirectional neural interface circuit with active stimulation artifact cancellation and cross-channel common-mode noise suppression," *IEEE Journal of Solid-State Circuits,* vol. 51, no. 4, pp. 955-965, 2016.

[34] R. Muller, S. Gambini, and J. M. Rabaey, "A 0.013 mm2, 5μW, DC-Coupled Neural Signal Acquisition IC With 0.5 V Supply," *IEEE J. Solid-State Circuits,* vol. 47, no. 1, pp. 232-243, Jan. 2011.

[35] H. Kassiri *et al.*, "Battery-less tri-band-radio neuro-monitor and responsive neurostimulator for diagnostics and treatment of neurological disorders," *IEEE Journal of Solid-State Circuits,* vol. 51, no. 5, pp. 1274-1289, 2016.

[36] M. Sayedi and H. Kassiri, "A Highly-Scalable Area-Efficient ADC-Direct Neural Recording Front-End with Proportional-Integral Single-Bit Feedback," in *2023 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, 2023: IEEE, pp. 1-5.

[37] T. Moeinfard and H. Kassiri, "A 200GΩ-Z IN,< 0.2%-THD CT-ΔΣ-Based ADC-Direct Artifact-Tolerant Neural Recording Circuit," in *2022 IEEE Int. Symp. Circuits Syst. (ISCAS)*, 2022: IEEE, pp. 1901-1905.

[38] C. Lee *et al.*, "A 6.5-μW 10-kHz BW 80.4-dB SNDR G m-C-Based CTΔ∑ Modulator With a Feedback-Assisted G m Linearization for Artifact-Tolerant Neural Recording," *IEEE J. Solid-State Circuits,* vol. 55, no. 11, pp. 2889-2901, Nov. 2020.

[39] M. R. Pazhouhandeh, A. Amirsoleimani, I. Weisspapir, P. Carlen, and R. Genov, "Adaptively clock-boosted auto-ranging neural-interface for emerging neuromodulation

applications," *IEEE Trans. Biomed. Circuits Syst. ,* vol. 16, no. 6, pp. 1138-1152, Dec. 2022.

[40] B. Razavi, *Design of analog CMOS integrated circuits*. Mc Graw Hill Education, 2017.

[41] H. Chandrakumar and D. Marković, "A high dynamic-range neural recording chopper amplifier for simultaneous neural recording and stimulation," *IEEE Journal of Solid-State Circuits,* vol. 52, no. 3, pp. 645-656, 2017.

[42] Q. Fan, F. Sebastiano, J. H. Huijsing, and K. A. Makinwa, "A 1.8 μW 60 nV √Hz Capacitively-Coupled Chopper Instrumentation Amplifier in 65 nm CMOS for Wireless Sensor Nodes," *IEEE Journal of Solid-State Circuits,* vol. 46, no. 7, pp. 1534-1543, 2011.

[43] H. Chandrakumar and D. Marković, "A high dynamic-range neural recording chopper amplifier for simultaneous neural recording and stimulation," *IEEE J. Solid-State Circuits,* vol. 52, no. 3, pp. 645-656, March 2017.

[44] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An energy-efficient micropower neural recording amplifier," *IEEE Transactions on Biomedical Circuits and Systems,* vol. 1, no. 2, pp. 136-147, 2007.

[45] T. Kobayashi, K. Nogami, T. Shirotori, and Y. Fujimoto, "A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture," *IEICE transactions on electronics,* vol. 76, no. 5, pp. 863-867, 1993.

[46] J. Montanaro *et al.*, "A 160-mhz, 32-b, 0.5-w CMOS RISC microprocessor," *IEEE Journal of Solid-State Circuits,* vol. 31, no. 11, pp. 1703-1714, 1996.

[47] Y.-T. Wang and B. Razavi, "An 8-bit 150-mhz cmos a/d converter," *IEEE Journal of Solid-State Circuits,* vol. 35, no. 3, pp. 308-317, 2000.

[48] L. Chen, A. Sanyal, J. Ma, X. Tang, and N. Sun, "Comparator common-mode variation effects analysis and its application in SAR ADCs," in *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2016: IEEE, pp. 2014-2017.

[49] C.-C. Liu, S.-J. Chang, G.-Y. Huang, and Y.-Z. Lin, "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure," *IEEE Journal of Solid-State Circuits,* vol. 45, no. 4, pp. 731-740, 2010.

[50] Z. Zhu, Y. Xiao, W. Wang, Y. Guan, L. Liu, and Y. Yang, "A 1.33 μW 10-bit 200KS/s SAR ADC with a tri-level based capacitor switching procedure," *Microelectronics Journal,* vol. 44, no. 12, pp. 1132-1137, 2013.

[51] B. P. Ginsburg and A. P. Chandrakasan, "500-MS/s 5-bit ADC in 65-nm CMOS with split capacitor array DAC," *IEEE Journal of Solid-State Circuits,* vol. 42, no. 4, pp. 739-747, 2007.

[52] E. Rahimi and M. Yavari, "Energy-efficient high-accuracy switching method for SAR ADCs," *Electron. Lett.,* vol. 50, no. 7, pp. 499-501, 2014.

[53] R. R. Harrison, "The design of integrated circuits to observe brain activity," *Proceedings of the IEEE,* vol. 96, no. 7, pp. 1203-1216, 2008.

[54] D. M. Das, A. Srivastava, A. Gupta, K. Barot, and M. S. Baghini, "A noise-power-area optimized novel programmable gain and bandwidth instrumentation amplifier for biomedical applications," in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2017: IEEE, pp. 1-4.

[55] R. Nagulapalli, K. Hayatleh, S. Barker, S. Zourob, and N. Yassine, "An OTA gain enhancement technique for low power biomedical applications," *Analog Integrated Circuits and Signal Processing,* vol. 95, pp. 387-394, 2018.

[56] M. Yavari and T. Moosazadeh, "A single-stage operational amplifier with enhanced transconductance and slew rate for switched-capacitor circuits," *Analog Integr. Circuits Signal Process.,* vol. 79, pp. 589-598, April 2014.

[57] M.-A. Mohtasham-Nia and M. Yavari, "A Low-Power Low-Noise Neural Recording Amplifier with Improved Telescopic-Cascode OTA," in *2021 Iranian Int. Conf. Microelectronics (IICM)*, Dec, 2021: IEEE, pp. 1-6.

[58] M. Mohtashamnia and M. Yavari, "A low-power low-noise neural recording amplifier with an improved recycling telescopic-cascode OTA," *AEU - Int. J. Electron. Commun.,* vol. 154, no. 9, pp. 1-11, Sept. 2022.

[59] F. Ansari and M. Yavari, "A fully-differential chopper capacitively-coupled amplifier with high input impedance for closed-loop neural recording," *Circuits Syst. Signal Process.,* vol. 41, no. 7, pp. 3679-3705, Feb. 2022.

[60] M. S. Steyaert and W. M. Sansen, "A micropower low-noise monolithic instrumentation amplifier for medical purposes," *IEEE J. Solid-State Circuits,* vol. 22, no. 6, pp. 1163-1168, Dec. 1987.

[61] R. Muller, S. Gambini, and J. M. Rabaey, "A 0.013 mm2, 5μW, DC-Coupled Neural Signal Acquisition IC With 0.5 V Supply," *IEEE Journal of Solid-State Circuits,* vol. 47,

no. 1, pp. 232-243, 2011.

[62] P. Harpe, "Low-Power SAR ADCs: Basic Techniques and Trends," *IEEE Open Journal of the Solid-State Circuits Society,* vol. 2, pp. 73-81, 2022.

[63] R. Sanjay, V. Senthil Rajan, and B. Venkataramani, "A low-power low-noise and high swing biopotential amplifier in 0.18 µm CMOS," *Analog Integr. Circuits Signal Process.,* vol. 96, pp. 565-576, May 2018.

[64] A. Samiei and H. Hashemi, "A chopper stabilized, current feedback, neural recording amplifier," *IEEE Solid-State Circuits Lett.,* vol. 2, no. 3, pp. 17-20, March 2019.

[65] D. Luo, M. Zhang, and Z. Wang, "A low-noise chopper amplifier designed for multi-channel neural signal acquisition," *IEEE J. Solid-State Circuits,* vol. 54, no. 8, pp. 2255-2265, Aug. 2019.

[66] X. Zhang, J. Wang, and Z. Zhu, "A low-power low-noise amplifier with fully self-biased feedback loop structure for neural recording," *Analog Integr. Circuits Signal Process.,* vol. 99, pp. 199-208, Feb. 2019.

[67] S. R. Venishetty, S. Kumaravel, and S. A. Durai, "A power efficient low-noise source degenerated bio-potential amplifier," *Analog Integr. Circuits Signal Process.,* vol. 103, no. 2, pp. 291-301, March 2020.

[68] X. Liu, M. Zhang, A. G. Richardson, T. H. Lucas, and J. Van der Spiegel, "Design of a closed-loop, bidirectional brain machine interface system with energy efficient neural feature extraction and PID control," *IEEE Trans. Biomed. Circuits Syst.,* vol. 11, no. 4, pp. 729-742, Aug. 2016.

[69] A. Nikas, S. Jambunathan, L. Klein, M. Voelker, and M. Ortmanns, "A continuous-time delta-sigma modulator using a modified instrumentation amplifier and current reuse DAC for neural recording," *IEEE J. Solid-State Circuits,* vol. 54, no. 10, pp. 2879-2891, Oct. 2019.

[70] A. Samiei and H. Hashemi, "A bidirectional neural interface SoC with adaptive IIR stimulation artifact cancelers," *IEEE J. Solid-State Circuits,* vol. 56, no. 7, pp. 2142-2157, July 2021.

[71] Y. Jung *et al.*, "A wide-dynamic-range neural-recording IC with automatic-gain-controlled AFE and CT dynamic-zoom ΔΣ ADC for saturation-free closed-loop neural interfaces," *IEEE J. Solid-State Circuits,* vol. 57, no. 10, pp. 3071-3082, Oct. 2022.

[72] K. Jeong *et al.*, "A pvt-robust afe-embedded error-feedback noise-shaping sar adc with chopper-based passive high-pass iir filtering for direct neural recording," *IEEE Trans. Biomed. Circuits Syst. ,* vol. 16, no. 4, pp. 679-691, Aug. 2022.

[73] K. Jeong, S. Ha, and M. Je, "A 15.4-ENOB, Fourth-Order Truncation-Error-Shaping NS-SAR-Nested ΔΣ Modulator With Boosted Input Impedance and Range for Biosignal Acquisition," *IEEE J. Solid-State Circuits,* Feb. 2023.

Abstract

In recent decades, interest in studying and understanding brain activity has increased significantly. Examining neural signals is one of the powerful tools in this endeavor. For this purpose, two common methods of neural recording are used: conventional and closed-loop systems, with closed-loop systems being more efficient. However, the presence of large artifact signals resulting from neural stimulation has made the neural recording process challenging, necessitating strategies to address these issues.

In this work, an analog amplifier along with an analog-to-digital converter has been utilized. The analog amplifier consists of a low-noise amplifier, a variable gain amplifier with an automatic gain control circuit, and a voltage buffer. By employing source degeneration techniques and class AB output in the low-noise amplifier, suitable noise performance has been achieved. The use of a variable gain amplifier has also reduced the precision requirements of the analog-to-digital converter. Additionally, a 10-bit SAR analog-to-digital converter is used in this structure.

Finally, to ensure the circuit's performance, simulations were conducted using 0.18-micron technology in Cadence software. The proposed interface circuit, with a 1.8V power supply and at a temperature of 37 ˚C, consumes 9 μW for digitizing signals with a bandwidth of 10 kHz. The peak SNDR and dynamic range are 58.40 dB and 81.83 dB, respectively. These results are compared with previous works in this field.

Key Words: Closed-loop neural recording, Variable Gain Amplifier (VGA), Low-noise, Low-power, Analog-to-Digital Converter (ADC).

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Design of Analog Front-End and ADC for Closed-Loop Neural Recording

By
Mohammadamin Mohtashamnia

Supervisor
Dr. Mohammad Yavari

July 2024