Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Digital Background Histogram Based Calibration in Pipelined A/D Converters

By
Mohammad Mirzahosseini

Supervisor
Dr.Mohammad Yavari

Feb 2019

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی‌ارشد

گرایش مدارهای مجتمع الکترونیک

عنوان پایان نامه

کالیبراسیون پس‌زمینه دیجیتال مبتنی بر هیستوگرام در مبدل های آنالوگ به دیجیتال Pipeline

نگارش

محمد میرزاحسینی

استاد راهنما

دکتر محمد یاوری

ماه و سال

بهمن ۱۳۹۷

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

اینجانب محمد میرزاحسینی متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

محمد میرزاحسینی

امضا

تقدیم به مادر و پدرِ گران‌قدرم

اگر مهری به دل دارم، اگرعـــــــــــشقی به سر دارم
یقینا مـــــــــــادرم داده و یـا ارث از پـــــــدر دارم

چو مـــــــــادر یاورم باشد، پـــــدر باشد دعـا گویم
نه از بیـــگانه بـاکـم هست، نه پـروا از خـطـر دارم

اگر روزی شکستم عهد، میان مـــــــــادر و فرزند
خداوندا تو کاری کن که جان از تـــــــن به در دارم

پـــــــدر عمری به زحمت بود، دل مـــادر پر از غصه
از ایـــن درد جـــــــــگرسوزم دلـی غرق شرر دارم

اگر روزی برم از یاد، وفای آن دو عاشـــــــــــق را
مرا دیگر نه غیرت هست، نه نامی از پســـــــر دارم

اگر ارثی مرا باید، مرا مهر پـــــــــــــدر کافیست
نه حرص مال و ملکم هست، نه چشم سـیم و زر دارم

اگـر عشق پـــــدر ورزم، وگـــر مـــــــادر نیـازارم
بـدون شـــــک در ایـن وادی خـــدا را در نـظر دارم

تشکر و قدردانی

از درگاه خداوند دانا کمال حمد و سپاس را دارم که امید به او، همواره انگیزه بخش و یادش آرامش بخش مسیر زندگی‌ام بوده است. از خانواده‌ی صبورم که از آغاز دوران تحصیل با محبت و حمایت بی-دریغشان، همواره حامی و مشوق اصلی من بوده‌اند بینهایت سپاسگذارم. همچنین لازم می‌دانم کمال تشکر و قدردانی را از زحمات استاد بزرگوارم جناب آقای دکتر محمد یاوری که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، داشته باشم. همچنین از زحمات دوستان عزیزم، خانم مهندس دودانگه، مهندس رحمانی، دکتر تمدن، دکتر یعقوبی، دکتر سعید براتی، دکتر مهدی براتی و سایر دوستان در آزمایشگاه طراحی مدارهای مجتمع تشکر می‌نمایم که از تجربیاتشان، بنده را بهره‌مند ساختند و از خداوند متعال، موفقیت و سعادتشان را خواستارم. ضمن آنکه از آقای دکتر محسن معزی و آقای دکتر سعید شریفیان که اساتید دفاع این پایان‌نامه بودند، سپاسگزاری می‌کنم.

چکیده

با کاهش ابعاد در تکنولوژی‌های نانومتری CMOS و کاهش بهره ذاتی ترانزیستورها، در کنار کاهش حداکثر مقدار منبع تغذیه، طراحی تقویت‌کننده‌های عملیاتی با بهره، سوئینگ و خطینگی بالا، برای استفاده در مبدل‌های Pipeline، عملا بسیار سخت بوده است. بنابراین به دلیل عدم تطبیق بین خازن-ها و نقایص بیان شده از تقویت‌کننده‌های عملیاتی، رسیدن به دقت‌های بالای ۱۰ بیت برای این مبدل‌ها بسیار سخت است. از این‌رو استفاده از تکنیک‌های کالیبراسیون، برای دستیابی به دقت‌های بالا اجتناب ناپذیر است.

در روش پیشنهادی این پایان‌نامه، خطاها با دو رویکرد مختلف به صورت پس‌زمینه‌ای یک تخمین اولیه و غیردقیق زده می‌شوند. سپس با کمک روش مکمل ارائه شده در حالت پس‌زمینه این مقادیر اولیه به سمت مقادیر دقیقشان تنظیم می‌شوند و در ادامه تغییرات را دنبال می‌کنند. در این روش‌ها برای کالیبراسیون خطاها از ترکیبی از روش‌های مبتنی بر یکسان‌سازی، تغییر آستانه‌ی مقایسه‌گر و هیستوگرام به همراه ویژگی‌های هندسی منحنی مشخصه انتقالی مبدل Backend و همچنین منحنی مشخصه انتقالی خروجی مبدل و تاثیر خطاهای مطرح شده بر روی آن‌ها استفاده شده است. پس از ارائه روش کالیبراسیون پیشنهادی، ابتدا این روش در سطح سیستمی در نرم‌افزار MATLAB پیاده‌سازی شده و کارایی آن مورد بررسی قرار گرفته است. سپس، یک مبدل آنالوگ به دیجیتال نرخ نایکوئیست Pipeline با سرعت نمونه‌برداری 100MS/s و دقت ۱۲ بیت در تکنولوژی ۹۰ نانومتر CMOS با ولتاژ تغذیه یک ولت به کمک نرم‌افزارهای Cadence و Hspice طراحی و شبیه‌سازی می‌شود. با استفاده از روش کالیبراسیون پیشنهادی، مقادیر SNDR و SFDR مبدل به‌ترتیب معادل 31.06 dB و 41.02 dB بهبود می‌یابند، همچنین این مبدل در زمانی حدود ۱۴ میلی ثانیه برای نرخ نمونه‌برداری 100 MS/s همگرا می‌شود. توان مصرفی این مبدل نیز ۴۰/۳ میلی وات اندازه‌گیری شده است.

واژه‌های کلیدی:

مبدل آنالوگ به دیجیتال Pipeline، کالیبراسیون، خطای بهره محدود تقویت‌کننده، عدم تطبیق خازن-ها، غیرخطینگی تقویت‌کننده، تکنولوژی‌های نانومتر CMOS

فهرست مطالب

صفحه

۱- فصل اول مقدمه ۱

۱-۱- مقدمه ۲

۱-۲- اهداف پایان‌نامه ۵

۱-۲-۱- کارهای صورت گرفته در آزمایشگاه طراحی مدارهای مجتمع ۶

۱-۳- ساختار پایان‌نامه ۷

۲- فصل دوم مبدل‌های آنالوگ به دیجیتال Pipeline ۹

۲-۱- مقدمه ۱۰

۲-۲- اساس مبدل‌های آنالوگ به دیجیتال ۱۰

۲-۳- مشخصات عملکردی مبدل آنالوگ به دیجیتال ۱۴

۲-۳-۱- مشخصات استاتیک ۱۵

۲-۳-۲- مشخصات دینامیک ۱۷

۲-۴- انواع مبدل های آنالوگ به دیجیتال نرخ نایکوئیست ۱۸

۲-۴-۱- مبدل آنالوگ به دیجیتال FLASH ۱۹

۲-۴-۲- مبدل آنالوگ به دیجیتال Two Step ۲۰

۲-۴-۳- مبدل آنالوگ به دیجیتال Pipeline ۲۱

۲-۵- اجزای سازنده مبدل آنالوگ به دیجیتال Pipeline ۲۵

۲-۵-۱- مدار نمونه بردار و نگه دار ورودی ۲۶

۲-۵-۲- زیر مبدل آنالوگ به دیجیتال ۲۶

۲-۵-۳- مدار MDAC ۲۸

۳- فصل سوم منابع خطا و روش‌های کالیبراسیون در مبدل‌های Pipeline ۳۱

۳-۱- مقدمه ۳۲

۳-۲- منابع خطا در مبدل آنالوگ به دیجیتال Pipeline ۳۲

۳-۲-۱- آفست مقایسه‌گر ۳۲

۳-۲-۲- خطای بهره ۳۳

۳-۲-۳- غیرخطینگی تقویت‌کننده ۳۴

۳-۳- روش‌های کالیبراسیون خطا در مبدل Pipeline ۳۴

۳-۳-۱- روش‌های کالیبراسیون آنالوگ ۳۵

۳-۳-۱-۱- روش بیت اضافی ۳۵

۳-۳-۱-۲- روش ضرب نسبت مستقل (RIM) ۳۶

۳-۳-۱-۳- میانگین‌گیری خطای خازن‌ها ۳۷

۳-۳-۱-۴- تنظیم ظرفیت خازن‌ها ۳۸

۳-۳-۲- روش‌های کالیبراسیون دیجیتال ۳۹

۳-۳-۲-۱- روش‌های مبتنی بر همبستگی ۳۹
۳-۳-۲-۲- روش‌های مبتنی بر یکسان‌سازی ۴۲
۳-۳-۲-۳- روش‌های مبتنی بر تغییر ولتاژ آستانه مقایسه‌گر ۴۴
۳-۳-۲-۴- روش‌های مبتنی بر هیستوگرام ۴۷

۴- فصل چهارم روش کالیبراسیون پیشنهادی خطا ۵۲

۴-۱- مقدمه ۵۳
۴-۲- ساختار مناسب برای مبدل Pipeline ۵۴
۴-۲-۱- مدل سازی رفتاری تقویت‌کننده ۵۵
۴-۳- مدل‌سازی خطاهای MDAC ۱/۵ بیتی ۵۶
۴-۴- روش کالیبراسیون پیشنهادی ۵۸
۴-۴-۱- روش اول پیشنهادی برای تخمین اولیه ضرایب MDAC ۶۴
۴-۴-۲- روش دوم پیشنهادی برای تخمین اولیه ضرایب MDAC ۷۰
۴-۴-۳- محاسبه ضرایب معکوس با استفاده از نتایج تخمین اولیه ۷۲
۴-۴-۴- روش پیشنهادی تنظیم و دنبال‌کننده تغییرات ضرایب کالیبراسیون ۷۳
۴-۴-۵- تغییر ولتاژ آستانه مقایسه‌گرها ۷۶
۴-۴-۶- بلوک‌های تخمین‌گر حداکثر و حداقل کد مبتنی بر هیستوگرام ۷۷
۴-۴-۷- سخت افزار مورد نیاز برای روش پیشنهادی ۷۸

۵- فصل پنجم پیاده سازی روش پیشنهادی ۸۰

۵-۱- مقدمه ۸۱
۵-۲- طراحی اجزای سازنده مبدل Pipeline ۸۲
۵-۲-۱- تعیین ظرفیت خازن‌های طبقات مبدل ۸۲
۵-۲-۲- نحوه حذف مدارنمونه‌بردار ورودی ۸۵
۵-۲-۳- طراحی تقویت‌کننده ۸۷
۵-۲-۴- طراحی مقایسه‌گر ۹۴
۵-۲-۵- طراحی سوئیچ‌ها ۹۶
۵-۲-۶- طراحی کدکننده و تهسیم‌کننده ۱۰۰
۵-۳- تعیین ولتاژهای مرجع ۱۰۴
۵-۴- شبیه سازی سیستمی ۱۰۵
۵-۴-۱- شبیه‌سازی روش‌های تخمین اولیه ۱۰۷
۵-۴-۲- شبیه‌سازی روش تنظیم و دنبال‌کننده ۱۱۰
۵-۵- شبیه سازی مداری ۱۱۲
۵-۵-۱- بررسی عملکرد المان های مداری ۱۱۲
۵-۵-۱-۱- بررسی رفتار تقویت‌کننده ۱۱۲
۵-۵-۱-۲- بررسی رفتار مقایسه‌گر ۱۱۵
۵-۵-۱-۳- بررسی رفتار سوئیچ Bootstrapped ۱۱۶

۵-۵-۲- بررسی عملکرد مبدل آنالوگ به دیجیتال Pipeline ۱۱۷
۵-۶- مقایسه مبدل آنالوگ به دیجیتال Pipeline ۱۲۲
۶- فصل ششم نتیجه گیری و پیشنهادات ۱۲۴
۶-۱- نتیجه‌گیری ۱۲۵
۶-۲- پیشنهادات ۱۲۶
مراجع ۱۳۴

فهرست شکل‌ها

صفحه

شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال [۱] ۱۱
شکل (۲-۲): منحنی انتقالی کوانتایزر n بیتی [۴] ۱۳
شکل (۲-۳): مدل کوانتایزر [۳, ۱۰] ۱۴
شکل (۲-۴): منحنی مشخصه انتقالی خروجی یک مبدل ایده‌آل [۳] ۱۵
شکل (۲-۵): الف) خطای آفست و ب) خطای بهره [۳] ۱۶
شکل (۲-۶): خطای غیرخطینگی DNL و INL [۱] ۱۷
شکل (۲-۷): مبدل آنالوگ به دیجیتال Flash [۱] ۱۹
شکل (۲-۸): مبدل آنالوگ به دیجیتال Two Step [۴] ۲۱
شکل (۲-۹): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال Pipeline ۲۲
شکل (۲-۱۰): مفهوم مبدل Backend در مبدل Pipeline ۲۴
شکل (۲-۱۱): مدل نویز کوانتایزر در مبدل آنالوگ به دیجیتال Pipeline [۴] ۲۴
شکل (۲-۱۲): مقایسه‌گر تزویج‌خازنی ۲۷
شکل (۲-۱۳): ساختار MDAC الف) CNFA و ب) CFA برای طبقه ۱/۵ بیتی ۲۹
شکل (۳-۱): اثر آفست مقایسه‌گر بر روی منحنی مشخصه انتقالی طبقه ۱ بیتی ۳۳
شکل (۳-۲): اثر خطای بهره بر منحنی مشخصه انتقالی طبقه ۱/۵ بیتی ۳۳
شکل (۳-۳): اثر غیرخطینگی تقویت‌کننده بر منحنی مشخصه انتقالی طبقه ۱/۵ بیتی ۳۴
شکل (۳-۴): اثر آفست مقایسه‌گر بر منحنی مشخصه انتقالی الف) طبقه ۱ بیتی ب) طبقه ۱/۵ بیتی ۳۶
شکل (۳-۵): اصلاح خطا به روش ضرب نسبت مستقل [۱۸] ۳۶
شکل (۳-۶): روش میانگین‌گیری خطای خازن‌ها [۱۹] ۳۸
شکل (۳-۷): روش تنظیم ظرفیت خازن‌ها [۱۲] ۳۸
شکل (۳-۸): روش HDC برای تصحیح اعوجاج مرتبه mام [۲۲] ۴۰
شکل (۳-۹): اساس روش مبتنی بر یکسان‌سازی ۴۲
شکل (۳-۱۰): روش کالیبراسیون ارائه شده در [۱۵]، الف)مشخصه ایده‌آل و واقعی مبدل و سیگنال‌های آزمون اعمالی و ب) نحوه همگرایی با استفاده از روش ارائه شده ۴۴
شکل (۳-۱۱): نحوه قرارگیری مقایسه‌گرهای طبقه ۱/۵ بیتی موجود در [۳۰] ۴۵
شکل (۳-۱۲): منحنی مشخصه انتقالی طبقه و ب) منحنی مشخصه انتقالی خروجی مبدل روش ارائه شده در [۳۰] ۴۶
شکل (۳-۱۳): هیستوگرام خروجی الف) ایده‌آل و ب) با خطای بهره ۴۷
شکل (۳-۱۴): کالیبراسیون خطا به روش DBGE ۴۸
شکل (۳-۱۵): هیستوگرام کدهای مبدل پشتی حول نقطه ی تصمیم گیری طبقه ۴۹

شکل (۴-۱): الف)مدل تقویت‌کننده در حالت حلقه باز و ب) مدل معکوس تقویت‌کننده در حالت حلقه بسته..۵۶
شکل (۴-۲): مدار سوئیچ‌شونده‌خازنی تکسر یک طبقه ۱/۵ بیتی با ساختار CNFA [۱۵]..... ۵۷
شکل (۴-۳): تقسیم بندی نواحی منحنی مشخصه انتقالی طبقه ۱/۵ بیتی از روی کد زیر مبدل آنالوگ به دیجیتال..... ۵۹
شکل (۴-۴): نمایش نقاطی که مختصات آن ها برروی محور ورودی به مقدار ولتاژ تصمیم‌گیری مقایسه‌گرها منطبق هستند..... ۶۱
شکل (۴-۵): مفهوم دقت مبدل Backend..... ۶۲
شکل (۴-۶): منحنی مشخصه انتقالی مبدل Backend..... ۶۳
شکل (۴-۷): نمایش نحوه محاسبه شیب یک ناحیه از منحنی مشخصه انتقالی Backend..... ۶۵
شکل (۴-۸): نمایش نحوه انتقال حداکثر کد ناحیه i برروی منحنی ناحیه ii..... ۶۶
شکل (۴-۹): نمایش مشخصه انتقالی بعد از تغییر ولتاژ آستانه مقایسه‌گر..... ۶۸
شکل (۴-۱۰): نمایش نحوه بدست آمدن کد حداکثر جدید در ناحیه ii..... ۶۹
شکل (۴-۱۱): تقسیم بندی نواحی منحنی مشخصه انتقالی خروجی مبدل از روی محل ناپیوستگی‌ها و کد زیر مبدل آنالوگ به دیجیتال..... ۷۰
شکل (۴-۱۲): نمایش مدل‌سازی MDAC و معکوس آن در مبدل Pipeline..... ۷۱
شکل (۴-۱۳): نمایش الف)روند عادی تولید خروجی در مبدل Pipeline و ب) روند تولید خروجی با روش تنظیم پیشنهادی ضرایب معکوس..... ۷۳
شکل (۴-۱۴): ارتفاع شکستگی‌های موجود در منحنی مشخصه انتقالی طبقه..... ۷۴
شکل (۴-۱۵): منحنی مشخصه انتقالی مبدل Backend بعد از ضریب η_3..... ۷۵
شکل (۴-۱۶): نمایش ناپیوستگی‌های در مرز تغییر کد زیر مبدل آنالوگ به دیجیتال جهت رفع خطا..... ۷۶
شکل (۴-۱۷): نحوه تغییر ولتاژهای آستانه مقایسه‌گرها به کمک سیگنال‌های کنترلی..... ۷۷
شکل (۴-۱۸): ساختار کلی بلوک دیاگرام تخمینگر حداقل یا حداکثر..... ۷۷
شکل (۵-۱): مدل نویز حرارتی مدار MDAC الف) در فاز نمونه برداری و ب) فاز تقویت..... ۸۴
شکل (۵-۲): دو مسیر موجود در طبقه اول در فاز نمونه برداری..... ۸۶
شکل (۵-۳): تقویت‌کننده مورد استفاده در طبقات مبدل [۲۷]..... ۸۹
شکل (۵-۴): مدل سیگنال کوچک تقویت‌کننده حلقه باز..... ۹۰
شکل (۵-۵): نویز ارجاع یافته به ورودی تقویت‌کننده طبقه اول..... ۹۲
شکل (۵-۶): مدار بایاس استفاده شده برای تقویت‌کننده مورد نظر..... ۹۳
شکل (۵-۷): مدار فیدبک مشترک مورد استفاده در طبقه دوم تقویت‌کننده..... ۹۳
شکل (۵-۸): نمایش الف) ساختار مقایسه‌گر استفاده شده و ب) نحوه تولید ولتاژ آستانه در مقایسه‌گر توزیع بار ۹۵
شکل (۵-۹): ساختار سوئیچ Bootstraped مورد استفاده [۵۶]..... ۹۸
شکل (۵-۱۰): نمایش سوئیچ‌های استفاده شده در الف) مدار MDAC و ب) مدار فیدبک مشترک تقویت‌کننده

و ج) مدار مقایسه‌گر تزویج خازنی در زیر مبدل آنالوگ به دیجیتال ۱۰۰
شکل (۵-۱۱): ساختار کدکننده و تهسیم‌کننده در زیر مبدل آنالوگ به دیجیتال طبقه ۱/۵ بیتی ۱۰۱
شکل (۵-۱۲): ساختار کدکننده و مبدل Flash ۲ بیتی ۱۰۲
شکل (۵-۱۳): نمایش الف) گیت NAND سه ورودی و ب) گیت NOT ۱۰۳
شکل (۵-۱۴): طیف خروجی ناشی از شبیه سازی سیستمی مبدل Pipeline بدون کالیبراسیون ۱۰۶
شکل (۵-۱۵): نتایج شبیه سازی روش تخمین اول برای β_1 ..... ۱۰۷
شکل (۵-۱۶): نتایج شبیه سازی روش تخمین اول برای β_3 ..... ۱۰۸
شکل (۵-۱۷): نتایج شبیه سازی روش تخمین دوم برای β_1 ..... ۱۰۸
شکل (۵-۱۸): نتایج شبیه سازی روش تخمین اول برای β_3 ..... ۱۰۹
شکل (۵-۱۹): طیف خروجی مبدل Pipeline با اعمال روش تخمین اولیه پیشنهادی ۱۰۹
شکل (۵-۲۰): طیف خروجی ناشی از اعمال روش کالیبراسیون تنظیم پیشنهادی ۱۱۰
شکل (۵-۲۱): روند همگرایی ضرایب معکوس MDAC ۱۱۱
شکل (۵-۲۲): منحنی بهره تقویت‌کننده طبقه اول در گوشه‌های مختلف تکنولوژی ۱۱۳
شکل (۵-۲۳): منحنی فاز تقویت‌کننده طبقه اول در گوشه‌های مختلف تکنولوژی ۱۱۳
شکل (۵-۲۴): منحنی پاسخ پله تقویت‌کننده طبقه اول در گوشه‌های مختلف تکنولوژی ۱۱۴
شکل (۵-۲۵): طیف خروجی تقویت‌کننده طبقه اول ۱۱۴
شکل (۵-۲۶): منحنی زمانی برای آزمون Overdrive الف) ورودی مقایسه‌گر با فاز φ_1 و ب) خروجی مثبت مقایسه‌گر با فاز φ_1 در ۱۱۶
شکل (۵-۲۷): طیف خروجی مدار نمونه‌بردار با استفاده از سوئیچ Bootstrapped طراحی شده ۱۱۷
شکل (۵-۲۸): طیف خروجی مبدل را قبل از اعمال روش کالیبراسیون پیشنهادی در گوشه TT ۱۱۸
شکل (۵-۲۹): طیف خروجی مبدل پس از اعمال روش تخمین اولیه پیشنهادی در گوشه TT ۱۱۹
شکل (۵-۳۰): طیف خروجی مبدل پس از اعمال روش تنظیم و دنبال‌کننده پیشنهادی در گوشه TT ۱۲۰
شکل (۵-۳۱): طیف خروجی مبدل پس از اعمال روش تنظیم و دنبال‌کننده پیشنهادی در گوشه FF ۱۲۰
شکل (۵-۳۲): طیف خروجی مبدل پس از اعمال روش تنظیم و دنبال‌کننده پیشنهادی در گوشه SS ۱۲۱
شکل (۵-۳۳): منحنی تغییرات SFDR و SNDR بر حسب فرکانس ورودی بعد از اعمال روش کالیبراسیون پیشنهادی ۱۲۱

فهرست جدول‌ها

صفحه

جدول (۳-۱): جدول نحوه تولید خروجی طبقه ۱/۵ بیتی کار انجام شده در [۳۰]..... ۴۶
جدول (۳-۲): خلاصه‌ای از انواع روش‌های کالیبراسیون دیجیتال به‌صورت پس‌زمینه..... ۵۰
جدول (۴-۱): تعداد گیت‌های اجزای تشکیل دهنده‌ی روش‌های پیشنهادی..... ۷۹
جدول (۵-۱): ظرفیت خازن‌های نمونه برداری طبقات..... ۸۵
جدول (۵-۲): ابعاد المان‌های بکار رفته در تقویت‌کننده مورد نظر و مدار بایاس آن..... ۹۴
جدول (۵-۳): ابعاد المان‌های مورد استفاده برای مقایسه‌گر..... ۹۶
جدول (۵-۴): ابعاد المان‌های سوئیچ Bootstrapped..... ۹۹
جدول (۵-۵): حالت‌های مختلف خروجی مقایسه‌گرها، کدکننده و تسهیم‌کننده در طبقه ۱/۵ بیتی..... ۱۰۲
جدول (۵-۶): ابعاد المان‌های مورد استفاده در تسهیم‌کننده ۱/۵ بیتی..... ۱۰۲
جدول (۵-۷): حالت‌های مختلف خروجی مقایسه‌گرها و کدکننده در مبدل Flash..... ۱۰۳
جدول (۵-۸): ابعاد المان‌های مورد استفاده در گیت‌های NOT و NAND..... ۱۰۴
جدول (۵-۹): نسبت خازن‌های مدار تزویج خازنی مقایسه‌گرها..... ۱۰۵
جدول (۵-۱۰): مقایسه نتایج انواع روش‌های کالیبراسیون..... ۱۲۲

واژه‌نامه

آستانه	Threshold
اعوجاج	Distortion
الگوریتم	Algorithm
پشتی	Backend
امید ریاضی	Expected Value
ایستا	Static
باند گذار	Transition band
مبتنی یکسان‌سازی	Equalization-Based
بیت پرارزش	Most Significant bit (MSB)
بیت اضافی	Redundancy bit
بیت کم‌ارزش	Least Significant Bit (LSB)
بیش‌نمونه‌برداری	Oversampling
پارازیتی	Parasitic
پس‌زمینه‌ای	Background
پیش‌زمینه‌ای	Foreground
تابع ارزیابی	Cost function
تاخیر	Delay

Folding	تاشدن
Update	تجدید
Spectrum Analyzer	تحلیل‌کننده طیف
Chip	تراشه
Channel charge injection	تزریق بار کانال
Capacitive coupling	تزویج خازنی
Analog trimming	تصحیح آنالوگ
Adaptive	تطبیقی
Effective Number Of bits (ENOB)	تعداد بیت موثر
Resolution	تفکیک‌پذیری
Telescopic Amplifier	تقویت‌کننده تلسکوپی
Folded cascade Amplifier	تقویت‌کننده کسکود تاشده
Sample & Hold Amplifier (SHA)	تقویت‌کننده نمونه‌بردار و نگه‌دار
Single-ended	تک‌سر
Phase margin	حاشیه فاز
Linearity	خطینگی
Interpolation	درون‌یابی
Track & Hold	دنبال‌کننده و نگه‌دار
Settling time	زمان نشست
Overload	سرریز

سرعت چرخش	Slew rate (SR)
شکاف	Gap
شیب	Ramp
عدم‌تطبیق	Mismatch
فرکانس بهره‌واحد	Unity gain frequency
فرکانس نمونه‌برداری	Sampling frequency
فیدبک مد مشترک	Common Mode Feedback
کد حرارتی	Thermal code
کد گمشده	Missing code
کدکننده	Decoder
مبدل آنالوگ به دیجیتال	Analog-to-Digital Converter (ADC)
مبدل دیجیتال به آنالوگ	Digital-to-Analog Converter (DAC)
محدوده دینامیکی	Dynamic range
مدار سوئیچ‌شونده خازنی	Switch Capacitor (SC) Circuit
مدار نمونه‌بردار	Sampling circuit
مدارهای مجتمع	Integrated circuits
وابسته به سیگنال	Signal dependent
مصالحه	Tradeoff
معیار شایستگی	Figure of Merit (FoM)
مقایسه‌گر	Comparator

منحنی انتقالی	Transfer curve
میانگین‌گیری خطای خازن	Capacitor error averaging
نهفتگی	Latency
نرخ نایکوئیست	Nyquist rate
نردبان مقاومتی	Resistance ladder
نشت	Leakage
نویز شبه‌تصادفی	Pseudo random noise
نویز فلیکر	Flicker noise
ولتاژ باقیمانده	Residue Voltage
همبستگی	Correlation

اختصارنامه

ADC	Analog to Digital Converter
CFA	Capacitor Flip Around
CM	Common Mode
CMFB	Common Mode Feedback
CMOS	Complementary Metal-Oxide Semiconductor
CNFA	Capacitor Non Flip Around
DAC	Digital to Analog Converter
DNC	DAC Noise Cancelation
DNL	Differential Non-Linearity
DR	Dynamic Range
ENOB	Effective Number of bits
FFT	Fast Fourier Transform
FoM	Figure of Merit
FS	Full Scale
HDC	Harmonic Distortion Correction
INL	Integral Non-Linearity
LMS	Least Mean Squares
LSB	Least Significant bit
MDAC	Multiplying Digital to Analog Convereter
MOS	Metal-Oxide-Semiconductor
MSB	Most Significant bit
MSE	Mean Square Error

MUX	Multiplexer
OpAmp	Operational Amplifier
PN	Psuedo-random Noise
RIM	Ratio-independent multiplication
SC	Switched Capacitor
SFDR	Spurious Free Dynamic Range
SHA	Sample and Hold Amplifier
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SR	Slew Rate
THD	Total Harmonic Distortion

مراجع

[1] B. Razavi, "*Principles of data conversion system design,*" IEEE press New York, 1995.

[2] B. Razavi, "*RF microelectronics,*" Prentice Hall New Jersey, 1998.

[3] F. Maloberti, "*Data converters,*" Springer Science & Business Media, 2007.

[4] M. Yavari, "*Data converters,*" class notes, Amirkabir University of Technology, 2017.

[5] U.-K. Moon and B.-S. Song, "Background digital calibration techniques for pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 44, pp. 102-109, Feb. 1997.

[6] B. Zeinali, "*Digital Background Correction of Circuits Nonlinearity in Pipelined A/D Converters,*" Master science dissertation, Amirkabir University, 2012.

[7] M. A. Montazerolghaem, "*Digital Background Calibration in Pipelined ADCs,*" Master science dissertation, Amirkabir University, 2014.

[8] T. M. Hamzehkandi, "*Design and Calibration of Opamp-Less Pipelined Analog-to-Digital Converters,*" Ph.D dissertation, Amirkabir University, 2015.

[9] P. Gholami, "*High Precision Digital Background Calibration of Pipelined ADCs,*" Master science dissertation, Amirkabir University, 2017.

[10] B. Murmann and B. E. Boser, "*Digitally assisted pipeline ADCs theory and implementation,*" Springer Science & Business Media, 2007.

[11] S. Hashemi and O. Shoaei, "A 0.9 V 10-bit 100 MS/s switched-RC pipelined ADC without using a front-end S/H in 90nm CMOS," *IEEE International Symposium on Circuits and Systems*, pp. 13-16, 2008.

[12] J. Li, "*Accuracy enhancement techniques in low-voltage high-speed pipelined ADC design,*" Ph.D. dissertation, Oregon State University, 2003.

[13] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang and Y. Guo, "A 1.8-V 22-mW 10-bit 30-MS/s pipelined CMOS ADC for low-power subsampling applications," *IEEE Journal of Solid-State Circuits,* vol. 43, pp. 321-329, Feb. 2008.

[14] I. Mehr and L. Singer, "A 55-mW, 10-bit, 40-Msample/s Nyquist-rate CMOS ADC," *IEEE Journal of Solid-State Circuits,* vol. 35, pp. 318-325, Mar. 2000.

[15] B. D. Sahoo and B. Razavi, "A 12-bit 200-mhz cmos adc," *IEEE journal of solid-state circuits,* vol. 44, pp. 2366-2380, Sep. 2009.

[16] B. Razavi, "*Design of analog CMOS integrated circuits,*" 2005.

[17] S. H. Lewis, H. S. Fetterman, G. F. Gross, R. Ramachandran, and T. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE Journal of Solid-State Circuits,* vol. 27, pp. 351-358, Mar. 1992.

[18] P.-W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A ratio-independent algorithmic analog-to-digital conversion technique," *IEEE Journal of Solid-State Circuits,* vol. 19, pp. 828-836, Dec. 1984.

[19] B.-S. Song, M. F. Tompsett, and K. R. Lakshmikumar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter," *IEEE Journal of Solid-State Circuits,* vol. 23, pp. 1324-1333, Dec. 1988.

[20] Y.-M. Lin, B. Kim, and P. R. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-mu m CMOS," *IEEE Journal of Solid-State Circuits,* vol. 26, pp. 628-636, Apr. 1991.

[21] Y. Miyahara, M. Sano, K. Koyama, T. Suzuki, K. Hamashita, and B.-S. Song, "A 14b 60 MS/s pipelined ADC adaptively cancelling opamp gain and nonlinearity," *IEEE Journal of Solid-State Circuits,* vol. 49, pp. 416-425, Feb. 2014.

[22] A. Panigada and I. Galton, "A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction," *IEEE Journal of Solid-State Circuits,* vol. 44, pp. 3314-3328, Dec. 2009.

[23] Y.-S. Shu and B.-S. Song, "A 15-bit linear 20-MS/s pipelined ADC digitally calibrated with signal-dependent dithering," *IEEE Journal of Solid-State Circuits,* vol. 43, pp. 342-350, Feb. 2008.

[24] I. Galton, "Digital cancellation of D/A converter noise in pipelined A/D converters," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 47, pp. 185-196, Mar. 2000.

[25] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A predetermined LMS digital background calibration technique for pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 62, pp. 841-845, Oct. 2015.

[26] A. Verma and B. Razavi, "A 10-bit 500-ms/s 55-mw cmos adc," *IEEE Journal of Solid-State Circuits,* vol. 44, pp. 3039-3050, Nov. 2009.

[27] B. Zeinali, T. Moosazadeh, M. Yavari, and A. Rodriguez-Vazquez, "Equalization-based digital background calibration technique for pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 22, pp. 322-333, Jan. 2014.

[28] S.-H. W. Chiang, H. Sun, and B. Razavi, "A 10-bit 800-mhz 19-mw cmos adc," *IEEE Journal of Solid-State Circuits,* vol. 49, pp. 935-949, Apr. 2014.

[29] L. Shi, W. Zhao, J. Wu, and C. Chen, "Digital background calibration techniques for pipelined ADC based on comparator dithering," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 59, pp. 239-243, Apr. 2012.

[30] N. Sun, "Exploiting process variation and noise in comparators to calibrate interstage gain nonlinearity in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 59, pp. 685-695, Apr. 2012.

[31] L. Brooks and H.-S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 55, pp. 2969-2979, Nov. 2008.

[32] A. Chegeni, K. Hadidi, and A. Khoei, "A Histogram-Based Background Interstage Error Estimation and Implementation Method in Pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 65, pp. 1519-1523, 2018.

[33] P. Gholami and M. Yavari, "Digital background calibration with histogram of decision

points in pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 65, pp. 16-20, Nov. 2018.

[34] T. Moosazadeh and M. Yavari, "A calibration technique for pipelined adcs using self-measurement and histogram-based test methods," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 62, pp. 826-830, Oct. 2015.

[35] C. Ravi, T. Rahul, and B. Sahoo, "Histogram based deterministic digital background calibration for pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* pp. 569-574, 2014.

[36] B. Cheongyuen, "*Digitally Calibrated Analog-to-Digital Converters in Deep Sub-micron CMOS,*" Ph.D. dissertation, Berkeley University, 2008.

[37] R. G. Massolini, G. Cesura, and R. Castello, "A fully digital fast convergence algorithm for nonlinearity correction in multistage ADC," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 53, pp. 389-393, May 2006.

[38] T. Moosazadeh and M. Yavari, "A novel digital calibration technique for pipelined ADCs," *IEICE Electronics Express,* vol. 7, pp. 1741-1746, Nov. 2010.

[39] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A Single Channel Split ADC Structure for Digital Background Calibration in Pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 25, pp. 1563-1567, Apr. 2017.

[40] S. H. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE transactions on circuits and systems II: Analog and digital signal processing,* vol. 39, pp. 516-523, Aug. 1992.

[41] J. Li and U.-K. Moon, "Background calibration techniques for multistage pipelined ADCs with digital redundancy," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 50, pp. 531-538, Sep. 2003.

[42] O. Oliaei, "Thermal noise analysis of multi-input SC-integrators for delta-sigma modulator design," *IEEE International Symposium on Circuits and Systems,* pp. 425-428, May 2000.

[43] L. Toth, I. Yusim, and K. Suyama, "Noise analysis of ideal switched-capacitor networks," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications,* vol. 46, pp. 349-363, Mar. 1999.

[44] D. W. Cline, "*speed and power tradeoffs in pipelined Analog to Digital Converters,*" Ph.D. dissertation, Berkeley University, 1998.

[45] P. T. Kwok and H. C. Luong, "Power optimization for pipeline analog-to-digital converters," *IEEE transactions on circuits and systems II: Analog and digital signal processing,* vol. 46, pp. 549-553, May 1999.

[46] I. Ahmed, "*Pipelined ADC design and enhancement techniques,*" Springer Science & Business Media, 2010.

[47] R. Lotfi, M. Taherzadeh-Sani, M. Y. Azizi, and O. Shoaei, "A low-power design methodology for high-resolution pipelined analog-to-digital converters," *IEEE International Symposium on Low power electronics and design*, pp. 334-339, Aug. 2003.

[48] D.-Y. Chang, "Design techniques for a pipelined ADC without using a front-end sample-and-hold amplifier," *IEEE transactions on circuits and systems I: regular papers,* vol. 51, pp. 2123-2132, Nov. 2004.

[49] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS

pipelined ADC," *IEEE Journal of Solid-State Circuits,* vol. 39, pp. 2126-2138, Dec. 2004.

[50] A. M. Ali, C. Dillon, R. Sneed, A. S. Morgan, S. Bardsley, J. Kornblum*, et al.*, "A 14-bit 125 MS/s IF/RF sampling pipelined ADC with 100 dB SFDR and 50 fs jitter," *IEEE Journal of Solid-State Circuits,* vol. 41, pp. 1846-1855, Aug. 2006.

[51] K. Bult and G. J. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain," *IEEE Journal of Solid-State Circuits,* vol. 25, pp. 1379-1384, Dec. 1990.

[52] M. Das, "Improved design criteria of gain-boosted CMOS OTA with high-speed optimizations," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 49, pp. 204-207, Mar. 2002.

[53] T. B. Cho and P. R. Gray, "A 10 b, 20 Msample/s, 35 mW pipeline A/D converter," *IEEE journal of solid-state circuits,* vol. 30, pp. 166-172, Mar. 1995.

[54] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio/spl Delta//spl Sigma/modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE Journal of Solid-State Circuits,* vol. 36, pp. 349-355, Mar. 2001.

[55] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE Journal of Solid-State Circuits,* vol. 34, pp. 599-606, May.1999.

[56] M. Yavari, "*Low-Voltage High-Perforrmance Sigma-Delta Modulators for Broadband Applications,*" Ph.D. dissertation, Tehran University, July 2006.

[57] A. M. Abo, "*Design for reliability of low-voltage, switched-capacitor circuits,*" Ph.D. dissertation, Berkeley University, 1999.

[58] M. J. Pelgrom, A. C. Duinmaijer, and A. P. Welbers, "Matching properties of MOS transistors," *IEEE Journal of solid-state circuits,* vol. 24, pp. 1433-1439, Oct. 1989.

[59] A. Ravindran, A. Savia, and J. Leonard, "Digital error correction and calibration of gain non-linearities in a pipelined ADC," *IEEE International Symposium on Circuits and Systems,* pp. I-I, 2004.

Abstract

By decreasing dimensions in CMOS nanoscale technologies and decreasing intrinsic productivity of transistors, along with reduction in maximum power supply, designing Op-Amps with high productivity, swing and alignment for being used in Pipeline Data converters, has been practically tough. Therefore, because of the mismatching capacitors and the defects mentioned in Op-Amps, achieving resolutions above 10 bits for these data converters is very difficult. Hence, using calibration techniques is inevitable to reach high resolutions .

In the proposed method in this dissertation, errors were initially and non-precisely estimated via two different background approaches. Then, through the presented complementary method, the initial values were neared to the exact values in background mode and then followed the changes. In these methods, calibration of errors were done using a combination of equalization-based method, changing threshold in comparator and histogram along with the geometric properties of special transition curve of Backend data converter and the output special transition curve of the converter as well as the effects of the mentioned defects on them. After presenting the suggested calibration method, in systemic level, the method was first modeled in MATLAB software and efficiency of which was investigated. Then, an analog-to-digital nyquist-rate Pipeline converter was designed and simulated with a sampling rate of 100MS/s and a 10 bit resolution in 90 nanometer CMOS technology and 1 volt power supply, via softwares Cadence and Hspice. Using the suggested calibration method, the converter's SFDR and SNDR values were optimized to 31.06dB and 41.02dB respectively. In addition, the converter converged for about 14ms for the sampling rate of 100MS/s. The power consumption of the converter was measured at 40.3 milliwatts.

Key words: analog-to-digital Pipeline converter, calibration, Op-Amp limited productivity error, non-matching capacitors, misalignment of Op-Amp, CMOS nanoscale technologies

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Digital Background Histogram Based Calibration in Pipelined A/D Converters

By
Mohammad Mirzahosseini

Supervisor
Dr.Mohammad Yavari

Feb 2019