Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of Low Power successive approximation register (SAR) converters

By:
Mohammad Khoshakhlagh

Under Supervision of:
Dr. Mohammad Yavari

June 2012

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد
(گرایش الکترونیک)

طراحی و شبیه‌سازی مبدل‌های آنالوگ به دیجیتال توان پایین با معماری SAR

نگارش:
محمد خوش اخلاق

استاد راهنما:
دکتر محمد یاوری

خرداد ۱۳۹۱

بسم الله الرحمن الرحیم

تقدیم

به

پدر و مادرم که مرا در همه عمر یار و یاور و پناه بوده اند.

تشکر و قدردانی

در آغاز لازم می‌دانم که از زحمات استاد و معلم گرامی، جناب آقای دکتر محمد یاوری که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، کمال تشکر و قدردانی را داشته باشم. همچنین از زحمات دوستان عزیزم، آقایان اشرف، اینانلو، مجرد، شاه قاسمی، پاک نیت، زینلی و موسی زاده که در نگارش این پایان‌نامه یاری‌ام نمودند، تشکر می‌نمایم و از خداوند متعال، توفیق روزافزونشان را خواستارم. ضمن آنکه از جناب آقای دکتر نبوی و جناب آقای دکتر کاتوزیان که زحمت دفاع این پایان‌نامه را متقبل شدند، سپاسگزاری می‌نمایم.

بار دیگر لازم می‌دانم که از زحمات و حمایت‌های بی‌دریغ پدر و مادر بزرگوارم تشکر و قدردانی نمایم. بدون تردید بدون حمایت و دلگرمی این عزیزان، پیمودن این راه برایم مقدور نبود.

چکیده

امروزه در بسیاری کاربردها همچون سنسورهای بی‌سیم، مهندسی پزشکی و تجهیزات قابل‌حمل کاهش مصرف انرژی از اولویت زیادی برخوردار است. در بین مبدل‌های آنالوگ به دیجیتال، مبدل‌های SAR از ویژگی‌های خاصی برخوردارند. این مبدل‌ها به گونه‌ای طراحی می‌شوند که دارای سرعت‌های پایین و متوسط بوده در عین حال دارای توان مصرفی بسیار پایین‌تری نسبت به سایر مبدل‌های آنالوگ به دیجیتال می‌باشند. این مبدل‌ها دارای الگوریتم ساده‌ای می‌باشند. مهمترین اجزای مبدل‌های SAR عبارتند از مقایسه کننده، مبدل دیجیتال به آنالوگ (DAC) و قسمت کنترل کننده دیجیتال. از بین این سه قسمت، قسمت DAC یکی از مهمترین بخش‌هایی است که نظر طراحان را برای بهبود عملکرد به خود اختصاص داده است. این قسمت به‌گونه‌ای است که اولا بخش مهمی از توان مصرفی مبدل را به خود اختصاص می‌دهد. ثانیا با توجه به اینکه قسمت DAC در مبدل‌های SAR عموما به صورت خازنی طراحی می‌شود لذا بخش عمده‌ای از فضای اشغالی توسط یک مبدل SAR در این قسمت صرف می‌گردد. ثالثا از آنجایی که سوییچینگ و کنترل قسمت DAC توسط قسمت دیجیتال کنترل می‌شود لذا نحوه عملکرد DAC به طور مستیم روی توان قسمت دیجیتال اثر دارد.

در این پایان‌نامه، با توجه به اهمیت قسمت DAC روی بهبود عملکرد این قسمت تمرکز شده است. لذا طرحی پیشنهاد شده که با استفاده از آن تعداد دفعات سوییچ کردن در قسمت DAC تا حدود 50% کاهش می‌یابد و سوییچ کردن‌های پر مصرف نیز حذف شده‌اند. همچنین مقدار کل خازن مصرفی در این قسمت تا حدود 40% کاهش یافته است. این امور باعث کاهش توان مصرفی در قسمت DAC تا حدود 87% نسبت به مبدل‌های SAR معمولی شده است.

در این طرح با تقسیم ولتاژ ترشلد به دو قسمت، مبدلی با ساختار SAR، با فرکانس نمونه‌برداری 100 KS/s و دقت 10 بیت، در تکنولوژی 0.18 um CMOS و در ولتاژ مرجع یک ولت با حداقل توان مصرفی طراحی و شبیه‌سازی شده است. شبیه‌سازی این مبدل با استفاده از نرم‌افزار HSPICE صورت پذیرفته است. نتایج شبیه‌سازی‌ها نشان داده است که مبدل فوق دارای SNDR برابر با 59.3 dB و ENOB برابر با 9.55 بیت می‌باشد. این در حالی است که مبدل فوق تنها 6.21 میکرو وات توان مصرف می‌نماید.

کلمات کلیدی: مبدل آنالوگ به دیجیتال، DAC خازنی، سوییچینگ، شبکه خازنی و ولتاژ ترشلد

فهرست مطالب

فصل اول: مقدمه ۷

۱-۱ انگیزه ۷

۱-۲ اهداف این پایان‌نامه ۸

۱-۳ ساختار پایان‌نامه ۸

فصل دوم: مروری بر مبدل‌های آنالوگ به دیجیتال ۱۰

۲-۱ اساس کار مبدل‌های آنالوگ به دیجیتال ۱۰

۲-۲ پارامترهای سنجش عملکرد یک مبدل آنالوگ به دیجیتال ۱۴

۲-۳ انواع مبدل‌های آنالوگ به دیجیتال ۱۵

۲-۴ مبدل‌های آنالوگ به دیجیتال SAR ۱۷

فصل سوم: مروری بر بعضی از مبدل‌های آنالوگ به دیجیتال SAR ۳۲

۳-۱ روش Split capacitor ۳۲

۳-۲ روش Energy saving ۳۴

۳-۳ روش Monotonic ۳۷

۳-۴ روش Dual sampling ۳۹

۳-۵ روش Two step-split junction ۴۱

۳-۶ روش Multi step capacitor splitting ۴۱

۳-۷ روش Charge sharing ۴۱

۳-۸ روش Capacitve- resistive ۴۱

فصل چهارم: مبدل SAR پیشنهاد شده ۴۳

۴-۱ اصول کاهش توان در طرح پیشنهادی ۴۳

۴-۲ بسترسازی برای اجرای اصول کاهش توان در DAC ۴۶

۴-۳ توضیح مبدل SAR پیشنهادی ۵۰

۴-۴ بررسی انرژی سوییچینگ در مبدل پیشنهادی ۵۴
۴-۵ پیاده‌سازی مداری مبدل SAR پیشنهادی ۵۵
فصل پنجم: نتایج شبیه‌سازی ،مقایسه، نتیجه گیری و پیشنهادات ۶۴
۵-۱ شبیه‌سازی رفتاری با استفاده از نرم افزار MATLAB ۶۵
۵-۲ شبیه‌سازی مداری ۶۶
۵-۳ مقایسه مبدل پیشنهادی با سایر مبدل‌های SAR ۷۰
۵-۴ نتیجه‌گیری ۷۲
۵-۵ پیشنهادات ۷۳
مراجع ۷۴

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال. ۱۱
شکل (۲-۲): مقایسه‌ی باند گذر برای دو مبدل الف) نرخ نایکوئیست و ب) بیش نمونه‌بردار. ۱۲
شکل (۲-۳): ساده‌ترین مدار نمونه‌بردار. ۱۲
شکل (۲-۴): مدل کوانتایزر. ۱۲
شکل (۲-۵): منحنی انتقالی کوانتایزر n بیتی. ۱۳
شکل (۲-۶): مبدل دو مرحله‌ای و نمودار زمانی آن. ۱۶
شکل (۲-۷): ساختار مبدل آنالوگ به دیجیتال با معماری پایپ‌لاین. ۱۷
شکل (۲-۸): بلوک دیاگرام یک مبدل SAR در حالت پایه. ۱۸
شکل (۲-۹): فلوچارت یک مبدل SAR در حالت پایه. ۱۹
شکل (۲-۱۰): نمودار نشان دهنده نحوه مقایسه ولتاژ ورودی با ولتاژ ترشلد در یک مبدل ۴ بیتی. ۲۰
شکل (۲-۱۱): یک نمونه از مقایسه کننده‌های دینامیک. ۲۱
شکل (۲-۱۲): کنترل کننده دیجیتال پیشنهاد شده توسط اندرسون برای یک مبدل ۴ بیتی. ۲۲
شکل (۲-۱۳): مدار DAC یک مبدل SAR در حالت پایه. ۲۳
شکل (۲-۱۴): مدار یک مبدل SAR در حالت پایه. ۲۴
شکل (۲-۱۵): قسمت DAC یک مبدل ۲بیتی SAR در حالت پایه. ۲۶
شکل (۲-۱۶): DAC یک مبدل ۲بیتی SAR در حالت پایه در زمان نگهداری. ۲۷
شکل (۲-۱۷): DAC یک مبدل ۲بیتی SAR در حالت پایه برای اولین مقایسه. ۲۷
شکل (۲-۱۸): DAC یک مبدل ۲بیتی SAR در دومین مقایسه در حالتی که اولین بیت صفر باشد. ۲۸
شکل (۲-۱۹): DAC یک مبدل SAR در دومین مقایسه در حالتی که اولین بیت یک باشد. ۲۹
شکل (۳-۱): مدار مبدل SAR از نوع Split capacitor [21] و [22]. ۳۳
شکل (۳-۲): مدار مبدل SAR به روش Energy saving [23]. ۳۵
شکل (۳-۳): روند سوییچنگ به همراه انرژی مصرفی به روش Energy saving برای حالت N=3. ۳۶
شکل (۳-۴): مدار یک مبدل SAR به روش Monotonic. ۳۸
شکل (۳-۵): فلوچارت عملکرد مبدل Monotonic. ۳۸
شکل (۳-۶): روند تولید بیت‌ها و انرژی سوییچینگ برای یک مبدل ۳ بیت به روش Monotonic. ۳۹
شکل (۳-۷): مبدل SAR از نوع Dual sampling. ۴۰
شکل (۴-۱): ترانزیشن یک مبدل دوبیتی در حالت پایه برای تولید $V_{REF}/4$ از $V_{REF}/2$. ۴۴

شکل (۴-۲): تولید ولتاژ $V_{REF}/4$ از $V_{REF}/2$ بدون اتصال مجدد به ولتاژ مرجع. ۴۵
شکل (۴-۳): نمودار رابطه ولتاژ ترشلد در هر مرحله با ولتاژ ترشلد مرحله قبل در حالت پایه..... ۴۷
شکل (۴-۴): مبدل SAR پیشنهادی..... ۵۱
شکل (۴-۵): وضعیت مبدل پیشنهادی در اولین فاز ریست..... ۵۲
شکل (۴-۶): فلوچارت عملکرد مبدل پیشنهادی..... ۵۳
شکل (۴-۷): سیگنال‌های کنترل کننده فازهای هر مرحله تولید بیت..... ۵۴
شکل (۴-۸): مدار مقایسه کننده استفاده شده در مدار مبدل پیشنهادی..... ۵۷
شکل (۴-۹): قسمت تولید کننده فازهای سه گانه و سیگنال‌های کنترل کننده سوییچ‌های شبکه CNY.. ۵۸
شکل (۴-۱۰): : سیگنال‌های متناظر با هر بیت و سیگنال تریگر و مدار تولید کننده آنها. ۶۰
شکل (۴-۱۱): مدار ثبت کننده بیت‌های خروجی و سوییچ کننده صفحه پایین خازن‌ها در شبکه CNX..۶۱
شکل (۴-۱۲): مدار سوییچ بوت استرپ که به عنوان سوییچ نمونه‌برداری S_P استفاده شده است..... ۶۲
شکل (۵-۱): نمودار انرژی سوییچینگ مصرف شده در مبدل پیشنهادی برای تفکیک‌پذیری ۱۰بیت ۶۶
شکل (۵-۲): مدار سوییچ کننده خازن‌های شبکه CNX. ۶۸
شکل (۵-۳): نمودار FFT طرح پیشنهادی حاصل از ۱۰۲۴ نقطه. ۶۹

فهرست جدول ها

جدول (۲-۱): الگوریتم SAR برای ADC ۸ بیتی. ۲۳
جدول (۴-۱): سوییچ‌هایی که در هر یک از فازها در CNY بسته می‌شوند. ۵۳
جدول (۵-۱): ابعاد ترانزیستورهای استفاده شده در مدار مقایسه کننده. ۶۶
جدول (۵-۲): ابعاد ترانزیستورها و خازن‌های استفاده شده در مدار سوییچ بوت استرپ. ۶۷
جدول (۵-۳): ابعاد معکوس کننده‌های استفاده شده در قسمت سوییچینگ CNX. ۶۸
جدول (۵-۴): مشخصات طرح پیشنهادی در این پایان‌نامه. ۷۰
جدول (۵-۵): مقایسه سیستمی روش پیشنهادی با چند طرح مهم. ۷۰
جدول (۵-۶): مقایسه طرح پیشنهادی با حدود بیست طرح انجام شده در زمینه مبدل‌های SAR. ۷۱

مراجع

[1] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 0.92 mW 10-bit 50-MS/s SAR ADC in 0.13 um CMOS process," in *IEEE Symp. VLSI Circuits Dig,* pp. 236-237, Jun. 2009.

[2] D. Draxelmayr, "A 6 b 600 MHz 10 mW ADC array in digital 90 nm CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 264–265, Feb. 2004.

[3] S. W. M. Chen and R. W. Brodersen, "A 6-bit 600-MS/s 5.3 mW asynchronous ADC in 0.13-umCMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 574–575, Feb. 2006.

[4] B. P. Ginsburg and A. P. Chandrakasan, "A 500 MS/s 5 b ADC in 65-nm CMOS," in *IEEE Symp. VLSI Circuits*, pp. 174–175, Jun. 2007.

[5] B. P. Ginsburg and A. P. Chandrakasan, "Highly interleaved 5 b 250 MS/s ADC with redundant channels in 65 nm CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 240–241, Feb. 2008.

[6] Z. Cao, S. Yan, and Y. Li, "A 32mW1.25 GS/s 6 b 2 b/step SAR ADC in 0.13 um CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 542–543, Feb. 2008.

[7] E. Alpman, H. Lakdawala, L. R. Carley, and K. Soumyanath, "A 1.1 V 50 mW 2.5 GS/s 7 b time-interleaved C-2C SAR ADC in 45 nm LP digital CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 76–77, Feb. 2009.

[8] S. M. Louwsma, A. J. M. van Tuijl, M. Vertregt, and B. Nauta, "A 1.35 GS/s, 10 b, 175 mW time-interleaved AD converter in 0.13 um CMOS," in *IEEE Symp. VLSI Circuits Dig.*, pp. 62–63, Jun. 2007.

[9] W. Liu, Y. Chang, S. K. Hsien, B. W. Chen, Y. P. Lee, W. T. Chen, T. Y. Yang, G. K. Ma, and Y. Chiu, "A 600 MS/s 30 mW 0.13 um CMOS ADC array achieving over 60 dB SFDR with adaptive digital equalization," in *IEEE ISSCC Dig. Tech. Papers*, pp. 82–83, Feb. 2009.

[10] F. Kuttner, "A 1.2-V 10-b 20-Msample/s nonbinary successive approximation ADC in 0.13-um CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 176–177, Feb. 2002.

[11] J. Craninckx and G. Van der Plas, "A 65 fJ/conversion-step 0-to-50 MS/s 0-to-0.7 mW 9 b charge-sharing SAR ADC in 90 nm digital CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 246–247, Feb. 2007.

[12] V. Giannini, P. Nuzzo, V. Chironi, A. Baschirotto, G. Van der Plas, and J. Craninckx, "An 820 uW 9 b 40 MS/s noise-tolerant dynamic-SAR ADC in 90 nm digital CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 238–239, Feb. 2008.

[13] M. Yavari, "Data converters," *Class notes*, Amirkabir University of Technology, Spring 2009.

[14] B. Razavi, "Principals of data conversion system design," *IEEE Press*, 1995.

[15] F. Maloberti, "Data converters," Springer-Verlag, 2007.

[16] D. Johns, and K. Martin, "Design of analog integrated circuits and systems," *John Wiley & Sons,* 1997.

[17] A. M. Abo, “Design for reliability of low-voltage, switched-capacitor circuits,” Ph.D. dissertation, University of California, Berkeley, 1999.

[18] J.Yang., T. Lin Naing. and Robert W. Brodersen" A 1 GS/s 6 Bit 6.7 mW Successive Approximation ADC Using Asynchronous Processing ", *IEEE J. Solid- State Circuits*, vol. 45, no. 8, Aug 2010.

[19] Chun-Cheng Liu, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure", *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp.731-740, Apr. 2010.

[20] T. O, Anderson, “Optimum Control logic for successive Approximation Analog-to-Digital converters,” *JPL Technical Report* vol. 8, pp. 168-176.

[21] B.P. Ginsburg and A.P. Chandrakasan, “An energy-efficient charge recycling approach for a SAR converter with capacitive DAC,” *IEEE Int. Symp. on Circuits and Systems*, pp. 184–187, May 2005.

[22] B.P. Ginsburg and A.P. Chandrakasan, “500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC,” *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 739-747, Apr. 2007.

[23] Y. Chang and C. Wang, “A 8-bit 500-kS/s low power SAR ADC for bio-medical applications,” *IEEE Asian Solid-State Circuits Conf.,* 2007, Jeju, Korea, pp. 228–231, Nov. 2007.

[24] B. Kim, L. Yan, J. Yoo and H. J. Yoo,” A 40fJ/c-s 1 V 10 bit SAR ADC with Dual Sampling Capacitive DAC Topology,” *Journal of Semiconductor Technology and Science*, vol. 11, no. 1, March. 2011.

[25] J. Lin, W. Yu and G.C. Temes, “Two-step split-junction SAR ADC,” *Electronics Letters*, vol. 46, no. 3, pp. 211-212, Feb. 2010.

[26] J. Lin, W. Yu and G.C. Temes, “Multi-step capacitor-splitting SAR ADC,” *Electronics Letters*, vol. 46, no. 21, pp. 1426-1428, Oct. 2010.

[27] F. Chen, A. P. Chandrakasan, V. Stojanović, “A low-power area-efficient switching scheme for charge-sharing DACs in SAR ADCs,” Custom Integrated Circuits Conference (CICC), 2010 IEEE, pp. 1 – 4.

[28] P. Otfinowski, “A 2.5MS/s 225 µW 8-bit charge redistribution SAR ADC for multichannel applications,” 2010 Proceedings of the 17th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES), pp. 182 – 185.

[29] H. C. Hong and G. M. Lee, “A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC,” *IEEE J. Solid-State Circuits*, vol. 42, no. 10, Oct. 2007.

[30] Agnes, E. Bonizzoni, P. Malcovati and F. Maloberti, “A 9.4-ENOB 1V 3.8µW 100 kS/s SAR ADC with Time- Domain Comparator,” in *IEEE ISSCC Dig. Tech. Papers*, pp. 246–247, Feb. 2008.

[31] A. Agnes , E. Bonizzoni ,P. Malcovati and F. Maloberti , “An ultra-low power successive approximation A/D converter,” *Analog Integr Circ Sig Process, Springer,* 2010.

[32] D. Zhang, A. Bhide, and A. Alvandpour, “A 53-nW 9.12-ENOB 1-kS/s SAR ADC in 0.13-µm CMOS for Medical Implant Devices,” in *proceedings of the 37th European Solid-State Circuits Conference (ESSCIRC)*, Helsinki, Finland, Sep. 12-16, 2011.

[33] J. McCreary and P. R. Gray, "All-MOS charge redistribution analog-todigital conversion techniques – Part-I," *IEEE J. Solid-State Circuits*, vol. SC-10, ,pp 371-379, Dec. 1975

[34] S. U. Ay, "A sub-1 Volt 10-bit supply boosted SAR ADC design in standard CMOS," *Analog Integr Circ Sig Process*, *Springer*, 2011.

[35] S. K. Lee, S. J. Park, Y. Suh, H. J. Park, and J. Y. Sim, "A 1.3 μW 0.6 V 8.7-ENOB successive approximation ADC in a 0.18 μm CMOS," *Symp. Tech. Dig.*, pp. 242–243, Jun. 2009.

[36] J. Marjonen , O. Vermesan and H. Rustad, "An 8-bit, 10 kHz, 5.1 uW, 0.18 um CMOS SAR ADC for RFID applications with sensing capabilities," *Springer, Analog Integr Circ Sig Process*, 2011.

[37] Z. Zeng, C. S. Dong and X. Tan, "A 10-bit 1MS/s Low Power SAR ADC for RSSI application," *IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2010.

[38] Y. Chang and C. Wang, "A 10-bit 500-KS/s Low Power SAR ADC with Splitting Comparator for Bio-Medical Applications," *IEEE Asian Solid-State Circuits Conf*, Taipei, Taiwan, pp. 149–152, Nov. 2009.

[39] R. Özgün, J. Lin and F. Tejada, "A Low-Power 8-bit SAR ADC for a QCIF Image Sensor," *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2011.

[40] H. C. Chow and Y. H. Chen, "A 1V 10-bit Successive Approximation ADC for Low Power Biomedical Applications," *18th European Conference on Circuit Theory and Design*, pp. 196 – 199, Oct. 2007.

[41] H. C. Chow, B.W. Chen, H. C. Chen, W. S. Feng, "A 1.8V, 0.3mW, 10-bit SA-ADC with New Self-timed Timing Control for Biomedical Applications*," IEEE International Symposium on Circuits and Systems*, vol.1, pp. 736-739, May. 2005.

[42] J. Sauerbrey, D. S. Landsiedel, R. Thewes, "A 0.5V 1-uW Successive Approximation ADC," *IEEE Journal of Solid States Circuits,* vol. 38, no. 7, pp.1261-1265, July. 2003.

[43] A. Rivetti, G. Anelli, F. Anghinolfi, G. Mazza and F. Rotondo, "A low-power 10-bit ADC in a 0.25-µm CMOS: design considerations and test results," *IEEE Transactions on Nuclear Science*, vol. 48, no. 4,pp 1225 – 1228, August 2001.

[44] H. Kim, Y. Min, Y. Kim, and S. Kim, "A low power consumption 10-bit rail-to-rail SAR ADC using a C-2C capacitor array," *IEEE International Conference on Electron Devices and Solid-State Circuits,. EDSSC*, pp. 1-4, Dec. 2008.

[45] N. Verma, A. P. Chandrakasan, "A 25µW 100kS/s 12b ADC for Wireless Micro-Sensor Applications," in *IEEE ISSCC Dig. Tech. Papers*, pp. 822 – 831, Feb. 2006.

[46] P. Confalonleri, M. Zarnprogno, F. Girardi, G. Nicollini and A. Nagari, "A 2.7mW 1MSps 10b analog-to-digital converter with built-in reference buffer and 1LSB accuracy programmable input ranges," *Proceeding of the 30th European Solid-State Circuits Conference, ESSCIRC* 2004, pp. 255 – 258.

[47] S. L. Long, J. H. Wu, X.J. Xia and L. X. Shi, "A 1.8-V 3.1 mW successive approximation ADC in system-on-chip," *Analog Integr Circ Sig Process, Springer,* 2008.

ABSTRACT

In mixed-signal systems, the analog-to-digital converters (ADCs) are needed to serve as the link between the analog and digital worlds. There are several ADC structures such as flash, pipeline, and successive-approximation register (SAR), and each ADC configuration is suitable for some specific applications. SAR ADCs have a moderate speed and moderate resolution with low power consumption. Therefore, they are one of the most suitable architectures for applications such as biomedical sensor interfaces and wireless sensor networks. SAR ADCs are composed of three major parts including one comparator, one digital-to-analog converter (DAC), and a digital controller. Many efforts have been performed to improve the performance of these building blocks.

In this dissertation, a new architecture for successive-approximation register (SAR) analog-to-digital converters (ADCs) is presented. In the proposed scheme, the threshold voltage for each comparison is divided into two parts. This results in appreciably less switching energy and less total capacitance without a substantial increase in digital complexity compared to the conventional SAR ADC. Analytical calculations and circuit level simulation results in the context of a 10-bit 100 kS/s ADC are provided to verify the usefulness of the proposed SAR ADC scheme revealing 87 % less switching power and 40 % less total capacitance in comparison with the conventional SAR ADC.

Keywords: Analog-to-digital converters, Successive-approximation register ADCs, Charge redistribution DACs, SAR logic

Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Design and Simulation of Low Power successive approximation register (SAR) converters

By:
Mohammad Khoshakhlagh

Under Supervision of:
Dr. Mohammad Yavari

June 2012