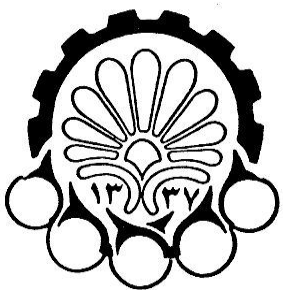


Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of Hybrid CT/DT Sigma-delta Modulators for Broadband Applications in 90nm CMOS Technology

By:
Mohammad Hossein Maghami

Under Supervision of:
Dr. Mohammad Yavari
Dr. Saeed Khatami

June 2009

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

(گرایش الکترونیک)

طراحی و شبیه‌سازی مدولاتورهای سیگما- دلتای ترکیبی زمان گسسته و زمان پیوسته برای کاربردهای باند وسیع در تکنولوژی ۹۰ نانومتر CMOS

نگارش

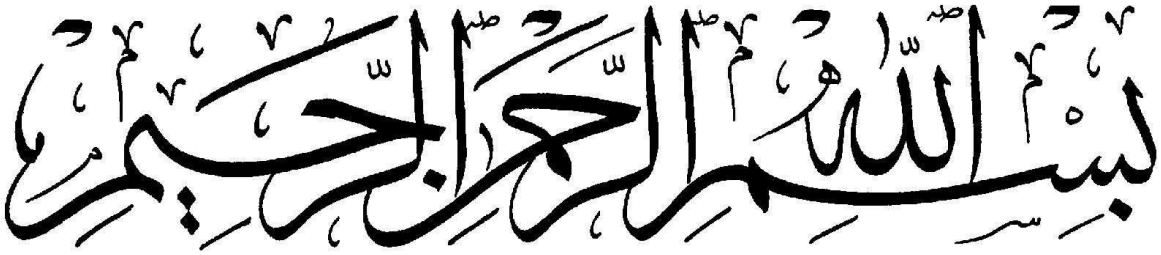
محمد حسین مقامی

اساتید راهنما

دکتر محمد یاوری

دکتر سعید خاتمی

تیرماه ۸۸


بسم الله الرحمن الرحيم

تقدیم به

پدر و مادر دلسوز و فداکارم

و

همه کسانی که دوستشان دارم.

تشکر و قدردانی

بدینوسیله از زحمات اساتید ارجمندم جناب آقای دکتر محمد یاوری و جناب آقای دکتر سعید خاتمی و دوستان عزیزم، مهندس حسین پاک نیت و مهندس ایمان خادمی و همچنین جناب آقای دکتر حسین شمسی که در طول انجام پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام کمال تشکر و قدردانی را دارم و از خداوند متعال سلامت و موفقیت‌شان را خواستارم. ضمن این که از آقای دکتر نبوی و آقای دکتر کاتوزیان که اساتید دفاع این پروژه بودند، تشکر می‌نمایم.

همچنین از کمیته نانو که امکانات مالی را برای انجام این پایان‌نامه فراهم کرده‌اند سپاسگزارم و از خداوند متعال بهترین‌ها را برایشان آرزومندم.

چکیده

مبدل‌های آنالوگ به دیجیتال با توجه به نرخ نمونه‌برداری آنها به دو دسته عمده مبدل‌های نرخ نایکوئیست و مبدل‌های بیش نمونه‌برداری دسته‌بندی می‌شوند. مبدل‌های بیش نمونه‌برداری با استفاده از تکنیک‌های بیش نمونه‌برداری و شکل‌دهی نویز کوانتیزاسیون دقت بالایی را به ازای کاهش پهنای باند سیگنال آنالوگ ایجاد می‌کنند. مدولاتورهای سیگما- دلتا که قسمت آنالوگ مبدل‌های آنالوگ به دیجیتال بیش نمونه‌برداری را تشکیل می‌دهند، معمولا به دو صورت فیلترهای زمان پیوسته و یا زمان گسسته پیاده‌سازی می‌شوند. هر کدام از این ساختارها مزایا و معایب خاص خود را دارند. مدولاتورهای زمان پیوسته برای کاربردهای سرعت بالا و دقت متوسط مناسب هستند. در حالی که مدولاتورهای زمان گسسته برای کاربردهای دقت بالا و سرعت پایین و متوسط مناسب هستند.

در این پروژه طراحی مبدل‌های آنالوگ به دیجیتال سیگما- دلتا با ساختار ترکیبی مدولاتورهای زمان گسسته و زمان پیوسته به منظور بهره‌گیری از مزایای هر دو ساختار، برای کاربردهای سرعت بالا مورد بررسی قرار خواهد گرفت. ابتدا ساختارهای مختلف به صورت سیستمی، به دقت بررسی شده و برای کاربردهای سرعت بالا و دقت بالا بهینه خواهند شد. سپس، پیاده‌سازی مداری آنها در سطح سیستمی مدل‌سازی شده و مشخصات مداری لازم برای تحقق ساختارهای سیستمی بررسی می‌شود. در نهایت، یک مدولاتور سیگما- دلتا با ساختار ترکیبی پیوسته در زمان- گسسته در زمان در سطح مداری تحقق داده خواهد شد. مشخصات مدولاتور مورد نظر با دقت ۱۳ بیت و نرخ نایکوئیست ۲۰ مگاهرتز و منبع تغذیه یک ولت می‌باشد که این مبدل طراحی شده می‌تواند در پیاده‌سازی سیستم‌هایی نظیر WiMAX مورد استفاده قرار گیرد. همچنین از تکنولوژی ۹۰ نانومتر CMOS و نرم‌افزارهای HSPICE و MATLAB-Simulink برای شبیه‌سازی آن استفاده خواهد شد. پارامتر نسبت بیش نمونه برداری برابر ۸ انتخاب شده است و توان مصرفی مدولاتور پیاده‌سازی شده، 22mW می‌باشد.

واژه‌های کلیدی: مبدل‌های آنالوگ به دیجیتال، مدارهای مجتمع آنالوگ CMOS، مدولاسیون سیگما- دلتا، مدولاتورهای زمان گسسته و زمان پیوسته، مدارهای سوئیچ شونده خازنی، مدارهای زمان پیوسته.

فهرست مطالب

چکیده ..... أ
فهرست مطالب ..... ب
فهرست شکل‌ها ..... ه
فهرست جداول ..... ط
فصل اول ۱
۱-۱ انگیزه ۱
۱-۲ ساختار پایان‌نامه ۵
فصل دوم ٦
۲-۱ مبدل‌های آنالوگ به دیجیتال ٦
۲-۲ نویز کوانتیزاسیون ۷
۲-۳ ملاک‌های شایستگی مبدل ۹
۲-۴ مبدل‌های آنالوگ به دیجیتال سیگما- دلتا ۱۱
۲-۴-۱ مدولاتورهای دلتا ۱۳
۲-۴-۲ مبدل‌های سیگما- دلتا ۱٤
۲-۴-۲-۱ مبدل سیگما- دلتا مرتبه اول ۱٤
۲-۴-۲-۲ مبدل‌های سیگما- دلتای مرتبه دو ۱۵
۲-۴-۲-۳ مدولاتورهای سیگما- دلتا مرتبه بالا ۱٦
فصل سوم ۲۲
۳-۱ مدولاتورهای سیگما- دلتای پیوسته در زمان ۲۲
۳-۲ مزیت‌های طراحی زمان پیوسته ۲۳
۳-۲-۱ بررسی سرعت تقویت‌کننده‌های انتگرال‌گیر زمان پیوسته ۲٤
۳-۲-۲ فیلتر آنتی الیاسینگ ذاتی مبدل‌های پیوسته در زمان ۲۵
۳-۳ چالش‌های پیش رو در طراحی مدولاتورهای پیوسته در زمان ۲۷
۳-۳-۱ عوامل غیر ایده‌آلی تقویت‌کننده عملیاتی ۲۷
۳-۳-۱-۱ تقویت‌کننده عملیاتی در انتگرال‌گیرهای گسسته در زمان ۲۸
۳-۳-۱-۲ تقویت‌کننده عملیاتی در انتگرال‌گیرهای پیوسته در زمان ۲۹
۳-۳-۲ عوامل غیر ایده‌آلی کوانتایزر و DAC ۳۱

۳-۳-۲-۱ تاخیر حلقه ۳۲
۳-۳-۲-۲ اثر جیتر کلاک بر عملکرد مدولاتور پیوسته در زمان ۳۳
۳-۳-۲-۲-۱ آنالیز خطای جیتر کلاک ناشی از عملکرد **DAC** ۳۵
۳-۳-۲-۳ تغییرات ثابت زمانی انتگرال‌گیرها ۳۶
۳-۴ مدولاتورهای زمان پیوسته در مقابل مدولاتورهای زمان گسسته ۳۷
۳-۵ تبدیل Impulse-Invariant ۳۸
۳-۶ تبدیل z اصلاح شده ۴۲
فصل چهارم ۴۴
۴-۱ مدل سازی رفتاری مدولاتورهای سیگما- دلتا ۴۴
۴-۲ ساختار مدولاتور ۴۵
۴-۳ مدولاتور سیگما- دلتا با ساختار مختلط، مناسب برای کاربردهای ولتاژ پایین و سرعت بالا ۴۶
۴-۳-۱ نمونه‌برداری دوبرابر ۴۷
۴-۳-۲ ارائه دو طرح برای دست‌یابی به اهداف پروژه ۴۹
۴-۳-۳ نتایج شبیه‌سازی ۵۸
۴-۴ مدولاتور سیگما- دلتای ترکیبی با ساختار SMASH، مناسب برای کاربردهای ولتاژ پایین و سرعت بالا ۶۳
۴-۴-۱ ساختار SMASH ۶۴
۴-۴-۲ مدولاتور ارائه شده با ساختار SMASH ۶۵
۴-۵ جمع بندی ۷۲
فصل پنجم ۷۳
۵-۱ مشکلات پیش رو در طراحی با تکنولوژی‌های نانومتر ۷۳
۵-۲ روشهای مختلف پیاده‌سازی انتگرال‌گیرهای پیوسته در زمان ۷۷
۵-۳ پیاده‌سازی مداری طبقه اول ۷۹
۵-۴ طراحی انتگرال‌گیر RC اول ۸۱
۵-۴-۱ طراحی تقویت‌کننده ۸۲
۵-۴-۱-۱ طراحی مدار بایاس ۸۴
۵-۴-۲ آنالیز نویز مدولاتور ۸۴
۵-۴-۳ نتایج شبیه‌سازی تقویت‌کننده‌های عملیاتی ۸۷
۵-۴-۴ کالیبراسیون DAC ۸۹

۵-۴-۵ طراحی کوانتایزر طبقه اول ۹۰
۵-۴-۶ مدار جمع کننده ۹۳
۵-۴-۷ تغییرات ثابت زمانی RC..... ۹۶
۵-۵ طراحی قسمت گسسته در زمان مدار..... ۹۷
۵-۵-۱ تقویت‌کننده عملیاتی ۹۸
۵-۵-۲ کوانتایزر ۱۰۱
۵-۵-۳ طراحی DAC ۱۰۱
۵-۵-۴ سوئیچ‌های به کار رفته در قسمت‌های مختلف سیستم..... ۱۰۲
۵-۶ شبیه‌سازی ساختار SMASH ۱۰۶
۵-۷ جمع‌بندی و مقایسه ۱۱۰
۵-۸ پیشنهادات ۱۱۱
مراجع ۱۱۳

مراجع

[1] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Mc Graw Hill, 2001.

[2] R. Schreier, and G.C. Temes, *Understanding Delta-Sigma Data Converters,* IEEE Press, 2005.

[3] M. Ortmanns and F. Gerfers, *Continuous-Time Sigma-Delta A/D Conversion*, Springer, 2005.

[4] S. D. Kulchycki, *Continuous-Time ΣΔ Modulation for High-Resolution, Broadband A/D Conversion*, Ph.D. thesis, Stanford University, CA, 2007.

[5] L. Yao, M. Steyaert, and W. Sansen, *Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS,* Springer, 2006.

[6] E. Boser, and B. A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE J. Solid-State Circuits*, Vol. 23, No. 6,pp. 1298-1308, Dec. 1988.

[7] D. Johns, and K. Martin, *Analog Integrated Circuit Design,* John Wiley & Sons, 1997.

[8] B. Razavi, *Principles of data conversion system design,* IEEE Press, 1995.

[9] S. Northworthy, R. Schreier, and G. Temes, *Delta-Sigma Data Converters*, IEEE Press, Piscataway, NJ, 1997

[10] E.I Jury, *Theory and applications of the Z-transform method*, John Wiley & Sons, New York, 1964.

[11] J.A. Cherry, and W.M. Snelgrove, *Continuous-time Delta-Sigma Modulators for high-speed A/D Conversion*, Kluwer Academic Publisher, Dordrecht, 1999.

[12] R. Schreier and B. Zhang, "Delta-sigma modulators employing continuous-time circuitry," *IEEE Transactions on Circuits and Systems – I*: Fundamnetal Theory and Applications, vol. 43, no. 4, pp. 324-332, Apr. 1996.

[13] S.Yan, *Baseband continuous-time sigma-delta analog-to-digital conversion for ADSL application*, Ph.D dissertation, Texas A&N University, December 2002.

[14] L. A. Williams, Modeling *and design of high-resolution sigma-delta modulators*, Ph.D. dissertation, Stanford University, Stanford, California, 1993.

[15] O. Shoaei, *Continuous-Time Delta-Sigma A/D Converters for High Speed Applications*, Ph.D. thesis, Carleton University, 1995.

[16] Z. Lowalczuk, "On discretization of continuous-time state-space models: a stable-normal approach," *IEEE Transactions on Circuits and Systems*, vol. 38, no. 12, pp. 1460-1477, Dec. 1991.

[17] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, and A. Baschirotto, "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators," *IEEE Transacions on Circuits and Systems_I: Fundamental Theory and Application*, Vol. 50, No. 3, pp. 352-364, Mar. 2003.

[18] F. Colodro and A. Torralba, "Multirate ΣΔ Modulators," *IEEE Transacions on Circuits and Systems II: Analog Digit. Signal Processing*, vol. 49, no. 3, pp. 170–176, Mar. 2003.

[19] P. J. Hurst and W. J. McIntyre, "Double-Sampling in Switched-Capacitor Delta-Sigma A/D Converters," *IEEE Int. Symp. on Circuits and Systems*, pp. 902-905, May 1990.

[20] T. K. Burmas, K. C. Dyer, P. J. Hurst, and S. H. Lewis, "A secondorder double-sampled delta-sigma modulator using additive-error switching," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 284-293, March 1996.

[21] D. Senderowicz, G. Nicollini, S. Pernici, A. Nagari, P. Confalonieri, and C. Dallavalle: 'Low-voltage double-sampled ΣΔ converters', *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1907–1919, Dec. 1997.

[22] P. Rombouts et al., "An approach to tackle quantization noise folding in double-sampling ΣΔ modulation A/D converters," *IEEE Transacions on Circuits and Systems II, Analog Digit. Signal Processing*, vol. 50, no. 4, pp. 157–163, Apr. 2003.

[23] P. Rombouts et al., "Systematic design of double-sampling ΣΔADC's with modified NTF," *IEEE Int. Symp. on Circuits and Systems*, pp. 401-404, 2004.

[24] M. Yavari, and O. Shoaei: 'Efficent double-sampled cascaded ΣΔ modulator topologies for low OSRs', *IEICE Electronics Express*, Vol. 2, no. 13, Jul. 2005.

[25] M. Yavari, O. Shoaei, and A. R. Vazquez: 'Double-Sampling Single-Loop ΣΔ modulator topologies for Broad-band Applications', *IEEE Transacions on Circuits and Systems II*, vol. 53, no. 4, Apr. 2006.

[26] J. Koh, Y. Choi, and G. Gomez, "A 66dB DR 1.2V 1.2mWsingle amplifier double-sampling 2nd order ΔΣ ADC for WCDMA in 90nm CMOS," in *ISSCC Digest Technical Papers*, pp. 170-171, Feb. 2005.

[27] S. Yan and E. Sánchez-Sinencio, "A continuous-time Delta-Sigma modulator with 88-dB dynamic range and 1.1-MHz signal bandwidth," *IEEE, J. of solid-state circuits*, vol. 39, no. 1, January, 2004.

[28] J. Silva et al., "Wideband low-distortion delta-sigma ADC topology," *Electron. Letters*, vol. 37, pp. 737–738, Jun. 2001.

[29] J. Maeyer, J. Raman, P. Roumbouts, and L. Weyten, "Controlled Behavior of STF in CT ΣΔ Modulators," *Electronics Letters*, vol. 41, no. 16, Aug. 2005.

[30] A.V. Oppenheim, R.W. Schafer, and J.R. Buck, *Discrete-Time Signal Processing*, Prentice Hall, 1999.

[31] M. Ortmanns, F. Gerfers, and Y. Manoli, "Compensation of finite gainbandwidth induced errors in continuous-time sigma-delta modulators," *IEEE Transacions on Circuits and Systems II* , Vol. 51, No. 6, pp. 1088–1100, Jun. 2004.

[32] N. Maghari, S, kwon, G. Temes, and U. Moon, "Sturdy MASH ΣΔ Modulator," *Electronics Letters*, vol. 42, no. 22, Oct. 2006.

[33] A. Morgado, R. del Rio, and J. de la Rosa, "Cascade ΣΔ Modulator for low-voltage wideband applications," *Electronics Letters*, vol. 43, no. 17, Aug. 2007.

[34] Z. Li, *Design of a 14-bit Continuous-Time Delta-Sigma A/D Modulator with 2.5MHz Signal Bandwidth*, Ph.D dissertation, Oregon State University, Jun. 2006.

[35] D. W. J. Groeneveld, H. J. Schouwenaars, H. A. H. Termeer, and C. A. A. Bastiaansen, "A self-calibration technique for monolithic highresolution D/A converters," *IEEE J. Solid-State Circuits*, vol. 24, pp. 1517–1522, Dec. 1989.

[36] R. Baird, and T. Fiez, "Linearity enhancement of multibit ΣΔ A/D and D/A converters using data weighted averaging," *IEEE Transactions on Circuits and Systems II*, Vol.42, No.12, pp. 735-763, Dec. 1995.

[37] A. Yukawa, "A CMOS 8-Bit High-Speed A/D Converter IC," *IEEE J. Solid-State Circuits*, Vol. 20, No. 3, pp. 775-779, Jun. 1985.

[38] C. Sandner, M. Clara, A. Santner, T. Hartig, and F. Kuttner, "A 6-bit 1.2-GS/s low-power flash-ADC in 0.13-μm Digital CMOS," *IEEE J. Solid-State Circuits*, vol 40, No. 7, pp. 1499-1505, July 2005.

[39] B. Xia, S. Yan, and E. Sanchez-Sinencio, "An RC time constant auto-tuning structure for high linearity continuous-time ΣΔ modulators and active filters," *IEEE Transactions on Circuits and Systems I*, Vol. 51, No. 11, pp. 2179–2188, Nov. 2004.

[40] Category: Control Systems, File: SD Toolbox [Online]. Available: http://www.mathworks.com/matlabcentral/fileexchange.

[41] Andrew Masami Abo, *Design for Reliability of Low-Voltage Switched Capacitor Circuits,* PhD dissertation, Spring 1999.

[42] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio SD modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 349–355, Mar. 2001.

[43] L. Breems, R. Rutten, and G. Wetzker, "A cascaded continuous-time ΣΔ modulator with 67-dB dynamic range in 10- MHz bandwidth," *IEEE J. of Solid-State Circuits*, Vol. 39, No. 12, pp. 2152–2160, Dec. 2004.

[44] R. Schoofs, M.S.J. Steyaert, and W. Sansen, "A design-optimized continuous-time delta-sigma ADC for WLAN applications," *IEEE Transactions on Circuits and Systems I*, Vol. 54, No. 1, pp. 209–217, Jan. 2007.

[45] S. Paton, A. D. Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher, and M. Clara, "A 70-mW 300-MHz CMOS Continuous-Time ΣΔ ADC With 15-MHz Bandwidth and 11Bits of Resolution," *IEEE J. of Solid State Circuits*, vol.39, no. 7, pp. 1056-1063, July 2004.

[46] J. Arias, P. Kiss, V. Prodanov, V. Boccuzzi, M. Banu, D. Bisbal, J. Pablo, L. Quintanilla, and J. Barbolla, "A 32-mW 320-MHz continuous-time complex delta-sigma ADC for multimode wireless-LAN receivers," *IEEE J. of Solid-State Circuits*, Vol. 41, No. 2, pp. 339–351, Feb. 2006.

[47] X. Chen, et al, "A 18mW CT ΔΣ Modulator with 25MHz Bandwidth for Next Generation Wireless Applications," in *IEEE Custom Integrated Circuits Conference*, pp. 73-76, 2007.

[48] F. Chen, T. Kuendiger, S. Erfani, and M. Ahmadi, "Design of wideband low-power continuous-time ΣΔ modulator in 90nm CMOS technology," Springer *J. of Analog Integrated Circuits and signal Processing*, Vol. 54, No. 3, pp. 187-199, Mar. 2008.

[49] N. Yaghini and D. Johns, "A 43mW CT Complex Delta Sigma ADC with 23MHz of Signal Bandwidth and 68.8dB SNDR," in *ISSCC Dig. Tech. Papers*, pp. 502-503, Feb. 2005.

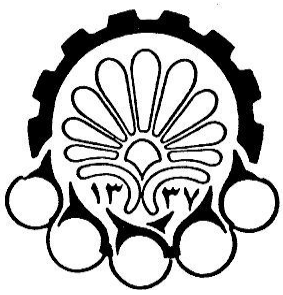
[50] H. Zare-Hoseini, and I. Kale, **"**Continuous time delta sigma modulators with reduced clock jitter sensitivity," in *IEEE International Symposium on Circuits and Systems*, May 2006, pp. 5371-5374.

Abstract

Analog to digital converters are divided into two main categories due to their sampling rate: 1) nyquist rate converters and 2) oversampling converts. With regards of oversampling and noise shaping property, the second type is used in high-resolution low-speed applications. ΣΔ modulators, as the analog part of the oversampling converters, are realized in the form of continuous-time or discrete-time filters. Each type of these filters has its advantages and disadvantages. Continuous-time modulators are bests for high-speed moderate-resolutions while discrete-time modulators are bests for low-speed high-to-moderate-resolution applications.

In this thesis, using the merits of both continuous and discrete-time ΣΔ modulators, high-speed high-resolution ΣΔ modulator is introduced. First, several structures are analyzed systemically for the purpose of thesis and their performance are evaluated, then a hybrid CT/DT ΣΔ modulator is implemented in order to reach a resolution of 13 bit with 20MHz nyquist rate and 1V supply voltage. This converter can be used in systems such as WiMAX. In order to simulate the proposed modulator, 90nm CMOS technology is used in HSPICE and behavioral simulations are performerd in MATLAB-Simulink.

Keywords**:** Analog-to-digital converter, ΣΔ modulation, Continuous-time circuits, Switched-capacitor circuits.



Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of Hybrid CT/DT Sigma-delta Modulators for Broadband Applications in 90nm CMOS Technology

By:
Mohammad Hossein Maghami

Under Supervision of:
Dr. Mohammad Yavari
Dr. Saeed Khatami

June 2009