Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Architectural Improvement of Pipelined Analog to Digital Converters

By:
Mitra Saeedi

Under Supervision of:
Dr. Mohammad Yavari

October 2014

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

(گرایش الکترونیک)

بهبود ساختاری مبدل‌های آنالوگ به دیجیتال Pipeline

نگارش:

میترا سعیدی

استاد راهنما:

دکتر محمد یاوری

مهر ماه ۱۳۹۳

بسم الله الرحمن الرحیم

تقدیم به

پدر، مادرم

و نوید

تشکر و قدردانی

در آغاز لازم می‌دانم که از زحمات استاد و معلم ارجمندم جناب آقای دکتر محمد یاوری که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، کمال تشکر و قدردانی را داشته باشم. ضمن آنکه از جناب آقای دکتر آشتیانی و جناب آقای دکتر کاتوزیان که زحمت داوری این پایان‌نامه را متقبل شدند، سپاسگزاری می‌نمایم.

چکیده

پیشرفت‌های اخیر در سیستم‌های مخابراتی و الکترونیکی نیاز به بخش‌های آنالوگ پرسرعت و کم‌توان در این سیستم‌ها را بیشتر کرده است. هرچند مدارهای آنالوگ معمولا بخش کوچکی از سیستم‌های بزرگ را تشکیل می‌دهند ولی می‌توانند عملکرد کل سیستم را تعیین کنند. در میان مدارهای آنالوگ به کار برده شده در سیستم‌های مخابراتی مبدل‌های آنالوگ به دیجیتال نقش مهمی را در عملکرد سیستم بازی می‌کنند. امروزه نیاز به مبدل‌های آنالوگ به دیجیتال با پهنای باند وسیع و دقت و سرعت‌های بالا روز به روز در حال افزایش است.

در این پایان‌نامه یک مبدل بیش‌نمونه‌برداری با دقت بالا در نرخ بیش‌نمونه‌برداری کم با کمترین پیچیدگی ممکن و کمترین حساسیت نسبت به غیرایده‌آلی‌های آنالوگ ارائه شده است. این ساختار، یک مبدل پایپ‌لاین–سیگما–دلتا با حساسیت کم نسبت به خطاهای آنالوگ می‌باشد. مبدل پیشنهادی در واقع، یک مبدل پایپ‌لاین سه طبقه می‌باشد که زیرمبدل دو طبقه اول آن، سیگما–دلتا است. زیرمبدل طبقه اول یک سیگما–دلتای چندحلقه‌ای MASH 1-1 و زیرمبدل طبقه دوم یک سیگما–دلتای تک حلقه مرتبه اول می‌باشد. طبقه سوم نیز دارای ساختار فیدبک خطا است. بنابر ساختار ذکر شده، ورودی طبقه دوم به جای نویز کوانتیزاسیون طبقه اول، شکل‌دهی شده مرتبه دوم آن خواهد بود. همچنین خطای DAC طبقه اول شکل‌دهی مرتبه اول و نویز کوانتیزاسیون طبقه آخر شکل‌دهی مرتبه دوم شده‌اند. به این ترتیب ساختار پیشنهادی بدون استفاده از کالیبراسیون دیجیتال، حساسیت بسیار کمی نسبت به غیرایده‌آلی‌های مداری از خود نشان می‌دهد.

مبدل مورد نظر در تکنولوژی ۹۰ نانومتر CMOS پیاده‌سازی شده و از نرم‌افزارهای Cadence-Virtuso و MATLAB-Simulink برای شبیه‌سازی آن استفاده شده است. فرکانس نمونه‌برداری مبدل پیشنهادی 160MS/s، پهنای باند آن، 10MHz، ولتاژ منبع تغذیه ۱ ولت و توان مصرفی حاصل از شبیه‌سازی آن ۲۸ میلی‌وات می‌باشد.

کلمات کلیدی: مبدل آنالوگ به دیجیتال ، سرعت بالا، دقت بالا، سیگما–دلتا، پایپ‌لاین.

فهرست مطالب

فهرست شکل‌ها ..... ز

فهرست جدول‌ها ..... ط

فصل اول: مقدمه

۱- مقدمه ۱

۱-۱- انگیزه ۱

۱-۲- ساختار پایان‌نامه ۲

فصل دوم: مبدل‌های پایپ‌لاین و سیگما-دلتا

۲- مبدل‌های پایپ‌لاین و سیگما-دلتا ۳

۲-۱- اساس کار مبدل‌های آنالوگ به دیجیتال ۳

۲-۲- پارامترهای عملکرد مبدل‌های آنالوگ به دیجیتال ٦

۲-۲-۱- پارامترهای استاتیکی ٦

۲-۲-۲- پارامترهای دینامیکی ۷

۲-۲-۳- ضریب شایستگی ۷

۲-۳- چالش‌های طراحی مدارهای آنالوگ ۷

۲-۳-۱- کاهش ولتاژ تغذیه ۸

۲-۳-۲- کاهش تطبیق بین المان‌ها ۸

۲-۳-۳- کاهش خطینگی ۸

۲-٤- تکنیکهای طراحی آنالوگ ۸

۲-٤-۱- جبران‌سازی آفست ۹

۲-٤-۲- کالیبراسیون دیجیتال ۹
۲-٤-۳- انتخاب دیجیتال ۹
۲-٤-٤- دقت حوزه زمان ۹
۲-۵- انواع مبدل‌های آنالوگ به دیجیتال..... ۹
۲-٦- مروری بر ساختار مبدل‌های پایپ‌لاین و سیگما-دلتا..... ۱۰
۲-٦-۱- ساختار پایپ‌لاین ۱۰
۲-٦-۲- ساختار سیگما-دلتا..... ۱۳
۲-۷- ساختارهای مدولاتور سیگما-دلتا..... ۱٤
۲-۷-۱- ساختار سیگما-دلتای اعوجاج پایین ۱٤
۲-۷-۱-۱- ساختار مبدل سیگما-دلتای چند حلقه‌ای MASH ۱۵
۲-۸- شکل‌دهی خطای بهره در مبدل‌های پایپ‌لاین..... ۱٦
۲-۹- مبدل پایپ‌لاین بهبود یافته با شکل‌دهی خطای بین طبقات..... ۱۷
۲-۹-۱- طراحی فیلترهای FIR پایین‌گذر تعبیه شده ۱۸
۲-۱۰- اثر غیر ایده‌آل بودن المان‌ها بر روی عملکرد مبدل پایپ‌لاین..... ۲۰

فصل سوم: طراحی سیستمی مبدل پیشنهادی

۳- طراحی سیستمی مبدل پیشنهادی..... ۲۱
۳-۱- ساختار مبدل پیشنهادی..... ۲۱
۳-۲- ساختار مبدل پایپ‌لاین-سیگما-دلتا..... ۲۳
۳-۳- مزیت‌های ساختار پیشنهادی..... ۲٤
۳-٤- ساختار طبقات مبدل پیشنهادی..... ۲۵
۳-٤-۱- ساختار طبقه اول ۲۵

۳-٤-۲- ساختار طبقه دوم ۲٦
۳-٤-۳- ساختار طبقه سوم ۲۷
۳-۵- ساختار پایپ‌لاین پیشنهادی با کاهش حساسیت نسبت به اثرات غیر ایده‌آل مداری..... ۲۸
۳-٦- اثرات غیرایده‌آل مدارهای تشکیل دهنده مبدل..... ۲۹
۳-٦-۱- اثر محدود بودن بهره تقویت‌کننده ۳۰
۳-٦-۱-۱- اثر بهره DC محدود انتگرال‌گیر ۳۰
۳-٦-۱-۲- اثر بهره DC محدود در تقویت‌کننده بهره ۳۰
۳-٦-۲- اثر پهنای باند محدود تقویت‌کننده ۳۱
۳-٦-۳- اثر عدم تطبیق ضرایب ۳۲
۳-٦-٤- طبقه اول ۳٤
۳-٦-۵- طبقه دوم ۳٦
۳-٦-٦- طبقه سوم ۳٦
۳-٦-۷- اثر غیر خطی مبدل دیجیتال به آنالوگ ۳۷
۳-٦-۸- سوئینگ خروجی محدود تقویت‌کننده‌ها ۳۹

فصل چهارم: پیاده‌سازی مداری مبدل آنالوگ به دیجیتال پیشنهادی

٤- پیاده‌سازی مداری مبدل آنالوگ به دیجیتال پیشنهادی..... ۳۷
٤-۱- جزئیات سوئیچ‌های استفاده شده در مبدل پیشنهادی..... ۳۷
٤-۲- طبقه اول..... ۳۸
٤-۲-۱- انتگرال‌گیر اول ۳۸
٤-۲-۲- تقویت کننده اول ۳۹
٤-۲-۳- انتگرال‌گیردوم ٤۱
٤-۲-٤- تقویت کننده دوم ٤۲

٤-٢-٥-MDAC طبقه اول ٤٣
٤-٢-٦- تقویت کننده سوم ٤٥
٤-٢-٧- کوانتایزر ١/٥بیتی ٤٦
٤-٣- مقایسه‌گر ٤٦
٤-٣-١-١- مدار تولید کننده‌ی ولتاژهای آستانه ٤٦
٤-٣-٢- کوانتایزر ٤ بیتی ٤٧
٤-٣-٢-١- لچ ٤٧
٤-٣-٢-٢- جمع‌کننده پسیو ٤٨
٤-٣-٢-٣- پیش تقویت‌کننده ٤٩
٤-٤- طبقه دوم ٥٠
٤-٤-١- انتگرال‌گیر سوم ٥٠
٤-٤-٢- تقویت کننده چهارم ٥١
٤-٤-٣-MDAC طبقه دوم ٥٢
٤-٤-٤- تقویت کننده پنجم ٥٢
٤-٤-٥- کوانتایزر ٣ بیتی ٥٣
٤-٥- طبقه سوم ٥٣
٤-٥-١-MDAC طبقه آخر ٥٣
٤-٥-٢- تقویت‌کننده ششم ٥٤
٤-٥-٣- کوانتایزر ٤ بیتی ٥٤
٤-٥-٣-١- مدار تنظیم سطح ولتاژ مد مشترک خروجی ٥٥
٤-٥-٣-٢- مدار بایاس ٥٥

فصل پنجم: نتایج شبیه‌سازی، نتیجه گیری و پیشنهادات

۵- نتایج شبیه‌سازی، نتیجه گیری و پیشنهادات ۵۷
۵-۱- شبیه‌سازی کلی ۵۷
۵-۲- مقایسه با کارهای انجام شده اخیر ٦۰
۵-۳- نتیجه‌گیری ٦۰
۵-٤- ارائه‌ی پیشنهادات ٦۱
پیوست الف: محاسبات مربوط به نویز ٦۳
پیوست ب: محاسبه خروجی مبدل با در نظر گرفتن تمامی غیرایده‌آلی‌های موجود ٦٦
مراجع ٦۸

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال. ٤
شکل (۲-۲): مقایسه‌ی باند گذر برای دو مبدل الف) نرخ نایکوئیست و ب) بیش نمونه‌بردار. ٤
شکل (۲-۳): مدل کوانتایزر. ٥
شکل (۲-٤): منحنی انتقالی کوانتایزر n بیتی. ٦
شکل (۲-٥): نمودار مقایسه انواع مبدل‌های آنالوگ به دیجیتال ۱۰
شکل (۲-٦): ساختار کلی مبدل آنالوگ به دیجیتال پایپ‌لاین ۱۱
شکل (۲-۷): بلوک دیاگرام کلی یک مدولاتور سیگما-دلتا. ۱۳
شکل (۲-۸): ساختار مدولاتور سیگما-دلتای اعوجاج پایین. ۱٤
شکل (۲-۹): ساختار مبدل MASH ۱٦
شکل (۲-۱۰): ساختار ترکیبی پایپ‌لاین-سیگما-دلتا ۱٦
شکل (۲-۱۱): مدل خطی دو طبقه ساختار پایپ‌لاین- سیگما-دلتا ۱۷
شکل (۲-۱۲): ساختار پایپ‌لاین- سیگما-دلتای بهبودیافته[16] ۱۸
شکل (۳-۱): مبدل پایپ‌لاین پیشنهادی ۲۲
شکل (۳-۲): ساختار طبقه اول مبدل پایپ‌لاین پیشنهادی ۲٥
شکل (۳-۳): ساختار MASH زیرمبدل طبقه اول ۲٦
شکل (۳-٤): ساختار طبقه دوم مبدل پیشنهادی ۲۷
شکل (۳-٥): ساختار زیرمبدل طبقه دوم ۲۷
شکل (۳-٦): ساختار طبقه سوم مبدل پیشنهادی ۲۸
شکل (۳-۷): طیف خروجی مدولاتورایده‌آل شبیه‌سازی شده. ۲۹
شکل (۳-۸): SNDR خروجی مدولاتور برحسب توان ورودی آن. ۲۹

شکل (۳-۹): مقایسه حساسیت مبدل پایپ‌لاین مرسوم و پیشنهادی نسبت به عدم تطبیق ضرایب.۳۳
شکل (۳-۱۰): هیستوگرام خروجی حساسیت مبدل پیشنهادی به عدم تطبیق مسیرها و بهره بین طبقات ۳٤
شکل (۳-۱۱): ساختار جزئی طبقه اول پیشنهادی ۳٤
شکل (۳-۱۲): SNDR بر حسب بهره محدود انتگرال‌گیر اول ۳۵
شکل (۳-۱۳): ساختار جزئی طبقه دوم پیشنهادی ۳٦
شکل (۳-۱٤): ساختار جزئی طبقه سوم پیشنهادی ۳٦
شکل (۳-۱۵): هیستوگرام خروجی حساسیت مبدل نسبت به خطای DAC ها ۳۸
شکل (۳-۱٦): طیف خروجی مبدل با در نظر گرفتن خطای DAC ها ۳۸
شکل (۳-۱۷): محدوده سوئینگ خروجی انتگرال‌گیرهای اول تا سوم ۳۹
شکل (٤-۱): سوئیچ بوت استرپ مورد استفاده در این پروژه[22]. ۳۸
شکل (٤-۲): مدار سوئیچ شونده خازنی انتگرالگیر اول. ۳۹
شکل (٤-۳): تقویتکننده‌ی هیبرید کسکود ٤۰
شکل (٤-٤): مدار سوئیچ شونده خازنی انتگرال‌گیر دوم. ٤۲
شکل (٤-۵): تقویتکننده‌ی کسکود تاشده ٤۳
شکل (٤-٦): مدار سوئیچ شونده خازنی تقویت‌کننده اول. ٤٤
شکل (٤-۷): مدار تولید کننده ولتاژهای آستانه. ٤۷
شکل (٤-۸): مدار لچ مورد استفاده در کوانتایزر ٤ بیتی. ٤۸
شکل (٤-۹): ساختار سویچ‌شونده خازنی جمع‌کننده کوانتایزر ٤۹
شکل (٤-۱۰): مدار پیش تقویتکننده‌ی دو طبقه استفاده شده در ساختار کوانتایزر الف) طبقه اول ب) طبقه دوم. ۵۰
شکل (٤-۱۱): مدار سوئیچ شونده خازنی انتگرال‌گیر سوم ۵۱
شکل (٤-۱۲): مدار سوئیچ شونده خازنی MDAC دوم. ۵۲
شکل (٤-۱۳): مدار سوئیچ خازنی تقویت‌کننده طبقه آخر ۵٤
شکل (٤-۱٤): مدار سوئیچ خازنی تنظیم مد مشترک خروجی. ۵۵
شکل (٤-۱۵): مدار بایاس تقویت‌کننده‌ها. ۵٦

شکل (۵-۱): طیف خروجی مبدل در گوشه معمولی و دمای 27° ۵۸
شکل (۵-۲): طیف خروجی مبدل در گوشه سریع و دمای -40° ۵۹
شکل (۵-۳): طیف خروجی مبدل در گوشه کند و دمای 85° ۵۹

فهرست جداول

جدول (۳-۱): بهره DC مورد نیاز برای انتگرال‌گیرهای اول تا سوم ۳۵
جدول (٤-۱): مشخصات ترانزیستورهای تقویت کننده انتگرال‌گیر اول. ٤۱
جدول (٤-۲): مشخصات تقویت‌کننده انتگرال‌گیر اول در سه گوشه‌ی تکنولوژی. ٤۱
جدول (٤-۳): اندازه ترانزیستورهای تقویتکننده‌ی دوم. ٤۲
جدول (٤-٤): مشخصات تقویتکننده‌ی دوم در سه گوشه‌ی تکنولوژی. ٤۲
جدول (٤-۵): مشخصات تقویت‌کننده MDAC اول در سه گوشه‌ی تکنولوژی. ٤۵
جدول (٤-٦): مشخصات تقویت‌کننده MDAC اول در سه گوشه‌ی تکنولوژی. ٤۵
جدول (٤-۷): مشخصات ترانزیستورهای مدار پیش‌تقویت‌کننده ۵۰
جدول (٤-۸): مشخصات ترانزیستورهای تقویت‌کننده انتگرال‌گیر سوم ۵۱
جدول (٤-۹): مشخصات تقویتکننده‌ی انتگرال‌گیر سوم در سه گوشه‌ی تکنولوژی. ۵۱
جدول (٤-۱۰): مشخصات ترانزیستورهای تقویت‌کننده انتگرال‌گیر چهارم ۵۳
جدول (٤-۱۱): مشخصات تقویتکننده‌ی انتگرال‌گیر چهارم در سه گوشه‌ی تکنولوژی. ۵۳
جدول (٤-۱۲): مشخصات تقویتکننده‌ی MDAC سوم در سه گوشه‌ی تکنولوژی. ۵٤
جدول (۵-۱): خلاصه نتایج شبیه‌سازی مبدل. ٦۱

مراجع

[1] S. Devarajan, L. Singer, D. Kelly, S. Decker, A. Kamath, and P. Wilkins, “A 16-bit, 125 MS/s, 385 mW, 78.7 dB SNR CMOS pipeline ADC,” *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3305-3313, December 2009.

[2] A. Norouzpour-Shirazi, S. A. Mirhaj, S. J. Ashtiani, and O. Shoaei, “A novel low power 1 GS/s S&H architecture with improved analog bandwidth,” *IEEE Trans. on Circuits and Systems-II: Express Briefs*, vol. 55, no. 10, pp. 971-975, October 2008.

[3] V. De and S. Borkar, "Technology and design challenges for low power and highperformance microprocessors," *Advanced Metallization Conference 2000 (AMC2000)*, pp. 25-34, 2001.

[4] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, “Matching properties of MOS-transistors,” IEEE Journal of Solid-State Circuits, vol.24,pp. 1433-1440, 1989.

[5] M. P. Flynn, S. Park, and C. C. Lee, “Achieving analog accuracy in nanometer CMOS,” International Journal of High Speed Electronics and Systems, vol.15 ,pp. 255-275, 2005.

[6] A. J. Annema, B. Nauta, R. van Langevelde, and H. Tuinhout, “Analog circuits in ultra-deep-submicron CMOS,” IEEE Journal of Solid-State Circuits, vol.40 ,pp. 132-143, 2005.

[7] B. Razavi and B. A. Wooley, “Design techniques for high-speed, high-resolution comparators,” IEEE Journal of Solid-State Circuits, vol.27 ,pp. 1916-1926, 1992.

[8] B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 2040 -2050, 2003.

[9] M. P. Flynn, C. Donovan, and L. Sattler, “Digital calibration incorporating redundancy of Flash ADCs,” IEEE Transactions on Circuits and Systems, vol.50,pp. 205-213, 2003.

[10] J. P. Jansson, A. Mantyniemi, and J. Kostamovaara, "A CMOS time-to-digital converter with better than 10 ps single-shot precision," *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 1286-1296, 2006.

[11] H. Inose, Y. Yasuda, and J. Murakami, “A telemetering system by code modulation-Δ-∑-modulation,” IRE Trans. Space Electron. Telemetry, vol. 8, pp. 204-209, Sep. 1962.

[12] D. Johns and K. Martin, “*Design of analog integrated circuits and systems*,” John Wiley & Sons, 1997.

[13] J. Silva, U. Moon, J. Steensgaard, and G. Temes, “Wideband low distortion delta-sigma ADC topology,” *Electronics Letters*, vol. 37, no. 12, pp. 737-738, Jun. 2001.

[14] M. Yavari, “Mash sigma delta modulators with reduced sensitivity to circuit non-idealities,” *Int. Symp. on Circuits and Systems (ISCAS)*, pp. 3126-3129, May 2009.

[15] A. Gothenberg and H. Tenhunen, “Improved cascaded sigma-delta noise shaper architecture with reduced sensitivity to circuit nonlinearities,” *Electronics Letters*, vol. 38, no. 14, pp. 683-685, Jul. 2002.

[16] O. Rajaee and U. Moon, “A 12-ENOB 6X-OSR Noise-Shaped Pipelined ADC Utilizing a 9-bit Linear Front-End,” ISSCC Digest of Technical Papers, 2013.

[17] F. Medeiro, B. Perez-Verdu, and A. Rodriquez-Vazquez, “A 13-bit 2.2-MS/s 55-mW multibit cascaded sigma-delta modulator in CMOS 0.7μm single-poly technology,” *IEEE J. Solid-State Circuits*, vol. 34, pp.748-760, Jun. 1999.

[18] B. Brandt and B. Wooley, “A 50-MHz multibit sigma delta modulator for 12-b 2-MHz A/D conversion,” *IEEE J. Solid-State Circuits*, vol. 26, pp.1746-1756, Dec. 1991.

[19] S. Brigati et al, “Modeling sigma-delta modulator non-idealities in SIMULINK,” *Int. Symp. on Circuits and Systems (ISCAS)*, vol.2, pp. 384-387, 1999.

[20] P. Malcovati et al, “Behavioral modeling of switched-capacitor sigma–delta modulators,” *IEEE Trans. Circuits Syst., I*, vol. 50, no.3, pp. 352-364, Mar. 2003.

[21] M. Ashraf, “Design and Simulation of a Low Power Pipelined Analog-to-Digital Converter in 90-nm CMOS,”, M.S.c dissertation , Amirkabir University of Technology, 2010.

[22] M. Dessouky and A. Kaiser, “Very low-voltage digital-audio sigma-delta modulator with 88-dB dynamic range using local switch bootstrapping,” *IEEE J. Solid-Sate Circuits*, vol. 36, no. 3, pp. 349-355, Mar. 2001.

[23] M. Yavari and O. Shoaei, “Low-voltage low-power fast-settling CMOS operational transconductance amplifiers for switched-capacitor applications,” *IEE Proceedings on Circuits, Devices and Systems*, vol. 151, no.6, pp.573-578, Dec. 2004.

[24] M. Yavari, “Hybrid cascode compensation for two-stage CMOS opamps,” *IEICE Trans. Electron.*, vol. E88-C, no. 6, Jun. 2005.

[25] M. Yavari, O. Shoaei, and A. Rodriguez-Vazquez, “Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation,” *Proc. on Design, Automation, and Test in Europe*, vol. 1, Mar. 2006.

[26] A.M. Abo and P.R. Gray, “A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter,” *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999

[27] A. Yukawa, “A CMOS 8-bit high-speed A/D converter IC,” *IEEE J. Solid-State Circuits*, vol. 20, no.3, pp.775-779, Jun. 1985.

[28] B. Setterberg, “A 14b 2.5GS/s 8-Way Interleaved Pipelined ADC With Background Calibration and Digital Dynamic Linearity Correction,” ISSCC Digest of Technical Papers, 2013.

[29] O. Rajaee and U. Moon, “A 79dB 80MHz 8X-OSR Hybrid Delta-Sigma/Pipeline ADC,” *IEEE J. Solid-State Circuits*, 2009.

[30] A. M. Ali, H. Dinc, P. Bhoraskar, “"A 14-bit 1 GS/s RF Sampling Pipelined ADC with Background Calibration,” *IEEE J. Solid-State Circuits*, 2010

[31] Y-C. Huang, T-C. Lee, “A 10b 100MS/s 4.5mW Pipelined ADC with a Time Sharing Technique,” ISSCC Digest of Technical Papers, 2010.

[32] Z. Sohrabi and M. Yavari, "A 13 bit 10 MHz bandwidth MASH 3–2 ΣΔ modulator in 90 nm CMOS," *International Journal of Circuit Theory and Applications*, vol. 21, no. 4, pp. 1-18, Apr. 2012.

[33] D-Y. Chang, C. Muñoz, “A 21mW 15b 48MS/s Zero-Crossing Pipeline ADC in 130nm

CMOS with 74dB SNDR," *The 8th IEEE Internaional Conf. on Electronics, Circuits, and Systems*, 2014.

[34] T. Oh,H. Venkatram and U .K . Moon , "A 70MS/s 69.3dB SNDR 38.2fJ/Conversion-Step Time-Based Pipelined ADC," *IEEE J. Solid-State Circuits*, 2013.

ABSTRACT

Although lots of signal processing tasks are taking place in digital domain, but mediums between analog world and digital processors meaning analog to digital and digital to analog converters are always needed. As efficiency and speed of digital signal processing are increasing, large effort is needed for designing high resolution and high speed analog to digital and digital to analog converters. Pipeline ADCs have become the predominant architecture for ADCs with resolutions of 8-14 bits and conversion rates of 10-200 MS/s.

Pipeline ADCs are widely famous for reaching both high resolution and high speed properties at the same time. They are also known for their large bandwidth. Sigma-Delta ADCs are known for their high resolution and low to moderate speed applications.

So, according to what said above about these ADCs, better results can be obtained by combining pipeline ADC with Sigma-Delta ADCs.

An important design issue for oversampling ADCs is achieving larger signal bandwidth without losing resolution.When facing sampling speed limitations, decreasing OverSampling Ratio(OSR) is a suitable approach for increasing signal bandwidth.

All ADCs with low OSR, need higher order noise shaping and higher quantization levels. One technique for improving oversampling ADCs in low OSR is using a cascade architecture like pipeline ADC. In pipeline ADCs, usually errors in front end stage limits the overall resolution. Delta-Sigma noise shaping properties can be used to reduce these front end stage's errors.

Predominant limitation in designing Sigma-Delta ADCs with low OSR is increasing quantization levels and keeping the design simple. So using a combination of Sigma-Delta and pipeline ADC can solve this problem.

finally, the overall SNDR of the pipeline ADC utilizing sigma-delta is highly improved without using any digital calibration.

In this dissertation, some techniques are employed to relax the analog circuit requirements such as the amplifier dc gain and capacitors matching in MASH sigma delta modulators. With the aid of the proposed technique, a Sigma-Delta ADC with the sampling frequency of 160MHz, 13-bit resolution, in 90nm CMOS technology with 1 V supply voltage is designed and simulated. The simulation of this structure is done by the Cadence software. The results show that the designed ADC has 81 dB SNDR, 99.2 dB SFDR while it is consuming only 29 mW.

Keywords: Analog-to-Digital Converter (ADCs), sigma-delta, pipeline, Switched capacitor circuits.

Amirkabir University of Technology
(Tehran Polytechnic)
Department of Electrical Engineering

A dissertation submitted in partial fulfilment of
the requirements for the degree of

Master of Science

Architectural Improvement of Pipelined Analog to Digital Converters

By:
Mitra Saeedi

Under Supervision of:
Dr. Mohammad Yavari

October 2014