Amirkabir University of Technology

Electrical Engineering Department of

A dissertation submitted in partial fulfillment of the requirements
for the degree of

Masters of Science

Low-Power Low-Dropout (LDO) Voltage Regulators for Implantable Biomedical Applications

:By
Boanloo Mehdi Moradian

:Under supervision of
Dr. Mohammad Yavari & Dr. Hassan Ghafouri Fard

February 2016

بسم الله الرحمن الرحيم

دانشگاه صنعتی امیرکبیر

دانشکده مهندسی برق

کارشناسی ارشد الکترونیک- میکروالکترونیک

رگولاتورهای ولتاژ LDO با توان مصرفی پایین برای کاربردهای پزشکی قابل کاشت

نگارش:

مهدی مرادیان بوانلو

استاد راهنمای اول:

دکتر محمد یاوری

استاد راهنمای دوم:

دکتر حسن غفوری فرد

بهمن ماه ۱۳۹۴

تقدیم به پدر عزیزم و مادرم مهربانم :

خدای را بسی شاکرم که از روی کرم، پدر و مادری فداکار نسیبم ساخته تا در سایه درخت پربار وجودشان بیاسایم و از ریشه آنها شاخ و برگ گیرم و از سایه وجودشان در راه کسب علم و دانش تلاش نمایم. والدینی که بودنشان تاج افتخاری است بر سرم و نامشان دلیلی است بر بودنم، چراکه این دو وجود، پس از پروردگار، مایه هستی ام بوده اند دستم را گرفتند و راه رفتن را در این وادی زندگی پر از فراز و نشیب آموختند. آموزگارانی که برایم زندگی، بودن و انسان بودن را معنا کردند.

با تشکر:

از استاد با کمالت و شایسته؛ جناب آقای دکتر محمد یاوری که به عنوان استاد راهنمای اول در کمال سعه صدر، با حسن خلق و فروتنی، از هیچ کمکی در این عرصه بر من دریغ ننمودند و زحمت راهنمایی این رساله را بر عهده گرفتند.

از پروفسور حسن غفوری فرد، استاد صبور و با تقوا که در کنار دکتر محمد یاوری، زحمت راهنمایی این پایان نامه را به عهده گرفتند، بسیار متشکرم؛ چرا که بدون مساعدت ایشان، این پروژه به نتیجه مطلوب نمی رسید.

چکیده

هدف اصلی این تحقیق طراحی و شبیه‌سازی رگولاتور ولتاژ خطی از نوع LDO برای کاربردهای قابل کاشت پزشکی است به طوری که توان مصرفی آنها بسیار کم باشد و همچنین سطح تراشه به این دلیل که داخل بدن کاشته می‌شوند، باید بسیار کوچک باشد. کم کردن توان مصرفی در رگولاتور نیازمند کم شدن جریان ترانزیستورها می‌باشد که به دنبال آن، سرعت پاسخ‌دهی رگولاتور به تغییرات بار و همچنین پایداری رگولاتور تحت تأثیر قرار می‌گیرند؛ بنابراین کاهش توان مصرفی اثر منفی بر روی عملکرد رگولاتور می‌گذارد. در نتیجه برای جبران این اثر، چندین روش پیشنهاد گردیده و مورد بررسی قرار گرفته‌اند. این روش‌ها شامل تکنیک‌هایی برای جبران‌سازی فرکانسی و پاسخ حالت گذرا می‌باشد. برای جبران‌سازی فرکانسی، روش‌هایی پیشنهاده شده که علاوه بر کاهش خازن جبران‌سازی، با تولید صفرهای سمت چپ پایداری رگولاتور LDO را بهبود می‌بخشند. همچنین برای حالت گذرا مدارهایی برای بهبود و متقارن‌کردن نرخ چرخش و همچنین افزایش پهنای باند طراحی شده‌اند. از آنجایی‌که منبع تغذیه برای سیستم‌های قابل کاشت، باتری می‌باشد، لازم است تا رگولاتورهای مورد استفاده برای آن‌ها بازده توان و نیز بازده جریان بالایی داشته باشند تا عمر باتری و زمان کار این سیستم‌ها هرچه بیشتر افزایش یابد. بنابراین سعی شده است روش‌هایی که برای بهبود پاسخ و رفتار رگولاتورهای ولتاژ پیشنهاد می‌گردد، با استفاده از حداقل توان بیشترین تأثیر را در جهت افزایش قابلیت‌های آن‌ها داشته باشند.

در نهایت مدارهای پیشنهادی در تکنولوژی 90 nm CMOS طراحی و شبیه‌سازی شده‌اند و نتایج شبیه-سازی‌ها نشان می‌دهد که تکنیک‌های پیشنهاد شده با مصرف توان بسیار کمی، پاسخ رگولاتور ولتاژ را به طور قابل ملاحظه‌ای بهبود می‌بخشند و به خوبی می‌توانند برای سیستم‌های قابل کاشت و کم توان مورد استفاده قرار گیرند. بهبود تنظیم خط و تنظیم بار از خصوصیات بارز هردو رگولاتور پیشنهادی می‌باشد. برای هردو ساختار پیشنهادی، به ازای ولتاژ ورودی ۰/۹ ولت تا ۱/۲ ولت، ولتاژ خروجی رگولاتور به ۷۵۰ میلی-ولت تثبیت می‌شود. بدترین زمان‌های نشست برای رگولاتورهای پیشنهادی اول و دوم به ترتیب برابر با ۲ و ۱/۶ میکروثانیه بوده و جریان کشیده شده از منبع تغذیه برای آن‌ها به ترتیب ۱/۷۵ و ۱/۸ میکروآمپر می-باشد که معادل با توان مصرفی در حدود ۱/۶ میکرووات برای رگولاتورهای موردنظر می‌باشد.

کلمات کلیدی:

رگولاتورهای ولتاژ خطی، رگولاتورهای ولتاژ LDO، کاربردهای کاشت پزشکی، توان مصرفی پایین، جبران-سازی فرکانسی، پاسخ حالت گذرا.

فهرست مطالب

عنوان **صفحه**

فصل اول: مقدمه

۱-۱- انگیزه ۲
۱-۲- اهداف ۳
۱-۳- ساختار پایان نامه ۳

فصل دوم: مفاهیم اساسی رگولاتورهای ولتاژ

۲-۱- رگولاتورهای خطی و سوئیچ‌شونده: ۵
۲-۱-۱- سرعت پاسخ‌دهی ۷
۲-۱-۲- نویز ۷
۲-۱-۳- بازده(راندمان) ۸
۲-۲- رگولاتورهای خطی ۹
۲-۲-۱- عملکرد فرکانسی رگولاتورهای خطی ۱۰
۲-۲-۲- مفهوم ولتاژ Dropout ۱۰
۲-۳- اصول کار رگولاتورهای خطی ۱۲
۲-۴- پارامترها و معیارهای عملکرد رگولاتورهای خطی ۱۳
۲-۴-۱- تنظیم خط ۱۳
۲-۴-۲- تنظیم بار ۱۴
۲-۴-۳- میزان حذف ریپل منبع تغذیه ۱۴
۲-۴-۴- دقت ۱۵
۲-۵- بازدهی جریان ۱۶
۲-۶- انواع مدارهای عبور دهنده جریان بار ۱۶

فصل سوم: ساختارهای مختلف رگولاتورهای خطی

۳-۱- ساختار رگولاتور ولتاژ LDO کم توان برای کاشتینه‌های پوستی [19] ۱۸
۳-۱-۱- پاسخ فرکانسی ۲۰
۳-۱-۲- میزان حذف ریپل منبع تغذیه ۲۰

۳-۲- رگولاتور قابل کاشت پزشکی با تکنیک بهبود دینامیکی PSR [27].....۲۳
۳-۲-۱- روش بهبود حذف ریپل تغذیه ۲۳
۳-۳- ساختار رگولاتور LDO با PSR 56- dB در فرکانس 10 MHz [28] ۲۳
۳-۴- ساختار رگولاتورLDO بدون خازن خارج از تراشه با بهبود پاسخ حالت گذرا [32] ۲۵
۳-۵- رگولاتور LDO با استفاده از تکنیک بایاس جریان دینامکی برای کاربردهای پزشکی[33] ..۲۷
۳-۶- رگولاتور LDO بدون خازن خارجی بیرون تراشه با جریان ساکن 0.9 µA [34] ۲۸
۳-۶-۱- تحلیل پایداری ۲۹
۳-۶-۲- کاهش فراجهش و فروجهش ۳۰
۳-۷- رگولاتور FVF LDO با تکنیک مجموع اثر دو روش جبران‌سازی فرکانسی میلر [37].....۳۰
۳-۸- ساختار گولاتور LDO با بهبود PSR [39].....۳۱

فصل چهارم: طراحی اولین رگولاتور پیشنهادی

۴-۱- ساختار رگولاتور دو طبقه متداول ۳۴
۴-۱-۱- بررسی چالش‌ها برای یک رگولاتور LDO با توان مصرفی پایین ۳۴
۴-۱-۲- ساختار رگولاتور LDO با جریان زمین پایین و بهبود حالت گذرا با استفاده از یک تقویت‌کننده Push-Pull [40]۳۵
۴-۱-۳- نرخ چرخش بالا ۳۷
۴-۱-۴- پایداری رگولاتور متداول.....۳۸
۴-۲- ساختار رگولاتور LDO سه طبقه پیشنهادی.....۳۸
۴-۲-۱- توپولوژی رگولاتور LDO کم توان پیشنهادی.....۴۰
۴-۲-۲- تحلیل پاسخ فرکانسی ۴۱
۴-۲-۲-۱- تابع تبدیل ۴۲
۴-۲-۲-۲- استراتژی جبران‌سازی فرکانسی ۴۵
۴-۲-۳- طراحی ترانزیستور قدرت ۴۷
۴-۲-۴- بهبود پاسخ حالت گذرا.....۴۸
۴-۲-۵- مدار بایاس رگولاتور LDO ۵۰
۴-۳- پیاده‌سازی مداری رگولاتور LDO سه طبقه پیشنهادی ۵۱

فصل پنجم: طراحی رگولاتور پیشنهادی دوم

۵-۱- ساختار رگولاتور LDO با سطح مقطع مناسب و توان مصرفی ۶ میکروات[50].....۵۳

۵-۲- ساختار رگولاتور پیشنهادی با توان مصرفی حدود ۱/۶ میکروات و نرخ چرخش متقارن....۵۵
۵-۲-۱- توپولوژی رگولاتور ولتاژ LDO پیشنهادی.....۵۶
۵-۲-۲- تحلیل پاسخ فرکانسی.....۵۷
۵-۲-۲-۱- تابع تبدیل.....۵۷
۵-۲-۲-۲- استراتژی جبران‌سازی فرکانسی.....۶۰
۵-۲-۳- طراحی ترانزیستور قدرت.....۶۱
۵-۲-۴- بهبود پاسخ حالت گذرا.....۶۲
۵-۳- پیاده‌سازی مداری رگولاتور پیشنهادی.....۶۵

فصل ششم: نتایج شبیه‌سازی‌ها، نتیجه‌گیری و ارائه پیشنهادات

۶-۱- پاسخ فرکانسی حلقه باز.....۶۷
۶-۲- پاسخ حالت پایدار.....۷۳
۶-۳- پاسخ حالت گذرا.....۷۷
۶-۴- پاسخ فرکانس بالا.....۸۴
۶-۵- مقایسه نتایج.....۸۷
۶-۶- نتیجه‌گیری.....۸۸
۶-۷- ارائه پیشنهادات.....۹۰
مراجع.....۹۱

فهرست شکل‌ها

شکل (۲-۱) انواع رگولاتور: (الف) رگولاتور سوئیچ شونده و (ب) رگولاتور خطی [1]. ۷

شکل (۲-۲): مشخصه ورودی-خروجی یک رگولاتور خطی [1]. ۱۱

شکل (۲-۳): نمای ساده از یک رگولاتور خطی. ۱۲

شکل (۲-۴): ساختارهای مختلف مدار عبور جریان [17,16]. ۱۷

شکل (۳-۱): بلوک دیاگرام یک سیستم اکتسابی اطلاعات بدون سیم از مغز [19]. ۱۹

شکل (۳-۲): (الف) ساختار رگولاتور ولتاژ داخل تراشه، (ب) شماتیک مداری طبقه‌ی اول [19]. ۲۲

شکل (۳-۳): ساختار رگولاتور برای کاشت‌های درون پوستی مغز [27]. ۲۳

شکل (۳-۴): رگولاتور ولتاژ LDO با تکنیک بهبود PSR [28]. ۲۴

شکل (۳-۵): ساختار رگولاتور LDO بدون مدار بهبود نرخ چرخش[32] ۲۶

شکل (۳-۶): مدار بهبود نرخ چرخش پیشنهادی [32]. ۲۶

شکل (۳-۷): پیاده‌سازی رگولاتور ولتاژ LDO با مدار تقویت جریان بایاس دینامیکی [32]. ۲۸

شکل (۳-۸): شماتیک رگولاتور ولتاژ LDO با جریان زمین 0.9 µA [34]. ۲۹

شکل (۳-۹): شماتیک رگولاتور ولتاژ LDO بر پایه FVF با تکنیک DSMFC [37]. ۳۱

شکل (۳-۱۰): شماتیک مداری رگولاتور ولتاژ LDO سه حلقهای بر پایه FVF [39]. ۳۲

شکل (۴-۱): (الف) ساختار رگولاتور LDO با تقویت‌کننده معمولی، (ب) تغییرات ولتاژ dropout رگولاتور برحسب عرض ترانزیستور قدرت [40]. ۳۶

شکل (۴-۲): (الف) درکی از شماتیک رگولاتور ولتاژ LDO با تقویت‌کننده خطا با نرخ چرخش بالا و ساختار خروجی Push-Pull، (ب) ساختار سلول G_m به همراه نمودار تغییرات جریان آن [40]. ۳۷

شکل (۴-۳): ساختار مداری رگولاتور ولتاژ LDO با تقویت‌کننده با نرخ چرخش بالا و خروجی Push-Pull به همراه مدار بافر مرجع [40]. ۳۹

شکل (۴-۴): ساختار رگولاتور ولتاژ LDO پیشنهادی کم توان بدون مدار بایاس تطبیقی. ۴۰

شکل (۴-۵): بلوک دیاگرام رگولاتور LDO کم توان پیشنهادی. ۴۱
شکل (۴-۶): مدار معادل سیگنال کوچک توپولوژی رگولاتور ولتاژ پیشنهادی..... ۴۲
شکل (۴-۷): طراحی ترانزیستور قدرت. ۴۷
شکل (۴-۸): رگولاتور ولتاژ LDO پیشنهادی همراه با مدار بایاس تطبیقی جریان. ۵۰
شکل (۴-۹): ساختار مدار بایاس تقویت‌کننده خطا و سلول‌های G_m [49]..... ۵۱
شکل (۴-۱۰): ساختار کلی رگولاتور پیشنهادی اول..... ۵۲
شکل (۵-۱): ساختار یک رگولاتور LDO معمولی بر پایه FVF. ۵۴
شکل (۵-۲): شماتیک رگولاتور ولتاژ LDO همراه با مدار تشخیص تیزی ولتاژ خروجی [50]..... ۵۴
شکل (۵-۳): ساختار رگولاتور ولتاژ پیشنهادی همراه با بهبود نرخ چرخش متقارن. ۵۵
شکل (۵-۴): بلوک دیاگرام رگولاتور ولتاژ پیشنهادی به همراه خازن جبران‌سازی..... ۵۶
شکل (۵-۵): توپولوژی رگولاتور ولتاژ LDO پیشنهادی..... ۵۷
شکل (۵-۶): مدار معادل سیگنال کوچک رگولاتور ولتاژ پیشنهادی. ۵۷
شکل (۵-۷): رگولاتور با نرخ چرخش نامتقارن و زمان نشست زیاد. ۶۳
شکل (۵-۸): حالت گذرای رگولاتور ولتاژ پیشنهادی در لبه پایین رونده پالس جریان خروجی..... ۶۴
شکل (۵-۹): حالت گذرای رگولاتور ولتاژ پیشنهادی در لبه بالا رونده پالس جریان خروجی..... ۶۵
شکل (۵-۱۰): مدار کلی رگولاتور ولتاژ LDO پیشنهادی دوم. ۶۶
شکل (۶-۱): پاسخ فرکانسی رگولاتور پیشنهادی اول با خازن جبران‌ساز 70 fF. ۶۸
شکل (۶-۲): پاسخ فرکانسی رگولاتور پیشنهادی اول با خازن جبران‌ساز 50 fF. ۶۹
شکل (۶-۳): پاسخ فرکانسی رگولاتور پیشنهادی اول با خازن بار برابر با 40 pF. ۶۹
شکل (۶-۴): پاسخ فرکانسی رگولاتور پیشنهادی دوم نسبت به رگولاتور متداول در جریان بار 40 µA. ... ۷۱
شکل (۶-۵): پاسخ فرکانسی رگولاتور پیشنهادی دوم نسبت به رگولاتور متداول در جریان بار 7.5 mA... ۷۲
شکل (۶-۶): پاسخ فرکانسی رگولاتور پیشنهادی دوم نسبت به رگولاتور متداول در جریان بار 100 mA.. ۷۲
شکل (۶-۷): تغییرات ولتاژ خروجی به ازاس تغییر ولتاژ ورودی از صفر تا ۲ ولت در زمان فرود ۲۰۰ ps.. ۷۴

شکل (۶-۸): تنظیم بار برای رگولاتور پیشنهادی اول. ۷۴
شکل (۶-۹): تنظیم بار برای رگولاتور پیشنهادی دوم. ۷۵
شکل (۶-۱۰): تنظیم خط برای رگولاتور پیشنهادی اول در جریان بار کم. ۷۵
شکل (۶-۱۱): تنظیم خط برای رگولاتور پیشنهادی اول در جریان بار زیاد. ۷۶
شکل (۶-۱۲): تنظیم خط برای رگولاتور پیشنهادی دوم در سه حالت جریان بار کم، متوسط و زیاد. ۷۶
شکل (۶-۱۳): پاسخ حالت گذرا برای رگولاتور پیشنهادی اول با خازن خروجی 100 pF ۷۸
شکل (۶-۱۴): پاسخ حالت گذرا برای رگولاتور پیشنهادی اول با خازن خروجی 50 pF. ۷۸
شکل (۶-۱۵): پاسخ حالت گذرا برای رگولاتور پیشنهادی اول با خازن خروجی 1 pF. ۷۹
شکل (۶-۱۶): پاسخ حالت گذرا برای رگولاتور پیشنهادی دوم با خازن خروجی 100 pF. ۸۰
شکل (۶-۱۷): پاسخ حالت گذرا برای رگولاتور پیشنهادی دوم با خازن خروجی 50 pF. ۸۰
شکل (۶-۱۸): پاسخ حالت گذرا برای رگولاتور پیشنهادی دوم با خازن خروجی 1 pF. ۸۱
شکل (۶-۱۹): پاسخ حالت گذرا رگولاتور پیشنهادی اول به ازای تغییرات ولتاژ ورودی از ۰/۹ تا ۱/۲ ولت در جریان بار 30 µA. ۸۲
شکل (۶-۲۰): پاسخ حالت گذرا رگولاتور پیشنهادی اول به ازای تغییر ولتاژ ورودی از ۰/۹ تا ۱/۲ ولت در جریان بار40 mA. ۸۲
شکل (۶-۲۱): پاسخ حالت گذرا رگولاتور پیشنهادی دوم به ازای تغییر ولتاژ ورودی از ۰/۹ تا ۱/۲ ولت در جریان بار 40 µA. ۸۳
شکل (۶-۲۲): پاسخ حالت گذرا رگولاتور پیشنهادی دوم به ازای تغییر ولتاژ ورودی از ۰/۹ تا ۱/۲ ولت در جریان بار 100 mA. ۸۴
شکل (۶-۲۳): PSR شبیه‌سازی شده برای رگولاتور پیشنهادی اول در جریان بار 30 µA. ۸۵
شکل (۶-۲۴): PSR شبیه‌سازی شده برای رگولاتور پیشنهادی دوم نسبت به رگولاتور متداول در جریان بار 40 µA. ۸۶
شکل (۶-۲۵): PSR شبیه‌سازی شده برای رگولاتور پیشنهادی دوم نسبت به رگولاتور متداول در جریان بار 100 mA. ۸۶

فهرست جدول‌ها

جدول (۲-۱): مقایسه بین انواع رگولاتورها [4]. ۹

جدول (۲-۲): مقایسه ساختارهای مختلف مدار عبور دهنده جریان [4]..... ۱۷

جدول (۳-۱): نتایج ساختارهای بررسی شده در این فصل..... ۳۳

جدول (۶-۱): اندازه المان‌های استفاده شده در اولین رگولاتور پیشنهادی..... ۶۸

جدول (۶-۲): نتایج حاصل از شبیه‌سازی‌های پاسخ فرکانسی به ازای خازن‌های جبران‌سازی و بار متفاوت. ۷۰

جدول (۶-۳): پاسخ فرکانسی شبیه‌سازی شده برای اولین رگولاتور پیشنهادی. ۷۰

جدول (۶-۴): اندازه المان‌های استفاده شده در دومین رگولاتور پیشنهادی. ۷۱

جدول (۶-۵): نتایج به دست آمده از شبیه‌سازی پاسخ فرکانسی رگولاتور پیشنهادی دوم..... ۷۳

جدول (۶-۶): نتایج حاصل از شبیه‌سازیهای حالت پایدار رگولاتورهای پیشنهادی..... ۷۷

جدول (۶-۷): نتایج به دست آمده از شبیهسازی حالت گذاری رگولاتور پیشنهادی اول..... ۷۹

جدول (۶-۸): نتایج به دست آمده از شبیه‌سازی حالت گذاری رگولاتور پیشنهادی دوم در برابر ساختار متداول ۸۱

جدول (۶-۹): نتایج به دست آمده از شبیه‌سازی حالت گذاری رگولاتور اول به ازای تغییر در ولتاژ ورودی. ۸۳

جدول (۶-۱۰): نتایج به دست آمده از شبیه‌سازی PSR رگولاتور پیشنهادی اول..... ۸۵

جدول (۶-۱۱): نتایج به دست آمده از شبیه‌سازی PSR رگولاتور پیشنهادی دوم نسبت به رگولاتور متداول. ۸۷

جدول (۶-۱۲): مقایسه عملکرد کارهای ارائه شده در این تحقیق با برخی از رگولاتورهای گزارش شده اخیر. ۸۹

واژه نامه

واحد پردازش مرکزی	Centeral Processing Unit (CPU)
پردازش سیگنال دیجیتال	Digital Signal Processing (DSP)
کاشتیه‌های پزشکی	Biomedical Implant
مدار مجتمع	Integrated Circuit (IC)
رگولاتورهای خطی	Linear Regulators
رگولاتورهای سوئیچ‌شونده	Switching Regulators
تقویت‌کننده خطا	Error Amplifier
مبدل آنالوگ به دیجیتال	Analog to Digital Converter (ADC)
خازن بیرون تراشه	Off-Chip Capacitor
خازن درون تراشه	On-Chip Capacitor
حاشیه فاز	Phase Margin
مرجع شکاف باند	Bandgap Voltage Reference
تنظیم خط	Line Regulation
تنظیم بار	load Regulation
میزان حذف ریپل تغذیه	Power Supply Rejection Ratio (PSRR)
تغییرات ولتاژ مرجع	Reference Volatage Drift
تغییرات ولتاژ تقویت‌کننده خطا	Error Amplifier Voltage Drift
بازده جریان	Current Efficiency
سورس پیرو	Source Follower
سیستم اکتساب اطلاعات بدون سیم از مغز	Wireless Brain Data Acquisition System
توان بدون سیم	Wireless Power
کنترل‌کننده میدان دور	Far-Field Controler
زنجیره انتقال توان	Power Conversion Chain (PCC)
تانک رزونانسی	Resonance Tank
لینک القایی	Inductive Link

Adaptive Compensation Network	شبکه جبران‌سازی تطبیقی
Feed-Forward Ripple	ریپل مسیر پیشرو
Slew-Rate Enhancement	بهبود نرخ چرخش
Overshoot/Undershoot	فراجهش/فروجهش
Folded Cascode	کسکود تا شده
Dual-Summed Miller Frequency Compensation	مجموع اثر دو روش جبران‌سازی فرکانسی میلر
Diode Connected	اتصال دیودی
Quiescent Current	جریان ساکن یا جریان بی‌باری
Cross-Coupled Connection	اتصال جفت متقابل
Conventional Structure	ساختار متداول
Adaptive biasing Current	جریان بایاس تطبیقی
Settling Time	زمان نشست
Voltage Spike Detection	تشخیص تیزی ولتاژ
Chip Area	سطح مقطع

مراجع

[1] G. A. Rincon-Mora, "Analog IC design with low-dropout regulators (LDOs)," McGraw-Hill Professional, 2009.

[2] V. Gupta and G. A. Rincón-Mora, "A Low Dropout, CMOS Regulator with High PSR over Wideband Frequencies," In *Proc. International Symposium on Circuits, and Systems*,pp. 4245-4248, 2005.

[3] A. B. Grebene, "Bipolar and MOS analog integrated circuit design," John Wiley & Sons, 1983.

[4] M. Mojarad, *Design and Simulation of Low Power Low Dropout (LDO) Voltage Regulators for On-Chip Applications*, Masters of Thesis, Dept. of Electrical Engineering, Amirkabir University of Technology, Feb. 2012.

[5] IEEE standard for safety levels with respect to human exposure to radio frequency electromagnetic fields, 3 kHz to 300 GHz. in *IEEE Standard*, C95.1-2005 (2006).

[6] G. A. Rincon-Mora, "Current Efficient, Low Voltage, Low Drop-Out Regulators," PhD Thesis, Georgia Institute of Technology, November 1996.

[7] H. Chung and A. Ioinovici, "Swithed Capacitor Based DC-DC Convertor with Improved Input Current Waveform," *IEEE International Symposium on Circuits and Systems* (ISCAS), vol. 1, pp. 541-544, May 1996.

[8] G. Zhu and A. Ioinovici, "Swithed Capacitor Power Supplies: DC Voltage Ratio Efficiency Ripple Regulation," *IEEE International Symposium on Circuits and Systems* (ISCAS), vol. 1, pp. 553-556, May 1996.

[9] R. J. Milliken, A Capacitor-Less Low Drop-out Voltage Regulator with Fast Transient Response, M.Sc. Thesis, Texas A&M University, Dec. 2005.

[10] V. Gupta, G. A. Rincon-Mora, and P. Raha, "Analysis and design of monolithic, high PSR, linear regulators for SoC applications," In *Proc. IEEE Int. SoC Conf*, pp. 311-315, Sep. 2004.

[11] S. Heng and C. Kha Pham, "A Low-Power High-PSRR Low-Dropout Regulator with Bulk-Gate Controlled Circuit," *IEEE Trans. Circuits and systems-II: Exp. briefs*, vol. 57, no. 4, pp. 245-249, Apr. 2010.

[12] M. El-Nozahi, A. Amer, J. Torres, K. Entesari, and E. Sanchez-Sinencio, "High-PSR Low-Dropout Regulator with Feed-Forward Ripple Cancellation Technique," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 3, pp. 565-577, Mar. 2010.

[13] The Engineering Staff of Texas Instruments Semiconductor Group, *Technical Review of Low Drop-out Regulator Operation and Performance*, Dallas, Texas: Texas

Instruments Incorporated, 1999.

[14] The Engineering Staff of Texas Instruments Semiconductor Group, *The Voltage Regulator Handbook*, Dallas, Texas: Texas Instruments Incorporated, 1977.

[15] P. Y. Or, K. N. Leung, "An Output-Capacitorless Low-Dropout Regulator with Direct Voltage-Spike Detection," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 2, pp. 458-466, Feb. 2010.

[16] D. Camacho, P. Gui, and P. Moreira, "An NMOS Low Dropout Voltage Regulator with Swithed Capacitor Gate Overdrive," In *Proc. 52nd Midwest Symposium on Circuits and Systems* (MWSCAS), pp. 808-801, Aug. 2009.

[17] G. Giustolisi, G. Palumbo, C. Falconi, and A. D'Amico, "NMOS Low Dropout Voltage Regulator with Dynamic Biasing," In *Proc. International Conference on Electronics, Circuit, and Systems* (ICECS), pp. 204-207, 2009.

[18] S. K. Lau, P. K. T. Mok, and K. N. Leung, "A Low Dropout Voltage Regulator for SoC with Q-reduction," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 3, pp. 658-664, MAr. 2007.

[19] V. Majidzadeh, K. Silay, A. Schmid, C. Dehollain and Y. Leblebici, "A Fully On-Chip LDO Voltage Regulator with 37 dB PSRR at 1 MHz for Remotely Powered Biomedical Implants," *Analog Integrated Circuits and Signal Processing*, vol. 67, no. 2, pp. 157-168, Nov. 2010.

[20] K. Wise, D. Anderson, J. Hetke, D. Kipke and K. Najafi, "Wireless Implantable Microsystems: High-Density Electronic Interfaces to the Nervous System," *Proceedings of the IEEE*, vol. 92, no. 1, pp. 76-97, 2004.

[21] M. Sawan, Y. Hu and J. Coulombe, "Wireless smart implants dedicated to multichannel monitoring and microstimulation," *IEEE Circuits Syst. Mag.*, vol. 5, no. 1, pp. 21-39, 2005.

[22] R. Harrison, P. Watkins, R. Kier, R. Lovejoy, D. Black, B. Greger and F. Solzbacher, "A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System," *IEEE J. Solid-State Circuits*, vol. 42, no. 1, pp. 123-133, 2007.

[23] P. Vaillancourt, A. Djemouai, J. F. Harvey, and M. Sawan, "EM radiation behavior upon biological tissues in a radiofrequency power transfer link for a cortical visual implant," in *Proceedings of the IEEE EMBC'97*, pp. 2499–2502, November. 1997.

[24] K. M. Silay, C. Dehollain, and M. Declercq, "Numerical analysis of temperature elevation in the head due to power dissipation in a cortical implant," In *Proceedings of the IEEE EMBC'08*, pp. 951–956, Aug. 2008.

[25] P. C. Crepaldi, T. C. Pimenta, R. L. Moreno, and E. C. Rodriguez, "A linear voltage regulator for an implantable devicemonitoring system," *Analog Integrated Circuits and Signal Processing*, vol. 65, no. 1, pp. 131–140, 2010.

[26] Y. Hu, M. Sawan M, and M. N. El-Gamal, "An integrated power recovery module

dedicated to implantable electronic devices," *Analog Integrated Circuits and Signal Processing*, vol. 43, no. 2, pp. 171–181, 2005.

[27] C. L. Kok, L. Siek, F. Geo, Y. Zheng, and W. M. Lim, "An Ultra-Compact Green Bio-Regulator Dedicated for Brain Cortical Implant Using a Dynamic PSR Enhancement Technique," *34th Annual International Conference of the IEEE EMBS San Diego*, California. USA, 28 Aug-1 Sep, 2012.

[28] A. Amer, E. Sanchez-Sinencio, "A 140mA 90nm CMOS Low Drop-out Regulator with -56dB Power Supply Rejection at 10MHz," *IEEE Custon Intregated Circuits Conference (CICC),* Pages: 1-4, 2010.

[29] K. Wong, and D. Evans, "A 150mA low noise, high PSRR low-dropout linear regulator in 0.13µm technology for RF SoC applications," *In Proc. Of IEEE European Solid-State Circuits Conference*, pp. 532-535, Sep. 2006.

[30] S. K. Hoon, S. Chen, F. Maloberti, J. Chen, and B. Aravind, "A low noise, high power supply rejection low dropout regulator for wireless system-onchip applications," *Proc. of IEEE Custom Integrated Circuits Conference*, pp. 759-762, Sept. 2005.

[31] V. Gupta, and G. A. Rincon-Mora, "A 5mA 0.6µm CMOS miller compensated LDO regulator with -27dB worst-case power-supply rejection using 60pF of on-Chip capacitance," In *Proc. of IEEE International Solid-State Circuits Conference*, pp. 520-521, Feb. 2007.

[32] C. Lovaraju, A. Maity, and A. Matra, "A Capacitor-Less Low Dropout (LDO) Regulator with Improved Transient Signal for SoC Applications," *2013 26th International Conference on VLSI Design and the 12th International Conference on Embedded Systems.*

[33] H. Ho, and K. N. leung, "Dynamic Bias-Current Boosting Technique for Ultralow-Power Low-Dropout Regulator in Biomedical Applications," *IEEE Trans. Circuits and systems-II: Exp. briefs*, vol. 58, no. 3, pp. 174-178, Mar. 2011.

[34] S. S. Chong, and P. K. Chan, "A 0.9-µA Quiescent Current Output-Capacitorless LDO Regulator with Adaptive Power Transistors in 65-nm CMOS," *IEEE Trans. Circuits and systems-I: Reg. papers,* vol. 60, no. 4, pp. 1072-1081, Apr. 2013.

[35] W. J. Huang, S. H. Lu, and S. I. Lu, "CMOS low dropout linear regulator with single Miller capacitor," *Elect, Letters*, vol. 42, no. 4, pp. 216-217, Feb. 2006.

[36] E. N. Y. Ho, and P. T. K. Mok, "A Capacitor-Less CMOS Active Feedback Low-Dropout Regulator wirh Slew-Rate Enhancement for Portable On-Chip Application," *IEEE Trans. Circuits and systems-II: Exp. briefs*, vol. 57, no. 2, pp. 80-84, Feb. 2010.

[37] X. L. Tan, K. C. Koay, S. S. Chong, and P. K. Tan, "A FVF LDO Regulator with Dual-Summed Miller frequency Compensation for Wide Load Capacitance Range Applications, " *IEEE Trans. Circuits and systems-I: Reg. papers,* vol. 61, no. 5, pp. 1304-1312, May. 2014.

[38] K. C. Koay, S. S. Chong, and P. K. Chan, "A FVF based output capacitorless LDO regulator with wide load capacitance range," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, pp. 1488–1491, May. 2013.

[39] Y. Lu, Y. Wang, W. H. Ki, and C. P. Yue, "A Fully-Integrated Low-Dropout Regulator with Full-Spectrum Power Supply Rejection," *IEEE Trans. Circuits and systems-I: Reg. papers,* vol. 62, no. 3, pp. 707-716, Dec. 2014.

[40] T. Y. Man, P. K. T. Mok, and M. Chan, "A High Slew-Rate Push–Pull Output Amplifier for Low-Quiescent Current Low-Dropout Regulators with Transient-Response Improvement," *IEEE Trans. Circuits and systems-II: Exp. briefs*, vol. 54, no. 9, pp. 755-759, Sept. 2007.

[41] R. G. Carvajal, J. Ramírez-Angulo, A. J. López-Martín, A. Torralba, J. A. G. Galán, A. Carlosena, and F. M. Chavero, "The flipped voltage follower: A useful cell for low-voltage low-power circuit design," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, no. 7, pp. 1276–1291, Jul. 2005.

[42] T. Y. Man, K. N. Leung, C. Y. Leung, P. K. T. Mok, and M. Chan, "Development of single-transistor-control LDO based on flipped voltage follower for SoC," *IEEE Trans. Circuits Syst-I: Reg. Papers*, vol. 55, no. 5, pp. 1392–1401, Jun. 2008.

[43] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, "The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, no. 7, pp. 1276–1291, Jul. 2005.

[44] M. Yavari, "Active-feedback single Miller capacitor frequency compensation techniques for three-stage amplifiers," *Journal of Circuits, Systems and Computers*, vol. 19, no. 7, pp. 1381--1398, Nov. 2010.

[45] K. N. Leung, and P. K. T. Mok, "Analysis of Multistage Amplifier-Frequency Compensation," *IEEE Trans. Circuits and systems-I: Fun. Theory and Applications*, vol. 8, no. 9, Sep. 2001.

[46] H. Le, and P. K. T. Mok, "Active-Feedback Frequency Compensation Techniques for Low-Power Multistage Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 3, pp. 511-520, Mar. 2003.

[47] H. Le, and P. K. T. Mok, "Advanced in Active-Feedback Frequency Compensation with Power Optimization and Transient improvment," *IEEE Trans. Circuits and systems-I: Reg. papers,* vol. 51, no. 9, pp. 1690-1696, Sept. 2004.

[48] C. Zhan, and W. H. Ki, "Output-Capacitor-Free Adaptively Biased Low-Dropout Regulator for System-on-Chips," *IEEE Trans. Circuits and systems-I: Reg. papers,* vol. 57, no. 5, pp. 1017-1028, May. 2010.

[49] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill Professional, 2001.

[50] J. Guo, and K. N. Leung, "A 6-W Chip-Area-Efficient Output-Capacitorless LDO in

90-nm CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 45, no. 9, pp. 1998-1905, Sep. 2010.

[51] C. H. Lin, K. H. Chen, and H. W. Huang, "Low-Dropout Regulators with Adaptive Reference Control and Dynamic Push-Pull Techniques for Enhancing Transient Performance," *IEEE Tans. Power Electronics*, vol. 24, no. 4, pp. 1016-1022, Apr. 2009.

[52] X. Ming, Q. Li, Z. K. Zhou, and B. Zhang, "An Ultrafast Adaptively Biased Capacitorless LDO with Dynamic Charging Control," *IEEE Trans. Circuits and systems-II: Exp. briefs*, vol. 59, no. 1, pp. 40-44, Jan. 2012.

[53] X. Qu, Z. K. Zhou, B. Zhang, and Z. J. Li, "An Ultralow-Power Fast-Transient Capacitor-Free Low-Dropout Regulator with Assistant Push–Pull Output Stage," *IEEE Trans. Circuits and systems-II: Exp. briefs*, vol. 60, no. 2, pp. 96-100, Feb. 2013.

[54] X. L. Tan, S. S. Chong, P. K. Chan, and U. Dasgupta, "A LDO Regulator With Weighted Current Feedback Technique for 0.47 nF–10 nF Capacitive Load," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 11, pp. 2658-2672, Nov. 2014.

Abstract:

The main goal of the presented research is to provide solution to design LDO resolutions for implantable biomedical applications, so that power consumption to be low and chip area of the regulator should be very small because of implanting within the body.

Reducing the power consumption of the regulator needs to decrease the transistor currents of the voltage regulator. So decreasing of the power consumption certainly have destructive effects on the regulator performance. To alleviate these effects, a few techniques have been proposed which include frequency and transient time compensation schemes in the transient state, some techniques have be designed for enhancing slew rate and increasing bandwidth.

For battery operated and implantable devices, power management systems have to be designed in a way to dissipate less power and extend the life of the battery and consequently the operation of the device. Herein, the method introduce to boost the regulator performance, consume low power and do not degrade the power and the current efficiency of the regulator.

Finally, the proposed have been design and simulated in 90nm CMOS process and the results show that having low power nature, the utilized techniques improve the response of the regulator considerably and could be used in the low power implantable biomedical devices. The worst case recovery time for two architecture which have be implanted 90nm CMOS process, are 2 and 1.6 μs and the ground currents for them are 1.75 and 1.8 μA, respectively. The power consumption of both regulators are about 1.6 μW.

Keywords: Linear regulators, LDO voltage regulator, Implantable biomedical applications, Low power consumption, Frequency compensation, Transient response.

Amirkabir University of Technology

Electrical Engineering Department of

A dissertation submitted in partial fulfillment of the requirements
for the degree of

Masters of Science

Low-Power Low-Dropout (LDO) Voltage Regulators for Implantable Biomedical Applications

:By
Boanloo Mehdi Moradian

:Under supervision of
Dr. Mohammad Yavari & Dr. Hassan Ghafouri Fard

February 2016