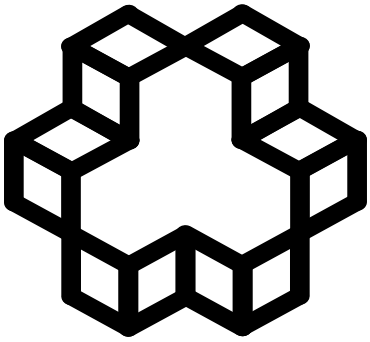


Electrical Enginereering Department
K. N. Toosi University of Technology
Tehran

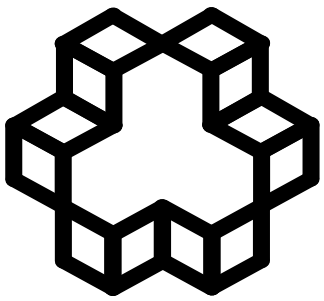
By
Mahdi Mirzaei

Submitted in Partial Fulfillment
Of the Requirements
For the Degree of
Master of Engineering
In Electronics
In

Design and Simulation of Continuous-Time Sigma-Delta Modulators for High-Speed Applications in 90nm CMOS

Under Supervision o f
Prof. Hossein Shamsi ***Prof. Mohammad Yavari***

September 2009



تأسیس ۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق

پایان نامه کارشناسی ارشد مهندسی برق – الکترونیک

عنوان :

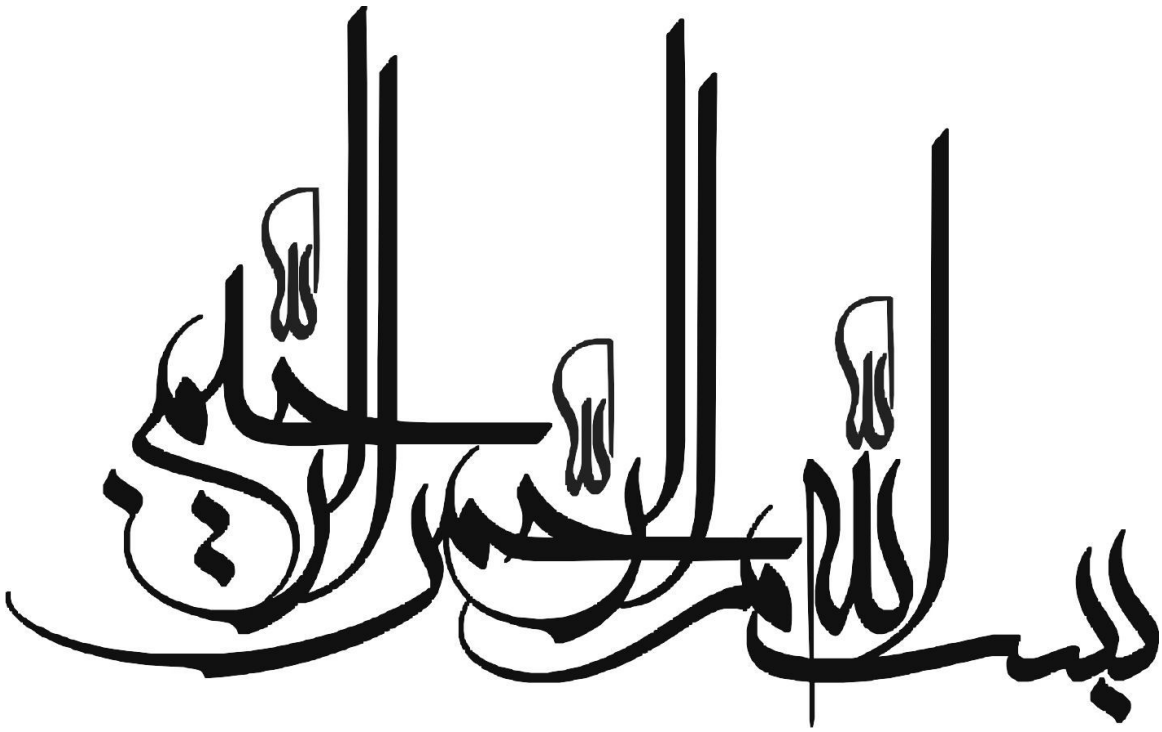
طراحی و شبیه سازی مدولاتورهای دلتا-سیگمای زمان پیوسته برای کاربردهای سرعت بالا در تکنولوژی ۹۰ نانومتر CMOS

اساتید راهنما:

دکتر حسین شمسی دکتر محمد یاوری

دانشجو: مهدی میرزائی

شهریور ۱۳۸۸


بسم الله الرحمن الرحيم

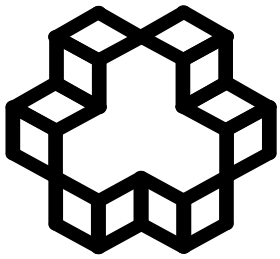
تقدیم به پدر و مادرم

(که همچون شمع سوختند تا روشنگر راهم باشند و گرمابخش وجودم)

و

همه آنها که دوستشان دارم

بسمه تعالی



تاسیس ۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق

تاییدیه هیئت داوران

هیئت داوران پس از مطالعه پایان نامه و شرکت در جلسه دفاع از پایان نامه تهیه شده تحت عنوان "**طراحی و شبیه سازی مدولاتورهای دلتا-سیگمای زمان پیوسته برای کاربردهای سرعت بالا در تکنولوژی ۹۰ نانومتر CMOS**" توسط آقای **مهدی میرزائی** صحت و کفایت تحقیقات انجام شده را برای اخذ درجه کارشناسی ارشد در رشته **مهندسی برق**، گرایش **الکترونیک**، با رتبه ..... مورد تائید قرار می دهند.

۱- استاد راهنما:	**آقای دکتر حسین شمسی**	امضاء:.....
۲- استاد راهنما:	**آقای دکتر محمد یاوری**	امضاء:.....
۳- استاد ارزیاب:		امضاء:.....
٤- استاد ارزیاب:		امضاء:.....

تاسیس ۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق

اظهارنامه دانشجو

اینجانب **مهدی میرزائی** دانشجوی کارشناسی ارشد رشته **مهندسی برق**، گرایش **الکترونیک**، دانشکده مهندسی برق دانشگاه صنعتی خواجه نصیرالدین طوسی گواهی می نمایم که تحقیقات ارائه شده در پایان نامه با عنوان "**طراحی و شبیه سازی مدولاتورهای دلتا-سیگمای زمان پیوسته برای کاربردهای سرعت بالا در تکنولوژی ۹۰ نانومتر CMOS**" با راهنمایی استاد محترم جناب آقای **دکتر حسین شمسی** توسط شخص اینجانب انجام شده و صحت واصالت مطالب نگارش شده در این پایان نامه مورد تأیید میباشد، و در مورد استفاده از کار دیگر محققان به مرجع مورد استفاده اشاره شده است. بعلاوه گواهی مینمایم که مطالب مندرج در پایان نامه تا کنون برای دریافت هیچ نوع مدرک یا امتیازی توسط اینجانب یا فرد دیگری در هیچ جا ارائه نشده است و در تدوین متن پایان نامه چارچوب(فرمت) مصوب دانشگاه را بطور کامل رعایت کرده ام.

امضاء دانشجو:

تاریخ:

تاسیس ۱۳۰۷
دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق

حق طبع و نشر و مالکیت نتایج

۱. حق چاپ و تکثیر این پایان نامه متعلق به نویسنده آن می باشد. هرگونه کپی برداری بصورت کل پایان نامه یا بخشی از آن تنها با موافقت نویسنده یا کتابخانه دانشکده مهندسی برق دانشگاه صنعتی خواجه نصیرالدین طوسی مجاز میباشد.
۲. کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی خواجه نصیرالدین طوسی می باشد و بدون اجازه کتبی دانشگاه به شخص ثالث قابل واگذاری نیست.
همچنین استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مراجع مجاز نمیباشد.

چکیده

امروزه افزایش نیاز به مبدل های آنالوگ به دیجیتال با سرعت زیاد در پهنای باند وسیع، سبب توجه بیش تر به مدولاتورهای دلتا-سیگمای زمان پیوسته گردیده است. از طرفی با پیشرفت قابل توجه در مخابرات دیجیتال و افزایش استفاده از سیستم های الکترونیکی قابل حمل، نیاز به مبدل های آنالوگ به دیجیتال با ولتاژ پایین و توان کم افزایش یافته است. هدف کلی این پایان نامه، طراحی یک مبدل آنالوگ به دیجیتال دلتا-سیگمای زمان پیوسته برای کاربردهای سرعت بالا و کم توان در ولتاژهای پایین است. در نتیجه پس از مطالعه دقیق عملکرد این مبدل ها روش های جدیدی برای کاهش توان این نوع مدولاتورها و همچنین طراحی مدولاتورهای پایدارتر و پربازده تر ارائه شده است. لازم به ذکر است که این روش ها به طور ضمنی امکان دستیابی به مدولاتورهای سریعتر را نیز فراهم می کنند.

در این پایان نامه دو روش جدید برای طراحی مدولاتورهای دلتا-سیگمای زمان پیوسته به کمک نرم افزار MATLAB ارائه شده است. روش اول مبتنی بر طراحی فیلتر حلقه بر اساس معیارهای پایداری حاشیه فاز و حاشیه بهره است. روش دوم مبتنی بر طراحی فیلتر حلقه بر اساس پارامترهای ماکزیمم تابع تبدیل نویز در پهنای باند سیگنال ورودی و ماکزیمم تابع تبدیل نویز در کل پهنای باند فرکانسی است.

با استفاده از روش اول می توان به مدولاتورهای پایدارتری در مقایسه با روش های معمول رسید. در این روش امکان دست یابی به پهنای باند بهره-واحدی برابر با فرکانس کلاک برای آپ-امپ های مدولاتور فراهم می شود که این عامل باعث کاهش توان مصرفی می شود. این روش در مقایسه با روش های معمول دارای نسبت سیگنال به نویز کمتری است که از معایب این روش محسوب می شود. روش دوم نسبت به روش اول کاملتر است. مزیت این روش نسبت به روش های معمول دستیابی به مدولاتورهای پایدارتر و دارای SNR بیش تر است.

با توجه به پایین بودن ولتاژ منبع تغذیه (که باعث پیچیده تر شدن طراحی مدارهای آنالوگ می شود)، ساختار، مرتبه و فیلتر حلقه مدولاتور به گونه ای انتخاب شده اند که در هنگام پیاده سازی مداری به اجزای مداری ساده تری نیاز داشته باشیم. به عنوان مثال در روش پیشنهادی پهنای باند بهره واحد و بهره ولتاژ آپ-امپ های مدولاتور بسیار کمتر از روش های معمول است که این امر سبب استفاده از ساختارهای مداری ساده تر می شود.

در نهایت با استفاده از روش های پیشنهادی، یک مبدل آنالوگ به دیجیتال ۱۳ بیتی با پهنای باند سیگنال آنالوگ ورودی برابر با ۱۰MHZ و فرکانس نمونه برداری ۳۲۰ MS/s در تکنولوژی ۹۰ نانومتر CMOS و ولتاژ تغذیه یک ولت به کمک نرم افزار HSPICE طراحی و شبیه سازی شده است که SNDR (نسبت سیگنال به نویز و اعوجاج) در آن برای سیگنال سینوسی ورودی با فرکانس ۹/۶۸۷۵MHZ برابر با ۸۰/۳۰۵۱dB است و ۱۱/۳۸mW توان مصرف می کند.

کلمات کلیدی: مبدل های آنالوگ به دیجیتال دلتا-سیگما، کم توان، پر سرعت، حاشیه فاز، حاشیه بهره، تابع تبدیل نویز، فیلتر حلقه

فهرست مطالب

فصل اول مقدمه ۱

فصل دوم اصول مبدلهای دلتا-سیگما ۵

۲-۱ مبدلهای آنالوگ به دیجیتال ۵

۲-۲ اصول مبدلهای دلتا-سیگما ۶

۲-۳ ساختارهای مورد استفاده برای پیاده سازی فیلتر حلقه ۱۰

۲-۳-۱ ساختارهای تک طبقه ای ۱۰

۲-۳-۱-۱ ساختارهای CIFB و CRFB ۱۰

۲-۳-۱-۲ ساختارهای CIFF و CRFF ۱۲

۲-۳-۲ ساختارهای چند طبقه ای ۱۳

۲-۴ مدولاتورهای دلتا-سیگمای زمان پیوسته ۱۵

۲-۴-۱ تبدیل پاسخ ضربه نامتغیر ۱۶

۲-۴-۲ تبدیلات گسسته به پیوسته ۱۸

فصل سوم روشهای جدید طراحی مدولاتورهای دلتا-سیگمای زمان پیوسته ۲۱

۳-۱ بررسی اثر UGBW محدود آپ-امپ در مدولاتورهای دلتا-سیگمای زمان پیوسته ۲۲

۳-۲ بررسی اثر تاخیر اضافی حلقه فیدبک در مدولاتورهای دلتا-سیگمای زمان پیوسته ۲۵

۳-۳ بررسی اثر جیتر کلاک در مدولاتورهای دلتا-سیگمای زمان پیوسته ۳۱

۳-۴ روشهای پیشنهادی برای طراحی مدولاتورهای پربازده تر و پایدارتر ۳۴

۳-۴-۱ مشکل موجود در جعبه ابزار شرایر در طراحی مدولاتورهای دلتا-سیگمای زمان پیوسته ۳۴

۳-۴-۲ روش های پیشنهادی جهت طراحی فیلتر حلقه پایدار ۳۶

۳-۴-۲-۱ طراحی بر اساس معیارهای پایداری حاشیه فاز و حاشیه بهره ۳۶

۳-۴-۲-۲ طراحی بر اساس پارامترهای ماکزیمم مقدار NTF در پهنای باند سیگنال ورودی و ماکزیمم مقدار NTF در کل فرکانس ها ۴۲

فصل چهارم طراحی سیستمی مدولاتور مطلوب با استفاده از روش پیشنهادی... ۴۷
۴-۱ طراحی فیلتر حلقه ۴۷
۴-۲ انتخاب ساختار مدولاتور ۴۹
۴-۳ انتخاب تعداد سطوح کوانتایزر ۵۰
۴-۴ انتخاب شکل موج DAC ۵۰
۴-۵ ضرایب مدولاتور و نتایج شبیه سازی ۵۰
فصل پنجم پیاده سازی مداری مدولاتور ونتایج شبیه سازی ۵۳
۵-۱ ساختار کلی مدولاتور ۵۳
۵-۲ انتگرال گیر طبقه اول ۵۴
۵-۳ آپ-امپ های مدولاتور ۵۵
۵-۳-۱ آپ-امپ مورد استفاده در انتگرال گیرهای RC ۵۵
۵-۳-۲ آپ-امپ مورد استفاده در جمع کننده ۵۸
۵-۳-۳ مدار فیدبک حالت مشترک ۵۹
۵-۴ مبدل آنالوگ به دیجیتال (Flash ADC) ۶۰
۵-۴-۱ طراحی مقایسه گر ولتاژ ۶۰
۵-۴-۱-۱ سرعت Regeneration ۶۲
۵-۴-۱-۲ ولتاژ آفست ورودی مقایسه گر ۶۳
۵-۴-۲ طراحی SR Latch ۶۴
۵-۴-۳ طراحی نردبان مقاومتی ۶۵
۵-۴-۴ معکوس کننده ۶۶
۵-۴-۵ شبیه سازی مقایسه گر ولتاژ ۶۶
۵-۵ طراحی مبدل دیجیتال به آنالوگ ۶۷
۵-۶ فلیپ فلاپ D با راه اندازی لبه مثبت ۷۰
۵-۷ ضرایب مدولاتور نهایی ۷۰
۵-۸ تحلیل نویز ۷۱
۵-۹ نتایج شبیه سازی مدولاتور نهایی ۷۴
۵-۱۰ مقایسه عملکرد مدولاتور طراحی شده در این پایان نامه با مدولاتورهای دیگر ۷۶

فصل ششم نتیجه گیری و پیشنهادات ۷۸
۶-۱ نتیجه گیری ۷۸
۶-۲ پیشنهادات ۷۹
لیست مقالات ارائه شده **۸۰**
مراجع..... **۸۱**

فهرست شکل ها

شکل (۲-۱) الف)مدولاتور سیگما-دلتای زمان پیوسته با کوانتایزر واقعی ب) مدولاتور دلتا-سیگما با مدل خطی کوانتایزر..... ۷

شکل (۲-۲) مدل کلی دیگری از مدولاتورهای دلتا-سیگما..... ۹

شکل (۲-۳) ساختارCIFB ۱۱

شکل (۲-٤) ساختارCRFB ۱۲

شکل (۲-٥) ساختارCIFF ۱۳

شکل (۲-٦) ساختارCRFF ۱۳

شکل (۲-۷) نمونه ای از مدولاتورهای سیگما-دلتا با ساختارMASH..... ۱۴

شکل (۲-۸) الف) بلوک دیاگرام کلی مدولاتور دلتا-سیگمای زمان پیوسته ب) بلوک دیاگرام کلی مدولاتور دلتا-سیگمای زمان گسسته ج) فیلتر زمان پیوسته حلقه باز د) فیلتر زمان گسسته حلقه باز ۱۷

شکل (۳-۱) الف) یک انتگرال گیر واقعی ب)مدل سیستمی یک انتگرال گیر ۲۳

شکل (۳-۲) مدلسازی اثر GBW محدود آپ-امپ در مدولاتور سیگما-دلتای مرتبه دوم به وسیله دو تأخیر در مسیر فیدبک ۲۴

شکل (۳-۳) نمایش تاخیر اضافی حلقه در شکل موج NRZ-DAC..... ۲۵

شکل (۳-۴) DAC تاخیریافته به صورت ترکیب خطی از دو NRZ-DAC ۲۸

شکل (۳-۵) توپولوژی رایج مورد استفاده در مدولاتورهای دلتا-سیگمای زمان پیوسته ۲۹

شکل (۳-۶) مدولاتور دلتا-سیگمای زمان پیوسته..... ۳۱

شکل (۳-۷) اثر جیتر کلاک در DAC های گسسته و پیوسته ۳۲

شکل (۳-۸) اثر جیتر کلاک درNRZ-DAC ۳۲

شکل (۳-۹) اثر جیتر کلاک در ساختارهای مختلف DAC تک بیتی ۳۴

شکل (۳-۱۰) ساختار CIFF برای پیاده سازی..... ۳۸

شکل (۳-۱۱) نمودار SNR بر حسب بهره آپ-امپ ۳۹
شکل (۳-۱۲) نمودار SNR بر حسب UGBW انتگرال گیرها ۴۰
شکل (۳-۱۳) نمودار SNR بر حسب تأخیر متغیر در مسیر DAC ۴۱
شکل (۳-۱۴) طیف فرکانسی مدولاتور ۴۱
شکل (۳-۱۵) الف) چگالی طیف نویز کوانتیزاسیون مبدل ADC داخلی مدولاتور ب) NTF ج) چگالی طیف توان نویز کوانتیزاسیون خروجی مدولاتور ۴۳
شکل (۳-۱۶) نمودار SNR بر حسب تاخیر حلقه فیدبک ۴۶
شکل (۴-۱) ساختار سیستمی مدولاتور انتخابی ۴۹
شکل (۴-۲) الف) طیف خروجی مدولاتور ب) طیف خروجی مدولاتور در پهنای باند سیگنال ورودی..... ۵۱
شکل (۴-۳) نمودار رنج دینامیکی مدولاتور دلتا-سیگما ۵۲
شکل (٤-٤) نمودار SNR بر حسب تاخیر اضافی حلقه ۵۲
شکل (۵-۱) بلوک دیاگرام مدولاتور دلتا-سیگمای زمان پیوسته مرتبه چهارم ٥٤
شکل (۵-۲) انتگرال گیر طبقه اول به همراه Current Steering DAC ۵۵
شکل (۵-۳) تقویت کننده عملیاتی دو طبقه با جبرانسازی میلری ۵۶
شکل (٥-٤) پاسخ فرکانسی آپ-امپ انتگرال گیر ۵۸
شکل (۵-۵) پاسخ فرکانسی آپ-امپ جمع کننده ۵۹
شکل (۵-۶) مدار فیدبک مد مشترک ۶۰
شکل (۵-۷) مدار یک Flash ADC چهاربیتی ۶۱
شکل (۵-۸) ساختار مقایسه گر ولتاژ ٦٢
شکل (۵-۹) الف) مدار SR LATCH ب)مدار NAND ٦٤
شکل (۵-۱۰) گیت معکوس کننده ٦٦

شکل (۵-۱۱) طیف خروجی مدار Flash ADC ٦٧
شکل (۵-۱۲) الف) ساختار سلول جریان ب) مدار بایاس DAC..... ٦٨
شکل (۵-۱۳) انتگرال گیر طبقه اول الف) حالت مداری ب) حالت سیستمی ٦٨
شکل (۵-۱۴) فلیپ فلاپ D با راه اندازی لبه مثبت ٧٠
شکل (۵-۱۵) FFT کدهای خروجی ADC در فرکانس الف) ۹/۶۸۷۵MHZ ب)۱/۲۵MHZ ٧٥
شکل (۵-۱۶) FFT کدهای خروجی ADC در گوشه تکنولوژی الف) FF @ -40 deg ب) SS@90 deg ٧٥
شکل (۵-۱۷) کدهای خروجی ADC بر حسب تاخیر اضافی حلقه ٧٥
شکل (۵-۱۸) درصد و میزان توان مصرفی المان های مدار ٧٦

فهرست جدول ها

جدول (۲-۱) تبدلات گسسته به پیوسته فیلتر حلقه ۲۰
جدول (۳-۱) تبدلات گسسته به پیوسته فیلتر حلقه ۲۷
جدول (۳-۲) نتایج شبیه سازی مربوط به تعدادی فیلتر حلقه ۳۷
جدول (۳-۳) توابع تبدیل $H(s)$ و $H'(s)$ ۳۸
جدول (۳-٤) ضرایب مدولاتورها ۳۹
جدول (۳-٥) نتایج شبیه سازی مدولاتور برای فیلترهای حلقه مختلف (فیلترهای A و B با روش شرایر به دست آمده اند و فیلترهای حلقه A و B با استفاده از روش پیشنهادی به دست آمده اند.) ٤٥
جدول (٤-۱) مشخصات تابع تبدیل پیشنهادی در حوزه گسسته ٤٨
جدول (٤-۲) معادل پیوسته فیلترهای حلقه ٤٨
جدول (٤-۳) ضرایب مدولاتور دلتا-سیگمای پیشنهادی ٥۱
جدول (٤-٤) مشخصات سسیتمی مدولاتور مطلوب ٥۲
جدول (٥-۱) مشخصات آپ-امپ مختلف آپ-امپ در گوشه های مختلف تکنولوژی ٥۷
جدول (٥-۲) مقادیر المان های آپ-امپ انتگرال گیر ٥۷
جدول (٥-۳) مشخصات آپ-امپ جمع کننده در گوشه های مختلف تکنولوژی ٥۸
جدول (٥-٤) مقادیر المان های آپ-امپ جمع کننده ٥۹
جدول (٥-٥) مقادیر المان های مقایسه گر ٦٤
جدول (٥-٦) مقادیر المان های NAND ٦٥
جدول (٥-۷) مقادیر المان های گیت معکوس کننده ٦٦
جدول (٥-۸) مشخصات Flash ADC در گوشه های مختلف تکنولوژی ٦۷
جدول (٥-۹) مقادیر المان های سلول جریان ٦۹
جدول (٥-۱۰) مقادیر المان های فلیپ فلاپ ۷۰
جدول (٥-۱۱) مقادیر المان های مدولاتور ۷۱
جدول (٥-۱۲) فهرست مشخصات ADC شبیه سازی شده توسط نرم افزار ۷٦

HSPICE .....
جدول (۵-۱۳) مقایسه مبدل ADC پیاده سازی شده در این پایان نامه با چند مبدل آنالوگ به دیجیتال دلتا-سیگمای زمان پیوسته ۷۷

مراجع

[1] D. A. Johns and K. W. Martin; *Analog Integrated Circuit Design*, Wiley, New York, NY, N.Y., 1997

[2] B. Razavi; *Principles of data conversion system design,* IEEE Press, 1995

[3] S. R. Norsworthy, R. Schreier and G. C. Temes; *Delta-Sigma Data Converters Theory, Design, and Simulation*, IEEE Press, first edition, 1997

[4] E. van der zwan and E. C. Dijkmans, "A0.2 mW CMOS $\Sigma-\Delta$ Modulator for Speech coding with 80db dynamic rang", *IEEE Journal of Solid-State Circuits*, vol. 31, no. 12, pp. 1873-1880, December 1996.

[5] L. J. breems, R. Rutten, and G. WetzKer, "A cascaded continuous-time $\Sigma\Delta$ modulator with 67-dB dynamic rang in 10-MHZ bandwidth", *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, pp. 2152-2160, December 2004.

[6] V. Dias, G. Palmisano, and F. Maloberti, "Noise in mixed continuous-time Switched-capacitor sigma-delta modulators", *IEEE Proceedings G Circuits, Devices, and systems*, vol.139, no. 6, pp. 680-684, December 2004.

[7] T. Burger and Q. Huang, "A 13.5-mW 185-Msamples/s $\Delta\Sigma$ Modulator For UMTS/GSM dual–standard IF reception", *IEEE Journal of Solid-State Circuits*, vol. 36, no. 12, pp. 1868-1878, December 2001.

[8] T. Salo, S. Lindfors, T. Hollman, J. Jarvinen, and K. Halonen , "80-MHZ band-pass $\Sigma\Delta$ modulators for multimode digital IF receivers", *IEEE Journal of Solid State Circuits*, Vol. 38, no. 3, pp. 467-474, March 2003.

[9] J. Vink and J. Van Rens, "A CMOS Multi-bit sigma-delta modulator for Video application", *in Proceedings of the 24th European Solid-State Circuits Conference*, pp. 164-167, September 1998.

[10] E. van der Zwan, K. Philips, and C. Bastiaansen, "A 10.7-MHz IF–to-baseband $\Sigma\Delta$ A/D conversion system for AM/PM radio receivers", *IEEE Journal of Solid-State Circuits*, Vol. 35, no. 12, pp. 1810-1819, December 2000.

[11] L. J. Breems, E. van der Zwan, and J. H. Huijsing, "A 1.8-mW CMOS $\Sigma\Delta$ modulator with integrated mixer for A/D conversion of IF signals", *IEEE Journal of Solid-State Circuits*, Vol. 35, no. 4, pp. 468-475, April 2000.

[12] O. Oliaei, P. Clement, and P. Gorisse, "A 5-mW sigma-delta modulator with 84-dB dynamic rang for GSM/EDGE", *IEEE Journal of Solid-State Circuits*, Vol. 37, no. 1, pp. 2-10, January 2002.

[13] F. Gerfers, M. Ortmanns, and Y. Manoli, "A 1.5-V 12-bit power-efficient continuous-time third-order $\Sigma\Delta$ modulator", *IEEE Journal of Solid-State Circuits,* Vol. 38, no. 8, pp. 1343-1352, August 2003.

[14] Y. Le Guillou, O. Gaborieau, P. Gamand, M. Isberg, P. Jakobsson, L. Jonsson, D. Le Deaut, H. Marie, S. Mattison, L. Monger, T. Olsson, S. Prouet, and T. Tired, "Highly

integrated direct conversion receiver For GSM/GPRS/EDGE with on-chip 84-dB dynamic range continuous-time ΣΔ ADC", *IEEE Journal of Solid-State Circuits,* Vol. 40, no. 2, pp. 403-411, February 2005.

[15] R. Schoofs, M.Steyaert, and W. Sansen, "A7.5mW, 11-bit Continuous-time sigma-delta A/D converter for WLAN applications", *in IEEE International Symposium on Circuits and Systems,* pp. 4419-4422, May 2006.

[16] Susana Patón, Antonio Di Giandomenico, and Luis Hernández, "A 70-mW 300-MHz CMOS Continuous-Time ΔΣ ADC With 15-MHz Bandwidth and11 Bits of Resolution", *IEEE Journal of Solid-State Circuits*, Vol. 39, no. 7, pp. 1056-1063, July 2004.

[17] Gerhard Mitteregger, Christian Ebner, Stephan Mechnig, Thomas Blon, Christophe Holuigue, and Ernesto Romani, "A 20-mW 640-MHz CMOS Continuous-Time ΔΣ ADC With 20-MHz Signal Bandwidth,80-dB Dynamic Range and 12-bit ENOB", *IEEE Journal of Solid-State Circuits*, Vol. 41, no. 12, pp. 2641-2649, December 2006.

[18] Ichiro Fujimori, Lorenzo Longo, Armond Hairapetian, Kazushi Seiyama, Steve Kosic, Jun Cao, and Shu-Lap Chan, "A 90-dB SNR 2.5-MHz Output-Rate ADC Using Cascaded Multibit Delta–Sigma Modulation at 8× Oversampling Ratio", *IEEE Journal of Solid-State Circuits*, Vol. 35, no. 12, pp. 1820-1828, December 2000.

[19] Lucien J. Breems, Robert Rutten, Robert H. M. van Veldhoven, and Gerard van der Weide, "A 56 mW Continuous-Time Quadrature Cascaded ΔΣ Modulator With 77 dB DR in a Near Zero-IF20 MHz Band", *IEEE Journal of Solid-State Circuits*, Vol. 42, no. 12, pp. 2696-2705, December 2007

[20] Jeyanandh Paramesh, Ralph Bishop, K. Soumyanath and David Allstot, "An 11-bit 330MHz 8X OSR ΔΣ Modulator for Next-Generation WLAN", *2006 Symposium on VLSI Circuits Digest of Technical Papers*, pp. 166-167, 2006

[21] Cheongyuen W. Tsang, Yun Chiu, Borivoje Nikolic, "A 1.2V, 10.8mW, 500kHz Sigma-Delta Modulator with 84dB SNDR and 96dB SFDR", *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 202-203 , 2006.

[22] P.Benabe, M.Keramat and R.Kielbasa, "Synthesis and Analysis of Sigma-Delta Modulators Employing Continuous-Time Filters", *Analog Integrated Circuits and Signal processing*, July 1998.

[23] A.Yahia, P.Benabes and R.Kielbasa, "Banspass ΔΣ Modulators Synthesis with high Loop Delay", *International Symposium on circuits and Systems. (ISCAS),* Vol. 1, pp. 344-347, May 2001

[24] R. Schreier, "The Sigma-Delta Toolbox 5.2," Matlabcentral, *http://www.mathworks.com/matlabcentral/fileexchange/* loadFile.do?objectId=19

[25] H.Shamsi, Soheil Radiom, Omid Shoaei and Reza lotfi "A Straightforward Design Methodology for Multi-Bit Continuous Time Delta Sigma Modulators", *49th Midwest Symposium on Circuits and Systems*, pp. 409-413, Aug.2006

[26] Shouli Yan and Edgar Sánchez-Sinencio, "A Continuous_Time ΣΔ Modulator with 88-dB Dynamic Range and 1.1MHz Signal Bandwidth", *IEEE Journal of Solid-State Circuits,* Vol. 39, no. 1, pp. 75-78, January 2004

[27] Richard Schreier and Bo Zhang, "Delta-Sigma Modulators Employing Continuous-Time Circuitry", *IEEE Transactions on Circuits and Systems, Fundamental Theory and Applications*, Vol. 43, no. 4, pp. 324-332, April 1996.

[28] Amit Kumar Gupta and Edgar Sanchez-Sinencio, "State space approach to design of

continuous time sigma delta ADC with delay in feedback path", *Circuits and Systems, 2006. MWSCAS '06. 49th IEEE International Midwest Symposium on,* Vol. 2, pp. 664-668, August 2006

[29] James A. Cherry and W. Martin Snelgrove, "Excess Loop Delay in Continuous-Time Delta–Sigma Modulators" *IEEE Transactions on circuits and systems—II: Analog and digital signal processing,* Vol. 46, no. 4, pp. 376-389, April 1999

[30] A. M. Thurston, T. H. Pearce, and M. J. Hawksford, "Bandpass implementation of the sigma delta A-D conversion technique", *International. Conference on A-D and D-A Conversion,* pp. 81-86, 1991.

[31] O. Shoaei, "Continuous-time delta-sigma A/D converters for high speed applications", *Ph.D. dissertation, Carleton University*, Ottawa, Canada, 1995.

[32] F. M. Gardner, "A transformation for digital simulation of analog filters", *IEEE Transactions on Communications*, Vol. 34, pp. 676-680, July 1986.

[33] Trevor C .Caldwell and David A .Johns, "A Time- Interleaved Continuous-Time $\Delta\Sigma$ Modulator With 20-MHz Signal Bandwidth", *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 7, pp. 1578-1588, July 2006

[34] K. Lee, S. Kwon and F. Maloberti, "A Power Efficient Two-Channel Time-Interleaved SD modulator for Broadband Application", *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 6, pp. 1206-1215, June 2007

[35] Maurtin Ortmanns, Friedel Gerfers and Yiannos Manoli, "Influence Of Finite Integrator Gain Bandwidth On Continuous-Time Sigma Delta Modulators", *Circuits and Systems, 2003.ISCAS'03. Proceedings of the 2003 International Symposium on.* Vol. 1, pp 925-928, May 2003.

[36] L. Risbo, "$\Sigma\Delta$ modulators–stability and design optimization," *Ph.D.dissertation, Technical University of Denmark,* 1994.

[37] R.Schreier, "An Empirical Study of High Order Single bit Delta Sigma Modulator", *IEEE Transactions on circuits and systems—II: Analog and digital signal processing,* Vol. 40, no. 8, pp. 461-466, August 1993.

[38] M. S. Kappes, "A 2.2-mW CMOS bandpass continuous-time multibit Δ-Σ ADC with 68-dB of dynamic range and 1-MHz bandpass for wireless applications," *IEEE Journal of Solid-State Circuits*, Vol. 38, no. 7, pp. 1098-2003, July. 2003

[39] Zhimin Li and Terri S. Fiez, "A 14 Bit Continuous-Time Delta-Sigma A/D Modulator With 2.5 MHz Signal Bandwidth", *IEEE Journal of Solid-State Circuits*, Vol. 49, no. 9, pp. 1873-1883, September 2007.

[40] Bhupendra K. Ahuja, "An Improved Frequency Compensation Technique for CMOS Operational Amplifiers", *IEEE Journal of Solid-State Circuits*, Vol. SC-18, no. 6, pp. 629-633, December 1983.

[41] Feng Wang and Ramesh Harjani, "An Improved Model for the Slewing Behavior of Opamps", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 42, no. 10, pp. 679-681, October 1995.

[42] Mohammad Yavari, Nima Maghari, and Omid Shoaei, "An Accurate Analysis of Slew Rate for Two-Stage CMOS Opamps", *IEEE Transactions on Circuits and Systems-II: EXPRESS BRIEFS*, Vol. 52, no. 3, pp. 164-167, March 2005

[43] Shahriar Rabii, and Bruce A. Wooley, "A 1.8-V Digital-Audio Sigma–Delta Modulator in 0.8-um CMOS", *IEEE Journal of Solid-State Circuits*, Vol. 32, no. 6, pp. 783-796, June 1997.

[44] Pedro M. Figueiredo and Joۥo C. Vital, "LOW KICKBACK NOISE TECHNIQUES

FOR CMOS LATCHED COMPARATORS", *Proc. Int. Symp. On Circuits and systems*, Vol. 1, pp. 537-540, May 2004

[45] B. Nauta and A. G. W. Venes, "An 80 MHZ 80 mW 8b CMOS folding A/D converter with distributed T/H preprocessing", *IEEE International Solid-State Conference*, pp. 318-319, 1996

[46] H. Fielder, et. Al., "A 5-bit building-block for 20 MHZ A/D converters", *IEEE Journal of Solid-State Circuits*, Vol. SC-16, no. 3, pp. 151-155, Semptember 1981.

[47] B. –S. Song, S. –H. Lee and M. F. Tompset, "A 10-b 15-MHZ CMOS recycling Two-Step A/D Converter", *IEEE Journal of Solid-State Circuits*, Vol. 25, no. 6, pp. 1328-1338, December 1990.

[48] H. Lee, "A 12-b 600 ks/s Digitally Self-Calibrated Pipelined Algorithmic ADC", *IEEE Journal of Solid-State Circuits*, Vol. 29, pp. 509-515, Dec. 1994.

[49] A. Yukawa, "A CMOS 8-Bit High-Speed A/D Converter IC", *IEEE Journal of Solid-State Circuits*, Vol. 20, pp. 775-779, Jun. 1985.

[50] K. Uyttenhove, *et al*., "A 1.8 V 6-Bit 1.3-GHz Flash ADC in 0.25 μm CMOS", *IEEE Journal of Solid-State Circuits*, Vol. 38, pp. 1115-1122, Jul. 2003.

[51] Andrew M. Abo and Paul R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter", *IEEE Journal of Solid-State Circuits*, Vol. 34, no. 5, pp. 599-606, May. 1999.

[52] S. Sutarja and P. R. Gray, "A Pipelined 13-bit 250 ks/s 5-V analog-to-digital converter", *IEEE Journal of Solid-State Circuits*, Vol. SC-23, no. 6, pp. 1316-1323, December. 1988.

[53] W.-Chul Song, et.al., "A 10-b 20-Msample/s Low-Power CMOS ADC", *IEEE Journal of Solid-State Circuits*, Vol. 30, no. 5, pp. 514-521, May. 1995.

[54] P.Amaral, J.Goes, N.Paulino and A.Steiger, "An Improved low-voltage low-power CMOS Comparator to be used in High-Speed pipe line ADCs", *IEEE International Symposium on Circuits and Systems*, Vol. 5, pp. 141-144, 2002

[55] M. J. M. Pelgrom, A. C. J. Duinmaijer, "Matching properties of MOS Transistor", *IEEE Journal of Solid-State Circuits*, Vol. 24, no. 5, pp. 1433-1440, Oct. 1989.

[56] Libin Yao, Michiel Steyaert and Willy Sansen, *LOW-POWER LOW-VOLTAGE SIGMA-DELTA MODULATORS IN NANOMETER CMOS*, Springer Press, Netherlands, 2006

[57] Tongyu Song, Zhiheng Cao and Shouli Yan, "A 2.7-mW 2-MHz Continuous-Time $\Sigma\Delta$ Modulator With a Hybrid Active–Passive Loop Filter", *IEEE Journal of Solid-State Circuits*, Vol. 43, no. 2, pp. 330-341, February 2008.

[58] Raf Schoofs, Michiel S. J. Steyaert, and Willy M. C. Sansen, "A Design-Optimized Continuous-Time Delta–Sigma ADC for WLAN Applications", *IEEE Transactions on Circuits and Systems-II:Regular Papers*, Vol. 54, no. 1, pp. 209-207, January 2007

B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York 2001.

Abstract

Nowadays the increasing demand for high speed analog-to-digital converters in broadband applications leads to pay more attention to continuous time delta-sigma modulators.

On the other hand, due to the significant progress made in the digital communication and the daily increasing utilization of portable electronic systems, the need for low-voltage and low-power analog-to-digital converters is increased. The general goal of this thesis is the design of a continuous time delta-sigma analog-to-digital converter for high speed, low-voltage and low-power applications. Ultimately, after studying of the function of these modulators, two new methods are presented to reduce their power consumption. Exploiting the proposed methods, the modulators are designed with higher efficiency and stability. It is noteworthy that these methods implicitly allow achieving modulators of higher speed.

The first method is based on the design of the loop filter concordant with stability criteria of the phase margin and gain margin. The second method is also based on the design of the loop filter. It takes into consideration both the maximum of noise transfer function in the input signal bandwidth and the maximum of the noise transfer function in the whole bandwidth.

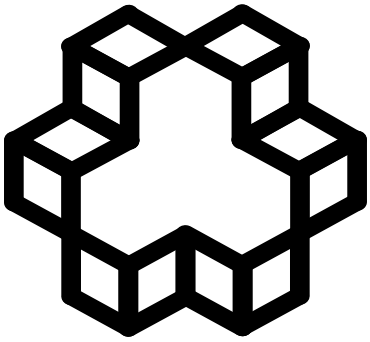
Modulators achieved through the first method are more stable compared with those achieved through usual methods. In this method, it is possible to achieve a unity-gain bandwidth equal to the clock frequency for Op-amps. This fact decreases the power consumption and allows achieving modulators of higher speeds. As a disadvantage, compared with the usual methods, this method has a lower signal-to-noise ratio.

The second method is more perfect than the first. The advantage of this method to usual methods is that it allows achieving modulators with more stability and higher SNR.

Since the supply voltage is low (that makes the design of analog circuits more complicated), the structure, order, and loop filter of the modulator are selected so that we will need simpler circuit components at the time of the circuit implementation. For instance, in the proposed method, both the unity gain bandwidth and the voltage gain of the Op-amps are far less than those of the usual methods, simplifying the circuit implementation of the modulator.

Finally, making use of the proposed methods, a 13-bit analog-to-digital converter with the sampling frequency of 320 MS/s is simulated in a 90nm, 1V, CMOS technology. For this purpose, the HSPICE software is utilized. The simulation results show that the SNDR and power dissipation of the modulator are identical to 80.3051 dB and 11.38 mW respectively.

Keywords: Delta-Sigma analog to digital converters, low power, high speed, Phase Margin, Gain Margin, Noise Transfer Function, Loop filter



Electrical Enginereering Department
K. N. Toosi University of Technology
Tehran

By
Mahdi Mirzaei

Submitted in Partial Fulfillment
Of the Requirements
For the Degree of
Master of Engineering
In Electronics
In

Design and Simulation of Continuous-Time Sigma-Delta Modulators for High-Speed Applications in 90nm CMOS

Under Supervision o f
Prof. Hossein Shamsi ***Prof. Mohammad Yavari***

September 2009