Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc. Thesis

Analysis and Improvement of Baseband Circuits for Implantable Neural Recording Systems

By
Mehdi Ashayeri

Supervisors
Dr. Mohammd. Yavari

February 2018

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

گرایش الکترونیک

عنوان

طراحی و بهبود مدارهای باند پایه برای سیستم‌های ثبت عصبی قابل کاشت

نگارش

مهدی عشایری

استاد راهنما

دکتر محمد یاوری

بهمن ۱۳۹۶

به نام خدا

تاریخ:

تعهدنامه اصالت اثر

این‌جانب مهدی عشایری متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی این‌جانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آن‌ها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادرشده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

مهدی عشایری

امضا

تقدیم به ...

پدر و مادر مهربان و فداکارم

و

برادر عزیزم

هادی.

ممنون از....

تمام حمایت ها و زحمت های شما

در لحظه به لحظه زندگی.

تشکر و قدردانی

از استاد ارجمند، جناب آقای دکتر محمد یاوری به‌عنوان استاد راهنما که بستر انجام هر چه دقیق‌تر این پژوهش را فراهم آورده‌اند، کمال تشکر و قدردانی را دارم. همچنین، از زحمات دوستانم در آزمایشگاه مدار مجتمع تشکر می‌نمایم که از تجربیات ارزشمند خود، بنده را بهره‌مند ساختند. ضمن آن‌که از جناب آقای دکتر کاتوزیان و جناب آقای دکتر معزی که زحمت داوری این پایان‌نامه را متقبل شدند، نهایت سپاسگزاری را دارم.

خداوند را به خاطر توفیق استفاده از محضر اساتید و دوستان گران‌قدر شاکرم و سربلندی و توفیق آنان را از خداوند منان مسئلت می‌نمایم.

مهدی عشایری

بهمن ۱۳۹۶

چکیده

طراحی مدارهای واسط ثبت سیگنال وابسته به نوع و ماهیت سیگنال دریافتی است. سیگنال‌های عصبی به دلیل پایین بودن محدوده دامنه و فرکانس کاری آن‌ها، طراحی مدار واسط ثبت سیگنال را تحت تاثیر قرار می‌دهند. همچنین به دلیل قابل کاشت بودن این سیستم‌ها توان اتلافی که به صورت حرارات آزاد می‌شود بسیار حائز اهمیت است. در این پایان نامه، طراحی یک سیستم با توان مصرفی پایین انجام شده است. مدار واسط شامل بلوک‌های تقویت‌کننده کم نویز، فیلتر و تقویت‌کننده بهره متغیر است. همچنین در طراحی این سیستم فرکانس‌های قطع فیلتر به صورت قابل برنامه ریزی طراحی شده است. تا سیستم ثبت سیگنال توانایی تقویت کردن سیگنال‌های عصبی با هر محدوده فرکانسی مشخص را داشته باشد. در طبقه‌ی اول تقویت‌کننده کم نویز دارای بهره 40 dB است و در طبقه‌ی دوم فیلتر بهره 10 dB اضافه می‌کند. در طبقه‌ی آخر، تقویت‌کننده بهره متغیر با ساختار جدیدی ارائه شده است که باعث حذف خازن-های اضافی در مسیر فیدبک شده است و این طبقه حداکثر تا 20 dB بهره به سیستم مورد نظر اضافه می‌کند تا مدار واسط ثبت سیگنال عصبی، محدوده دینامیکی مناسبی داشته باشد.

در نهایت مدارهای پیشنهادی در تکنولوژی 180 nm CMOS و با ولتاژ تغذیه ۱ ولتی با نرم‌افزار Cadence طراحی و شبیه‌سازی شده‌اند. سیگنال ورودی نیز دارای دامنه 100 µV با فرکانس 1 kHz است. نتایج شبیه‌سازی‌ها نشان می‌دهد که مدار واسط ثبت سیگنال عصبی ضمن مصرف توان پایین، از عملکرد خوبی برخوردار است. توان مصرفی کل ساختار پیشنهادی، نویز ارجاع داده شده به ورودی و ضریب بهره‌وری نویز به ترتیب برابر 3.41 µW ، 2.78 μV_{rms} و 2.2 است. همچنین توان مصرفی و نویز ارجاع داده شده این ساختار پیشنهادی در حالت LFP به ترتیب برابر 2.72 µW و 1.45 μV_{rms} است.

کلمات کلیدی:

مدار واسط ثبت سیگنال عصبی، تقویت‌کننده کم نویز، مقاومت‌های ساختگی، ضریب بهره‌وری نویز، تقویت-کننده بهره متغیر، فیلتر میان‌گذر

فهرست مطالب

صفحه

فصل اول: مقدمه ۱
۱-۱- مقدمه ۲
۱-۲- هدف و انگیزه تحقیق ۳
۱-۳- ساختار کلی پایان‌نامه ۴

فصل دوم: ساختار سیستم واسط ثبت سیگنال عصبی ۶
۲-۱- ماشین واسط مغز (BMI) ۷
۲-۲- سازوکار و ساختار سلول عصبی ۸
۲-۲-۱- پتانسیل ایستای غشای سلولی ۹
۲-۲-۲- پتانسیل فعال(AP) ۱۰
۲-۳- محدوده فرکانسی و دامنه‌ی سیگنالهای حیاتی ۱۲
۲-۴- ساختار میکرو الکترودهای ثبت سیگنال ۱۴
۲-۴-۱- ساختار مداری الکترود ثبت سیگنال عصبی ۱۷
۲-۵- سیستم ثبت و پردازش سیگنالهای عصبی مغز ۱۸
۲-۶- سیستم قابل کاشت دریافت سیگنال عصبی مغز ۱۹
۲-۷- ملاحظات طراحی سیستم واسط ثبت سیگنال عصبی ۲۱

فصل سوم: ساختار مداری واسط ثبت سیگنال عصبی ۲۶
۳-۱- طراحی تقویتکننده کم نویز به روش ضریب معکوس ۲۷
۳-۱-۱- ترانزیستورهای MOS برای شبه مقاومت ۳۰
۳-۲- ساختار مدار واسط با فرکانس قطع بالا قابل برنامه ریزی ۳۲
۳-۲-۱- فیلتر میانگذر و فرکانس قطع قابل برنامه ریزی ۳۵
۳-۳- طراحی شبه مقاومت قابل برنامه ریزی بوسیلهی DAC در سیستم ثبت عصبی ۳۶
۳-۳-۱- شبه مقاومت قابل برنامهریزی با مبدل دیجیتال به آنالوگ (DAC) ۳۷
۳-۴- سیستم مدار واسط با کانالهای موازی و متعدد ۳۹
۳-۴-۱- ادغام فیلتر و تقویتکننده ۴۰
۳-۴-۱-۱-حذف بلوک تقویت‌کننده بهره متغیر ۴۰۵
۳-۴-۲- تقویت‌کننده بهره متغیر ۴۷
۳-۵- شبه مقاومتها ۴۸
۳-۵-۱- شبه مقاومت کنترل شده با ولتاژ ۴۹
۳-۵-۲- مقاومتهای ساختگی کنترل شده با جریان ۵۲

فصل چهارم: ساختار پیشنهادی مدار واسط ثبت سیگنال عصبی ۵۷

۴-۱- ساختار کلی مدار واسط پیشنهادی ۵۸
۴-۱-۱- ساختار تقویتکننده کم نویز متداول ۶۰
۴-۱-۲- مدار تضعیفکننده ولتاژ برای کاهش خازن ورودی ۶۲
۴-۲- ساختار تقویتکننده کم نویز پیشنهادی ۶۴
۴-۲-۱- تقویتکننده عملیاتی ۶۷
۴-۲-۱-۱-مدار تقویت‌کننده CMFB ۶۷
۴-۲-۱-۲- مدار بایاس تقویت‌کننده ۶۷
۴-۲-۲- تحلیل امپدانس ورودی تقویت کننده کم نویز ۶۹
۴-۲-۳- تحلیل سیگنال کوچک ۷۰
۴-۲-۴- تحلیل نویز ۷۲
۴-۲-۵- شبیه‌سازی مدار تقویتکننده کم نویز ۷۳
۴-۲-۶- نتایج شبیه‌سازی مدار تقویتکننده کم نویز ۷۵
۴-۳- فیلتر میانگذر (BPF) ۷۹
۴-۳-۱- ساختار پیشنهادی فیلتر میانگذر مدار واسط ثبت سیگنال عصبی ۷۹
۴-۳-۲- فرکانس پایین قطع قابل برنامه ریزی ۸۱
۴-۳-۳- فرکانس بالا قطع قابل برنامه ریزی ۸۲
۴-۳-۴- شبیه‌سازی مدار فیلتر میانگذر ۸۴
۴-۳-۵- نتایج شبیه‌سازی مدار فیلتر میانگذر ۸۵
۴-۴- تقویت‌کننده بهره متغیر ۸۸
۴-۴-۱- ساختار تقویت‌کننده بهره متغیر پیشنهادی ۸۸
۴-۴-۲- شبیه‌سازی تقویت‌کننده بهره متغیر ۹۱
۴-۴-۳- نتایج شبیه‌سازی تقویت‌کننده بهره متغیر ۹۲
۴-۵- سیستم واسط ثبت سیگنال عصبی ۹۳
۴-۵-۱- ساختار و اجزا کلی مدار واسط ثبت سیگنال عصبی ۹۳
۴-۵-۲- شبیه‌سازی مدار واسط ثبت سیگنال عصبی ۹۴
۴-۵-۳- نتایج شبیه سازی مدار واسط ثبت سیگنال عصبی ۹۴

فصل پنجم: بررسی نتایج شبیه‌سازی، نتیجه‌گیری و پیشنهادات ۱۰۱

۵-۱- نتایج کلی ۱۰۲
۵-۲- نتیجه گیری ۱۰۳
۵-۳- ارائه پیشنهادات ۱۰۴

فهرست شکل‌ها

صفحه

شکل (۱-۱): سیستم ثبت سیگنال‌های عصبی غیر قابل حمل[3] ۳
شکل (۱-۲):سیستم قابل کاشت ثبت و نظارت سیگنال‌های حیاتی بدن)[4]..... ۴
شکل (۲-۱): بلوک دیاگرام یک ماشین واسط مغز[8]..... ۸
شکل (۲-۲): ساختار سلول عصبی (نورون)[10]..... ۹
شکل (۲-۳): پتانسیل غشای سلول عصبی(نورون)[12]..... ۱۱
شکل (۲-۴): محدوده فرکانس و دامنه سیگنالهای حیاتی [16]..... ۱۳
شکل (۲-۵): ارایه الکترودی مدل یوتا[20]..... ۱۴
شکل (۲-۶): الکترود مدل Neuronexus [21]..... ۱۵
شکل (۲-۷): الکترود ساخته شده در مدل نانو[22]..... ۱۵
شکل (۲-۸): میکروالکترود با بدنه انعطاف‌پذیر در مدل دو بعدی [23]..... ۱۶
شکل (۲-۹): میکروالکترود با بدنه انعطاف‌پذیر در مدل سه بعدی [23]..... ۱۶
شکل (۲-۱۰): مدل مداری الکترود دریافتکننده سیگنال[24]..... ۱۷
شکل (۲-۱۱): بلوک دیاگرام سیستم ثبت سیگنالهای سلول عصبی [25]..... ۱۸
شکل (۲-۱۲): ساختار بخش کاشته شده ثبت سیگنال عصبی در سر [26]..... ۱۹
شکل (۲-۱۳): بلوک دیاگرام قسمتهای قابل کاشت سیگنال EEG [26]..... ۲۰
شکل (۲-۱۴): ساختار سیستم ثبت و تحریک سلول عصبی [27]..... ۲۱
شکل (۲-۱۵): ساختار یک سیستم ثبت و پردازش سیگنال عصبی[28]..... ۲۳
شکل (۲-۱۶): ساختار مدار واسط ثبت سیگنال آرایه شده در مرجع [30]..... ۲۴
شکل (۳-۱): ساختار تقویتکننده عصبی به همراه شبه مقاومت در مرجع [5]..... ۲۸
شکل (۳-۲): ساختار تقویتکننده هدایت انتقالی در تقویت‌کننده کم نویز [5]..... ۲۹
شکل (۳-۳): مقدار مقاومت یک ترانزیستورpmos بر حسب اختلاف ولتاژ دو سر ان [5]..... ۳۱
شکل (۳-۴): ساختار هر سیستم ۴ کاناله در مدار واسط ثبت سیگنال عصبی [37]..... ۳۲
شکل (۳-۵): معماری کلی مدار واسط ثبت سیگنال عصبی [37]..... ۳۳
شکل (۳-۶): ساختار مدار واسط ثبت سیگنال عصبی [37]..... ۳۴
شکل (۳-۷): بلوک دیاگرام فیلتر میانگذر با فرکانس قطع قابل برنامه ریزی [37]..... ۳۵
شکل (۳-۸): ساختار مدار واسط ثبت سیگنال با استفاده از DAC [38]..... ۳۷
شکل (۳-۹): ساختار مبدل دیجیتال به آنالوگ ۵ بیتی [39]..... ۳۸
شکل (۳-۱۰): بلوک دیاگرام کلی ساختار مدار واسط ثبت سیگنال عصبی [40]..... ۳۹
شکل (۳-۱۱): ساختار بلوکهای کاشته شده در مغز [40]..... ۳۹
شکل (۳-۱۲): بلوک دیاگرام ساختار بلوکهای قرارگرفته در کانالهای موازی [40]..... ۴۰
شکل (۳-۱۳): ساختار تقویتکننده با بهره متغیر به همراه ترکیب فیلتر و تقویتکننده [40]..... ۴۱

شکل (۳-۱۴): ساختار کلی سیستم موازی مدار واسط ثبت سیگنال عصبی بدون فیلتر[41] ۴۱
شکل (۳-۱۵): ساختار تقویتکننده کم نویز و تقویتکننده بهره متغیر [41] ۴۲
شکل (۳-۱۶): ساختار شبه مقاومت سری شده برای بهبود خطینگی [41] ۴۳
شکل (۳-۱۷): ساختار تقویتکننده عملیاتی در تقویتکننده بهره متغیر [41] ۴۴
شکل (۳-۱۸): ساختار دو طبقه مدار واسط ثبت سیگنال عصبی [42] ۴۶
شکل (۳-۱۹): ساختار فیلتر میانگذر در طبقهی دوم [42] ۴۶
شکل (۳-۲۰): ساختار تقویتکننده بهره متغیر متداول[43] ۴۷
شکل (۳-۲۱): ساختار تقویتکننده بهره متغیر پیشنهادی مرجع [43] ۴۸
شکل (۳-۲۲): شبه مقاومت با استفاده از یک ترانزیستور MOSFET ۴۹
شکل (۳-۲۳): مقدار شبه مقاومت برحسب تغییرات V_{SG} [44] ۵۰
شکل (۳-۲۴): ساختار شبه مقاومت متشکل از NMOS و PMOS ۵۰
شکل (۳-۲۵): ساختار شبه مقاومت قابل برنامه ریزی از نوعBBMOS [47] ۵۱
شکل (۳-۲۶): ساختار شبه مقاومت غیر قابل برنامهریزی[48] ۵۲
شکل (۳-۲۷): ساختار مقاومتهای غیر قابل برنامهریزی سری شده برای بهبود خطینگی[14] ۵۲
شکل (۳-۲۸): ساختار مقاومت بایاس کنترل شده با یک جریان[44] ۵۳
شکل (۳-۲۹): ساختار مقاومت بایاس متقارن کنترل شده با دو جریان[43] ۵۳
شکل (۳-۳۰): ساختار شبه مقاومت متقارن با ولتاژ و جریان کنترلی[47] ۵۴
شکل (۳-۳۱): ترکیب شبه مقاومت کنترل شده با ولتاژ و جریان[47] ۵۴
شکل (۳-۳۲): شبه مقاومت کنترلشده با بایاس جریان و ولتاژ[49] ۵۵
شکل (۳-۳۳): مدار بایاس شبه مقاومت[49] ۵۵
شکل (۴-۱): ساختار کلی مدار واسط ثبت سیگنال پیشنهادی ۵۹
شکل (۴-۲): ساختار تقویتکننده کم نویز متداول ۶۰
شکل (۴-۳): ساختار پیشنهادی برای افزایش امپدانس ورودی تقویتکننده ۶۲
شکل (۴-۴): ساختار مدار تضعیفکننده ولتاژ در مسیر فیدبک[50] ۶۳
شکل (۴-۵): ساختار تقویت کننده کم نویز پیشنهادی مدار واسط ثبت سیگنال عصبی ۶۵
شکل (۴-۶): ساختار تقویتکننده هدایت انتقالی در مدار تقویتکننده کم نویز ۶۷
شکل (۴-۷): ساختار مدار CMFB برای تقویتکننده هدایت انتقالی ۶۸
شکل (۴-۸): ساختار مدار بایاس تقویتکننده عملیاتی ۶۹
شکل (۴-۹): مدار معادل تقویتکننده کم نویز برای محاسبهی امپدانس ۷۰
شکل (۴-۱۰): مدل سیگنال کوچک تقویتکننده کم نویز ۷۱
شکل (۴-۱۱): بلوک دیاگرام تحلیل سیگنال کوچک تقویتکننده کم نویز ۷۱
شکل (۴-۱۲): اندازه امپدانس ورودی تقویتکننده کم نویز پیشنهادی و متداول ۷۵
شکل (۴-۱۳): پاسخ فرکانسی تقویتکننده کم نویز متداول در گوشههای تکنولوژی و دما ۷۶

شکل (۴-۱۴): پاسخ فرکانسی تقویتکننده پیشنهادی کم نویز در گوشههای تکنولوژی و دما..... ۷۶
شکل (۴-۱۵): پاسخ فرکانسی تقویتکننده کم نویز متداول با تحلیل مونت کارلو..... ۷۷
شکل (۴-۱۶): پاسخ فرکانسی تقویتکننده پیشنهادی کم نویز با تحلیل مونت کارلو..... ۷۸
شکل (۴-۱۷): نویز ارجاع داده شده به ورودی تقویتکننده کم نویز..... ۷۸
شکل (۴-۱۸): ساختار پیشنهادی برای فیلتر میانگذر..... ۸۰
شکل (۴-۱۹): ساختار شبه مقاومت قابل برنامه ریزی..... ۸۱
شکل (۴-۲۰): ساختار تقویتکننده عملیاتی در فیلتر میانگذر..... ۸۳
شکل (۴-۲۱): ساختار تقویتکننده عملیاتی در فیلتر میانگذر..... ۸۵
شکل (۴-۲۲): پاسخ فرکانسی فیلتر با فرکانس پایین قطع قابل برنامهریزی..... ۸۶
شکل (۴-۲۳): پاسخ فرکانسی فیلتر با فرکانس بالا قطع قابل برنامهریزی..... ۸۶
شکل (۴-۲۴): ساختار تقویتکننده با بهره متغیر متداول..... ۸۹
شکل (۴-۲۵): ساختار تقویتکننده با بهره متغیر پیشنهادی..... ۹۰
شکل (۴-۲۶): ساختار تقویتکننده هدایت انتقالی در تقویتکننده بهره متغیر..... ۹۰
شکل (۴-۲۷): پاسخ فرکانسی تقویتکننده با بهره متغیر..... ۹۲
شکل (۴-۲۸): ساختار کلی مدار واسط ثبت سیگنال عصبی..... ۹۳
شکل (۴-۲۹): پاسخ فرکانسی مدار واسط در گوشه های تکنولوژی و دمایی در حالت Full Range..... ۹۵
شکل (۴-۳۰): پاسخ فرکانسی مدار واسط در گوشه های تکنولوژی و دمایی در حالت LFP..... ۹۵
شکل (۴-۳۱): پاسخ گذرای مدار واسط ثبت سیگنال عصبی با فرکانس ورودی ۱۰۰ هرتز..... ۹۶
شکل (۴-۳۲): نویز راجاع داده شده به ورودی ساختار کلی سیستم..... ۹۶
شکل (۴-۳۳): سیگنال واقعی سلول عصبی به عنوان منبع ورودی..... ۹۷
شکل (۴-۳۴): سیگنال خروجی گرفته شده از مدار واسط به ازای اعمال سیگنال واقعی عصبی..... ۹۷
شکل (۴-۳۵): طیف نمونههای گرفته شده از خروجی مدار واسط ثبت سیگنال عصبی..... ۹۸

فهرست جدول‌ها

صفحه

جدول (۴-۱): ابعاد ترانزیستورهای تقویت‌کننده و مدار CMFB در مدار تقویت‌کننده کم نویز ۷۴
جدول (۴-۲): ابعاد ترانزیستورهای شبه مقاومت و بایاس شبه مقاومت ۷۴
جدول (۴-۳): عملکرد تقویت‌کننده کم نویز در گوشه‌های تکنولوژی و دما ۷۹
جدول (۴-۴): ابعاد ترانزیستورهای مدار بایاس شبه مقاومت در فیلتر میانگذر ۸۴
جدول (۴-۵): ابعاد ترانزیستورهای تقویت‌کننده در فیلتر میانگذر ۸۴
جدول (۴-۶): عملکرد فیلتر میانگذر در گوشه‌های دمایی و تکنولوژی در حالت Full Range ۸۷
جدول (۴-۷): عملکرد فیلتر میانگذر در گوشه‌های دمایی و تکنولوژی در حالت LFP ۸۷
جدول (۴-۸): ابعاد ترانزیستورهای تقویت‌کننده آینه جریانی ۹۱
جدول (۴-۹): ابعاد ترانزیستورهای مدار تضعیف کننده ۹۱
جدول (۴-۱۰): بهره تقویتکننده بهره متغیر در حالتهای مختلف سوئیچها ۹۲
جدول (۴-۱۱): عملکرد مدار واسط ثبت سیگنال در گوشه‌های دمایی و تکنولوژی درحالت Full Range ۹۹
جدول (۴-۱۲): عملکرد مدار واسط ثبت سیگنال در گوشه‌های دمایی و تکنولوژی درحالت LFP ۹۹
جدول (۵-۱): مقایسه عملکرد مدار واسط پیشنهادی با برخی از مراجع ۱۰۲

اختصارنامه

AAP: Axon Action Potential

ADC: Analog-to-Digital Converter

AP: Action Potential

BMI: Brain Machine Interface

BPF: Band Pass filter

CMFB: Common Mode Feedback

CMRR: Common Mode Rejection Ratio

DAC: Digital-to-Analog Converter

DR: Dynamic Range

ECG: Electrocadiograph

EEG: Electroencephalograph

EMG: Electromyography

EOG: Electrooculography

FOM: Figure of Merit

HPF: High Pass Filter

LFP: Local Field Potential

LNA: Low Noise Amplifier

LPF: Low Pass Filter

NEF: Noise Efficiency Factor

NRA: Neural Recording Amplifier

OTA: Operational Transconductance Amplifier

SAR: Successive Approximation Register

S/H: Sample and Hold

SNDR: Signal-to-Noise and Distortion Ratio

THD: Total Harmonic Distortion

VGA: Variable Gain Amplifier

WBAN: Wireless Body Area Network

مراجع

[1] B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York:McGraw-Hill, 2001.

[2] J. Holleman, F. Zhang, and B. Otis, *Ultra low-power integrated circuit design for wireless neural interfaces*, Springer, 2011.

[3] A. T. Mobashsher and A. Abbosh, "On-site Rapid Diagnosis of Intracranial Hematoma using Portable Multi-slice Microwave Imaging System," *Scientific reports*, vol. 6, 2016.

[4] F. Ren and D. Marković, "A Configurable 12–237 kS/s 12.8 mW Sparse-Approximation Engine for Mobile Data Aggregation of Compressively Sampled Physiological Signals," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 1, pp. 68-78, Jan. 2016.

[5] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 958-965, June 2003.

[6] T. Seese, H. Harasaki, G. Saidel, and C. R. Davies, "Characterization of tissue morphology, angiogenesis, and temperature in the adaptive response of muscle tissue to chronic heating ,"*Lab.Investigat.*,vol.78,p.15531562, Dec.1998.

[7] H.Li.A, "A Neural recording front-end for multi-channel wireless implantable application," M.Sc. dissertation, Michigan State University, 2011.

[8] Rachana Srivastava, "Low-noise Amplifier for Neural recording," M.Sc. dissertation, University of Waterloo, 2015.

[9] S. Yuan, L. G. Johnson, C. C. Liu, C. Hutchens and R. L. Rennaker, "Current biased pseudo-resistor for implantable neural signal recording applications," *51st Midwest Symposium on Circuits and Systems*, Knoxville, TN, Sep. 2008, pp. 658-661.

[10] J. G. Webster, *Bioinstrumentation*. John Wiley & Sons, 2004

[11] B. Hille, *Ion Channels of Excitable Membranes*. Massachusetts, 2001.

[12] Barnett, Mark W., and Philip M. Larkman, "The action potential," *Practical Neurology* . May.2007

[13] H. M. Lee, H. Park and M. Ghovanloo, "A Power-Efficient Wireless System With Adaptive Supply Control for Deep Brain Stimulation," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 9, pp. 2203-2216, Sep. 2013.

[14] Rahimi Elham, "Ultra low-power Baseband CMOS interface circuits for wireless Acquisition of Human EEG Signals," M.Sc. dissertation, Amirkabir University of Technology, 2014.

[15] H. Kassiri, K. Abdelhalim and R. Genov, "Low-distortion super-GOhm subthreshold-MOS resistors for CMOS neural amplifiers,"*IEEE Biomedical Circuits and Systems Conference (BioCAS)*, Rotterdam, Dec.2013, pp. 270-273.

[16] Bagheri Arezu, "High-Intergration-Density Neural Interfaces For High-Spatial-Resolution Intracranial EEG Monitoring," M.Sc. dissertation, University of Toronto, 2013.

[17] K. C. Cheung, "Implantable microscale neural interfaces, " *Biomedical Microdevices*, vol. 9, no. 6, pp. 923-938, Jan. 2007.

[18] J. Csicsvari *et al.*, "Massively parallel recording of unit and local field potentials with silicon-based electrodes," *Journal of Neurophysiology*, vol. 90, no. 2, pp. 1314-1323, Jun.2003.

[19] R. J. Vetter, R. M. Miriani, B. E. Casey, K. Kong, J. F. Hetke, "Development of a Microscale Implantable Neural Interface (MINI) Probe System," *2005 IEEE Engineering in Medicine and Biology 27th Annual Conference*, Shanghai, Apr.2005, pp. 7341-7344.

[20] S. R. I. Gabran *et al*., "3-D Flexible Nano-Textured High-Density Microelectrode Arrays for High-Performance Neuro-Monitoring and Neuro-Stimulation," *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 22, no. 5, pp. 1072-1082, Sept. 2014

[21] J. Du, T. J. Blanche, R. R. Harrison, H. A. Lester, and S. C. Masmanidis, "Multiplexed, high density electrophysiology with nanofabricated neural probes," *PLoS One*, vol. 6, no. 10, p. e26204, 2011.

[22] A. Bagheri *et al*., "Massively-Parallel Neuromonitoring and Neurostimulation Rodent Headset With Nanotextured Flexible Microelectrodes," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 5, pp. 601-609, Oct. 2013.

[23] F. T. Sun, M. J. Morrell, and R. E. Wharen, Jr., "Responsive cortical stimulation for the treatment of epilepsy," *J. American Society for Experimental NeuroTherapeutics*, vol. 5, no. 1, pp. 68–74, Jan. 2008.

[24] M. E. J. Obien, K. Deligkaris, T. Bullmann., "Revealing neuronal function through microelectrode array recordings," *Frontiers Neurosci*, vol. 8, no. 7, 2015, Art.no.423.

[25] D. Han, Y. Zheng, R. Rajkumar, G. S. Dawe, "A 0.45 V 100-Channel Neural-Recording IC With Sub-μW /Channel Consumption in 0.18μm CMOS," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 6, pp. 735-746, Dec. 2013.

[26] X. Zou *et al*., "A 100-Channel 1-mW Implantable Neural Recording IC," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 10, pp. 2584-

2596, Oct. 2013.

[27] J. Lee, H. G. Rhew, D. R. Kipke and M. P. Flynn, "A 64 Channel Programmable Closed-Loop Neurostimulator With 8 Channel Neural Amplifier and Logarithmic ADC," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 9, pp. 1935-1945, Sept. 2010.

[28] Tan Yang, "Low-noise Micro-power Amplifiers for Biosignal Acquisition," M.Sc. dissertation, University of Tennessee, 2016.

[29] Honglei Wu and Yong Ping Xu, "A 1V 2.3/spl mu/W Biomedical Signal Acquisition IC," *2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, Sep.2006, pp. 119-128.

[30] C. D. Ferris, *Introduction to bioinstrumentation*. Humana Press, 1978.

[31] K. Najafi and K. D. Wise, "An implantable multielectrode array with on-chip signal processing," *IEEE Journal of Solid-State Circuits*, vol. 21, no. 6, pp. 1035-1044, Dec 1986.

[32] A. M. Van Rijn, A. Peper, and C. Grimbergen, "High-quality recording of bioelectric events, " *Medical and Biological Engineering and Computing*, vol. 28, no. 5, pp. 389-397, Dec.1990.

[33] R. Martins, S. Selberherr, and F. A. Vaz, "A CMOS IC for portable EEG acquisition systems," *IEEE Transactions on Instrumentation and measurement*, vol. 47, no. 5, pp. 1191-1196, Oct.1998.

[34] J. J. Pancrazio *et al.*, "Description and demonstration of a CMOS amplifier-based-system with measurement and stimulation capability for bioelectrical signal transduction, " *Biosensors and Bioelectronics*, vol. 13, no. 9, pp. 971-979, Oct.1998.

[35] M. S. J. Steyaert and W. M. C. Sansen, "A micropower low-noise monolithic instrumentation amplifier for medical purposes, " *IEEE Journal of Solid-State Circuits*, vol. 22, no. 6, pp. 1163-1168, Dec .1987.

[36] T. Delbruck and C. A. Mead, "Adaptive photoreceptor with wide dynamic range, "*Proceedings of IEEE International Symposium on Circuits and Systems - ISCAS '94*, London, 1994, pp. 339-342 vol.4.

[37] W. Wattanapanitch and R. Sarpeshkar, "A Low-Power 32-Channel Digitally Programmable Neural Recording Integrated Circuit," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 6, pp. 592-602, Dec. 2011.

[38] B. Ebrahimi Sadrabadi, "Design and Implementation of a Multi-Channel Field-Programmable Analog Front-End For a Neural Recording System, " M.S.c thesis. University of Waterloo, 2014.

[39] F. Maloberti, Data converters. Springer, Mar.2007.

[40] H. Ando, K. Takizawa, T. Yoshida, K. Matsushita, M. Hirata and T. Suzuki, "Wireless Multichannel Neural Recording With a 128-Mbps UWB Transmitter for an Implantable Brain-Machine Interfaces," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 6, pp. 1068-1078, Dec. 2016.

[41] J. L. Valtierra, M. Delgado-Restituto and Á. Rodríguez-Vázquez, "A 2.2 µW analog front-end for multichannel neural recording," *2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS)*, Bariloche, Jun. 2017, pp. 1-4

[42] T. Yang and J. Holleman, "An Ultralow-Power Low-Noise CMOS Biopotential Amplifier for Neural Recording," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 10, pp. 927-931, Oct. 2015.

[43] W. S. Liew, X. Zou, L. Yao and Y. Lian, "A 1-V 60-µW 16-channel interface chip for implantable neural recording," *IEEE Custom Integrated Circuits Conference*, San Jose, CA, 2009, pp. 507-510.

[44] R. H. Olsson, D. L. Buhl, A. M. Sirota, G. Buzsaki and K. D. Wise, "Band-tunable and multiplexed integrated circuits for simultaneous recording and stimulation with microelectrode arrays," *IEEE Transactions on Biomedical Engineering*, vol. 52, no. 7, pp. 1303-1311, July 2005.

[45] Y. Cheng and C. Hu, MOSFET modeling & BSIM3 user's guide. Springer Science & Business Media, 1999.

[46] A. Srivastava, R. Bai, D. Blaauw and D. Sylvester, "Modeling and analysis of leakage power considering within-die process variations, " *Proceedings of the International Symposium on Low Power Electronics and Design*, 2002, pp. 64-67.

[47] H. Rezaee-Dehsorkh, N. Ravanshad, R. Lotfi, K. Mafinezhad and A. M. Sodagar, "Analysis and Design of Tunable Amplifiers for Implantable Neural Recording Applications, " *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 4, pp. 546-556, Dec. 2011.

[48] Neshatvar Nazanin, "Designing low Frequency IC filter using pseudo Resistor," M.Sc. dissertation, American University of sharjeh, 2010.

[49] R. Puddu *et al*., "A Precision Pseudo Resistor Bias Scheme for the Design of Very Large Time Constant Filters," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 7, pp. 762-766, July. 2017.

[50] J. Y. Kim and R. L. Geiger, "Characterisation of linear MOS active attenuator and amplifier," *Electronics Letters*, vol. 31, no. 7, pp. 511-513, 30 Mar 1995.

[51] Wange Alice, *Sub-threshold design for ultra low-power systems*, Springer, 2011

[52] P.R.Gray,R.G.Mayer, *Analaysis and Design of Analog Intergrated Circuits*, John Wiley and Sons, 2001

[53] Chan, P. K., et al, "Designing CMOS folded-cascode operational amplifier with flicker noise minimisation," *Microelectronics Journal*, vol. 32, no. 1, pp. 69-73, Jan. 2001.

[54] R. Shulyzki *et al*., "320-Channel Active Probe for High-Resolution Neuromonitoring and Responsive Neurostimulation," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 9, no. 1, pp. 34-49, Feb. 2015

[55] R. R. Harrison *et al*., "A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System, " *IEEE Journal of Solid-State Circuits*, vol. 42, no. 1, pp. 123-133, Jan. 2007.

[56] S. Rai, J. Holleman, J. N. Pandey, F. Zhang and B. Otis, "A 500μW neural tag with 2μVrms AFE and frequency-multiplying MICS/ISM FSK transmitter," *IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, 2009, pp. 212-213

[57] W. Wattanapanitch *et al*., "An energy efficient micro power neural recording amplifier, " *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no. 2, pp. 136-147, Jun. 2007.

[58] C. Qian, J. Parramon and E. Sanchez-Sinencio, "A Micropower Low-Noise Neural Recording Front-End Circuit for Epileptic Seizure Detection, " *IEEE Journal of Solid-State Circuits*, vol. 46, no. 6, pp. 1392-1405, June 2011

[59] T. Yang and J. Holleman, "An Ultralow-Power Low-Noise CMOS Biopotential Amplifier for Neural Recording, " *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 10, pp. 927-931, Oct. 2015.

[60] Holleman, Jeremy, and Brian Otis, "A sub-microwatt low-noise amplifier for neural recording, " *29th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, ,* Aug. 2007.

[61] F. Zhang, J. Holleman and B. P. Otis, "Design of Ultra-Low Power Biopotential Amplifiers for Biosignal Acquisition Applications, " *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, no. 4, pp. 344-355, Aug. 2012.

[62] P. Kmon and P. Gryboś, "Energy Efficient Low-Noise Multichannel Neural Amplifier in Submicron CMOS Process, " *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 7, pp. 1764-1775, Jul. 2013.

[63] V. Majidzadeh, A. Schmid and Y. Leblebici, "Energy Efficient Low-Noise Neural Recording Amplifier With Enhanced Noise Efficiency Factor, " *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 3, pp. 262-271, Jun. 2011.

[64] B. Gosselin, M. Sawan and C. A. Chapman, "A Low-Power Integrated Bioamplifier With Active Low-Frequency Suppression, " *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no. 3, pp. 184-192, Sept. 2007.

Abstract:

The design of Neural signal recording interface circuits depends on the type and nature of the received signals. Neural signals, due to their low amplitude range and their low operating frequency, affect the design of the signal recording interface circuit. Also, due to the implantation of these systems, the power dissipation that is released in the form of heat is very important. In this thesis, the design of low power system has been carried out. The interface circuit, consist of low noise amplifier, filter and variable gain amplifier. Also in the design of this system the cutoff frequencies are programmable So that the signal recording system is able to amplify the neural signals with any given frequency range. In the first stage, the low noise amplifier has a gain of 40 dB, and in the second stage the filter adds a 10 dB gain to the system. In last stage, a variable gain amplifier has presented with a new structure that eliminates the additional capacitors in the feedback path, and this stage adds up to 20 dB of gain to the system In order to have a proper dynamic range for the neural signal interface circuit.

Finally, the proposed circuits have been designed and simulated with 180 nm CMOS Technology and 1 volt power supply with Cadence software. Also The Input signal has a 100μV Amplitude with 1 kHz frequency. The simulation results show that neural signal recording circuit has a good performance in addition to low power consumption. The total power consumption of the proposed structure, the input referred noise and the noise efficiency factor are 3.41μw, 2.78μVrms and 2.2 respectively. The power consumption and input referred noise of this proposed structure in LFP mode are 2.72 μw and 1.45 μVrms, respectively.

Keywords: Neural Signal Recording Interface Circuit, Low Noise Amplifier, Pseudo Resistor, Noise Efficiency Factor, Variable Gain Amplifier, Band pass Filter.

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc. Thesis

Analysis and Improvement of Baseband Circuits for Implantable Neural Recording Systems

By
Mehdi Ashayeri

Supervisors
Dr. Mohammd. Yavari

February 2018