Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc. Thesis

Title

Sigma-Delta Modulators with Successive Approximation Quantization

By
Masoud Es'haghinia

Supervisors
Dr. Mohammad Yavari
Dr. Hassan Ghafori Fard

July 2016

دانشگاه صنعتی امیرکبیر

(پلی‌تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

گرایش الکترونیک

عنوان:

مدولاتورهای سیگما-دلتا با کوانتیزاسیون تقریب متوالی

نگارش:

مسعود اسحاقی‌نیا

اساتید راهنما:

دکتر محمد یاوری

دکتر حسن غفوری فرد

تیر ماه ۱۳۹۵

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

اینجانب مسعود اسحاقی‌نیا متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی این‌جانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آن‌ها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادرشده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

امضا

تقدیم به

پدر و مادر مهربان و بزرگوارم که پیوسته مرا در امر تحصیل مشوق بوده و از فداکاری در زندگی برایم دریغ نورزیده‌اند. دو هستی پاک و مقدّسی که نعمتی عظیم‌تر و گران‌بهاتر از ایشان، در بین نعمات و الطاف بی‌شماری که خداوند منّان بر این حقیر منّت نهاده و عطا فرموده است نمی‌شناسم. امید آنکه شاید بتوانم ذرّه‌ای از محبّت‌های بی‌منّت و اندکی از زحمات و مشقّت‌های بسیاری که در جهت اعتلای پایه‌ی علمی و دانشم و رفاه حال زندگیم متحمّل شده‌اند، جبران نمایم. و تقدیم به همه کسانی که لحظه‌ای بعد انسانی و وجدانی خود را فراموش نمی‌کنند و بر آستان گران‌سنگ انسانیت سر فرود می‌آورند و انسان را با همه تفاوت‌هایش ارج می‌نهند.

حمد و سپاس فراوان پروردگار عالمیان را که اندیشه و عشق را به بشر ارزانی داشت تا با کنکاش در تمام اسرار آفرینش، یکایک ذرات هستی را به جلوه ی حق دانسته و نه تنها از جهل و نادانی بگریزد، بلکه به مقام معشوق نزدیک گردد. پروردگاری که رحمت مداوم و بی پایانش بر این بنده‌ی حقیر در تمامی زندگانی نثار گشت و فرصتی ارزشمند فراهم گردید تا در محضر اساتیدی گران‌بها در حد توان و فکر خویش به کسب علم و معرفت بپردازم و نیز الطاف و عنایت بی حدش افزون تر از پیش حاصل شد تا سختی تحصیل و پژوهش آسان گردد تا این تحقیق تمامی مراحل خود را به پایان رساند.

بر خود لازم می دانم مراتب تقدیر و تشکر خود را از همه ی بزرگوارانی که مرا در انجام این پژوهش یاری نمودند اعلام نمایم.

عالی ترین مراتب سپاس و قدردانی خود را به محضر اساتید محترم راهنما جناب آقای دکتر محمد یاوری و جناب آقای دکتر حسن غفوری‌فرد می‌رسانم که در طی مراحل تحقیق و در نهایت صبر و صمیمیت و شکیبایی، بزرگوارانه بنده را در انجام امور پایان نامه یاری فرمودند.

همچنین از اساتید محترم جناب آقایان دکتر امید شعاعی و دکتر سید محمد احدی سرکانی که قبول زحمت کرده و جهت داوری پایان‌نامه اینجانب در جلسه دفاع شرکت نمودند کمال تشکر را دارم.

از تمامی دوستانی که در طول انجام این پایان نامه از راهنمایی‌های ایشان استفاده نموده‌ام، به خصوص دوستان حاضر در آزمایشگاه میکروالکترونیک سپاس‌گذاری می‌نمایم و برای آن‌ها از صمیم قلب آرزوی موفقیت و سربلندی را دارم.

چکیده

امروزه با توجه به نیاز به پردازش پرسرعت اطلاعات و افزایش کارایی مدارات دیجیتال، تقاضا برای مبدل‌های آنالوگ به دیجیتال با سرعت و دقت بالا افزایش یافته است. از طرفی کاهش توان مصرفی با حفظ کارایی به یک چالش در طراحی مدارهای مجتمع تبدیل شده است. مبدل های سیگما-دلتا به دلیل ویژگی‌های بیش‌نمونه‌برداری و شکل دهی نویز حساسیت کمی به غیرایده‌آلی‌های مداری دارند و از این رو برای کاربردهای با دقت بالا بهترین گزینه می‌باشند. برای افزایش پهنای‌باند این مبدل‌ها بایستی نرخ بیش‌نمونه برداری را در آن‌ها کاهش داد. برای رسیدن به نسبت سیگنال به نویز قابل قبول در نرخ بیش‌نمونه‌برداری کم، یک راه حل مناسب استفاده از کوانتایزر چند بیتی می‌باشد. استفاده از کوانتایزر فلش چند بیتی که در اکثر ساختارهای مبدل‌های سیگما دلتا به کار می‌رود سبب افزایش توان مصرفی کوانتایز می‌شود که به صورت نمایی با زیاد شدن تعداد بیت‌ها افزایش می‌یابد.

در این پایان‌نامه از کوانتایزر نوع SAR برای کاهش توان مصرفی کوانتایزر چند بیتی استفاده شده است و علاوه بر آن با استفاده از تکنیکی جدید از DAC کوانتایزر SAR مورد استفاده، برای پیاده‌سازی DAC های مبدل سیگما-دلتا و نیز پیاده‌سازی جمع کننده آنالوگ مورد نیاز قبل از کوانتایزر مدولاتور سیگما-دلتا استفاده شده است.

در نهایت با استفاده از ساختار پیشنهادی دو مبدل طراحی شده است. مبدل پیشنهادی اول یک مدولاتور مرتبه ۳ با نرخ نایکوئیست ۵ مگاهرتز می‌باشد که SNDR آن ۸۶/۵۳ دسیبل و توان مصرفی آن ۶/۵۴ میلی وات می‌باشد. مبدل دوم از مرتبه ۲ بوده و دارای نرخ نایکوئیست ۱۰ مگاهرتز و SNDR برابر ۶۲/۲۹ دسیبل می‌باشد در حالی که ۹۵۵ میکروات توان مصرف می‌کند. همچنین ضریب شایستگی مبدل اول و دوم به ترتیب برابر ۶۶/۷ و ۹۰/۱ فمتوژول بر سطح تبدیل می‌باشد. این مبدل‌ها در تکنولوژی ۹۰ نانومتر CMOS و با ولتاژ تغذیه ۱ ولت طراحی شده‌اند و از نرم‌افزارهای Cadence Spectre و MATLAB برای شبیه‌سازی آن‌ها استفاده شده است.

کلمات کلیدی: مبدل‌های آنالوگ به دیجیتال سیگما-دلتا، کوانتایزر چند بیتی، کم‌توان، کوانتیزاسیون تقریب متوالی.

فهرست مطالب

فصل اول: مقدمه ۱

۱-۱- انگیزه ۱

۱-۲- ساختار پایان‌نامه ۳

فصل دوم: مبدل‌های آنالوگ به دیجیتال ۴

۲-۱- اساس کار مبدل‌های آنالوگ به دیجیتال ۴

۲-۲- پارامترهای سنجش عملکرد یک مبدل آنالوگ به دیجیتال ۵

۲-۳- مبدل فلش ۷

۲-۴- مبدل SAR ۸

۲-۵- مبدل‌های سیگما-دلتا ۱۰

۲-۵-۱- بیش نمونه برداری ۱۰

۲-۵-۲- شکل‌دهی نویز کوانتیزاسیون ۱۱

۲-۵-۳- تحلیل عملکرد یک مبدل سیگما-دلتای مرتبه اول ۱۱

۲-۶- کارهای گذشته ۱۳

۲-۶-۱- مبدل‌های سیگما-دلتا با کوانتایزر SAR جمع کننده ۱۳

۲-۶-۲- مبدل‌های SAR شکل دهنده‌ی نویز ۲۱

فصل سوم: ساختار پیشنهادی و شبیه‌سازی سیستمی ۲۹

۳-۱- ساختار مدولاتور ۲۹

۳-۲- اثرات غیرایده‌آل مدارهای تشکیل دهنده مدولاتور ۳۸

۳-۲-۱- نویز ۳۹

۳-۲-۲- اثر محدود بودن بهره تقویت کننده ۳۹

۳-۲-۳- سوئینگ خروجی محدود تقویت‌کننده‌ها ۴۲

۳-۲-۴- حداقل دامنه قابل تشخیص ورودی و آفست مقایسه‌گر ۴۳

۳-۲-۵- اثر عدم تطبیق خازن‌های مبدل SAR ۴۴

۳-۲-۶- اثر غیرخطی مبدل دیجیتال به آنالوگ ۴۶

فصل چهارم: پیاده‌سازی مداری مبدل‌های آنالوگ به دیجیتال نمونه ۴۹
۴-۱- ساختار مداری مبدل اول ۴۹
۴-۱-۱- سوئیچ‌ها ۴۹
۴-۱-۲- محاسبات نویز ۵۱
۴-۱-۳- انتگرال‌گیرها ۵۴
۴-۱-۳-۱- انتگرال‌گیر اول ۵۴
۴-۱-۳-۲- انتگرال‌گیر دوم ۵۵
۴-۱-۳-۳- انتگرال‌گیر سوم ۵۶
۴-۱-۴- تقویت کننده‌ها ۵۸
۴-۱-۴-۱- مدار تنظیم سطح ولتاژ مد مشترک خروجی ۶۰
۴-۱-۴-۲- مدار بایاس ۶۱
۴-۱-۵- کوانتایزر SAR ۶۱
۴-۱-۵-۱- مقایسه‌گر ۶۲
۴-۱-۵-۲- مبدل دیجیتال به آنالوگ ۶۳
۴-۱-۵-۳- مدار منطقی SAR ناهمزمان ۶۴
۴-۲- ساختار مداری مبدل دوم ۶۵
۴-۲-۱- محاسبات نویز ۶۶
۴-۲-۲- انتگرال‌گیر اول ۶۸
۴-۲-۳- انتگرال‌گیر دوم ۶۹
۴-۲-۴- تقویت کننده‌ها ۷۰

فصل پنجم: نتایج شبیه‌سازی، نتیجه‌گیری و پیشنهادات ۷۲
۵-۱- شبیه‌سازی کلی ۷۲
۵-۲- مقایسه عملکرد مبدل‌های شبیه‌سازی شده با چند مبدل ۷۸
۵-۳- نتیجه‌گیری ۸۱
۵-۴- پیشنهادات ۸۱

مراجع ۸۳

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال ۴
شکل (۲-۲): ساختار رایج مبدل فلش n بیتی. ۸
شکل (۲-۳): بلوک دیاگرام یک مبدل SAR ۹
شکل (۲-۴): مبدل SAR سه بیتی. ۱۰
شکل (۲-۵): مبدل سیگما-دلتای مرتبه اول. ۱۱
شکل (۲-۶): الف) ساختار مبدل سیگما-دلتا مرجع [13] ب) مراحل سوئیچینگ مبدل SAR مورد استفاده در کوانتایزر ۱۴
شکل (۲-۷): الف) ساختار مبدل سیگما-دلتا مرجع [14] ب) ساختار جمع کننده پسیو. ۱۵
شکل (۲-۸): پیاده‌سازی تکسرکوانتایزر SAR به همراه جمع کننده پسیو مرجع [14]. ۱۶
شکل (۲-۹): ساختار مداری مدولاتور سیگما-دلتا مرجع [15]. ۱۸
شکل (۲-۱۰): ساختار مداری مدولاتور سیگما-دلتا مرجع [16]. ۱۹
شکل (۲-۱۱): ساختار مداری کوانتایزر SAR به همراه جمع کننده قبل از کوانتایزر مرجع [17]. ۲۰
شکل (۲-۱۲): مدولاتور مرتبه یک مرجع [18] الف) ساختار سیستمی ب) نحوه عملکرد تکنیک Split DWA در این مرجع ۲۱
شکل (۲-۱۳): ساختار مبدل SAR شکل دهنده نویز مرجع [21]. الف) ساختار سیستمی. ب) فازبندی مدار. ج)ساختار مداری. ۲۳
شکل (۲-۱۴): ساختار مبدل SAR شکل دهنده نویز مرجع [22]. الف) ساختار سیستمی. ب) ساختار مداری. ۲۴
شکل (۲-۱۵): ساختار مبدل SAR شکل دهنده نویز مرجع [23]. ۲۶
شکل (۲-۱۶): ساختار مداری مدولاتور زمان پیوسته مرجع [24]. ۲۷
شکل (۲-۱۷): الف) ساختار سیستمی ب) کوانتایزر SAR به همراه DAC اضافه شده برای حذف تاخیر حلقه اضافی در مرجع [25]. ۲۸
شکل (۳-۱): ساختار غیرتفاضلی مبدل SAR با مقایسه‌گر دو ورودی ۳۰
شکل (۳-۲): مدولاتور سیگما-دلتا تک حلقه مرتبه بالا با ساختار CIFB ۳۱
شکل (۳-۳): مبدل مرتبه دو با ساختار پیشنهادی الف) ساختار سیستمی ب) ساختار مداری ج) کلاک های مدار ۳۲
شکل (۳-۴): ساختار مداری تمام تفاضلی مدولاتور مرتبه ۲ با روش پیشنهادی ۳۴
شکل (۳-۵): ساختار سیستمی مدولاتور سیگما دلتا اول طراحی شده با روش پیشنهادی. ۳۶
شکل (۳-۶): طیف خروجی مدولاتور ایده‌آل شبیه‌سازی شده مبدل اول ۳۶
شکل (۳-۷): SQNR خروجی مدولاتور اول بر حسب دامنه سیگنال ورودی ۳۷
شکل (۳-۸): طیف خروجی مبدل ایده‌آل شبیه‌سازی شده دوم ۳۸

شکل (۳-۹): SQNR خروجی مبدل دوم بر حسب دامنه سیگنال ورودی..... ۳۸
شکل (۳-۱۰): نمودار SQNR بر حسب تغییرات بهره تقویت کننده انتگرال‌گیرهای اول تا سوم مدولاتور طراحی شده اول... ۴۰
شکل (۳-۱۱): نمودار SQNR بر حسب تغییرات بهره تقویت کننده انتگرال‌گیرهای اول و دوم مبدل طراحی شده دوم..... ۴۱
شکل (۳-۱۲): سوئینگ خروجی تقویت‌کننده‌های اول تا سوم مبدل طراحی شده اول برای ۶۵۵۳۶ مرتبه نمونه‌برداری به ازای ورودی -1.5 dBFS..... ۴۲
شکل (۳-۱۳): سوئینگ خروجی تقویت‌کننده‌های اول و دوم مبدل دوم برای ۶۵۵۳۶ مرتبه نمونه‌برداری به ازای ورودی -1dBFS..... ۴۳
شکل (۳-۱۴): نمودار SQNR مبدل اول بر حسب تغییرات حداقل اختلاف دامنه قابل تشخیص توسط مقایسه‌گر..... ۴۴
شکل (۳-۱۵): نمودار میانگین SQNR بر حسب تغییرات انحراف معیار خازن‌های واحد کوانتایزر SAR برای دو ساختار مرتبه ۳ CIFB و ساختار مورد استفاده در مبدل اول این پروژه..... ۴۶
شکل (۳-۱۶): نمودار میانگین SQNR بر حسب تغییرات انحراف معیار خازن‌های واحد کوانتایزر SAR مورد استفاده در مبدل دوم این پروژه..... ۴۶
شکل (۳-۱۷): نمودار میانگین SQNR بر حسب تغییرات انحراف معیار خازن‌های واحد DAC مدولاتور اول..... ۴۷
شکل (۳-۱۸): طیف خروجی مدولاتور اول به ازای انحراف معیار ۰/۲ در صد برای خازن‌های واحد DAC و ا ستفاده از روش DWA و بدون استفاده از این تکنیک..... ۴۸
شکل (۴-۱): سوئیچ بوت استرپ [27] استفاده شده در این پروژه..... ۵۰
شکل (۴-۲): مدار سوئیچ شونده خازنی انتگرال‌گیر اول مبدل اول..... ۵۴
شکل (۴-۳): ساختار سیستمی مدولاتور اول به همراه منابع نویز مدل شده..... ۵۱
شکل (۴-۴): مدار سوئیچ شونده خازنی انتگرال‌گیر دوم مبدل اول..... ۵۶
شکل (۴-۵): مدار سوئیچ شونده خازنی انتگرال‌گیر سوم مبدل اول..... ۵۷
شکل (۴-۶): تقویت کننده مورد استفاده در انتگرال‌گیر اول تا سوم مبدل اول..... ۵۹
شکل (۴-۷): مدار سوئیچ شونده خازنی تنظیم مد مشترک خروجی..... ۶۰
شکل (۴-۸): مدار بایاس تقویت کننده ها..... ۶۱
شکل (۴-۹): مدار مقایسه‌گر چهار ورودی طراحی شده..... ۶۲
شکل (۴-۱۰): پیاده‌سازی مداری DAC مبدل SAR..... ۶۳
شکل (۴-۱۱): مدار منطقی ناهمزمان الف) ساختار مداری ب) سیگنال‌های بخش‌های مختلف مدار..... ۶۴
شکل (۴-۱۲): ساختار سیستمی مبدل دوم به همراه منابع نویز مدل شده..... ۶۶
شکل (۴-۱۳): مدار سوئیچ شونده خازنی انتگرال‌گیر اول مبدل دوم..... ۶۸
شکل (۴-۱۴): مدار سوئیچ شونده خازنی انتگرال‌گیر دوم مبدل دوم..... ۶۹
شکل (۴-۱۵): تقویت کننده مورد استفاده در انتگرال‌گیر اول و دوم مبدل دوم..... ۷۱

شکل (۵-۱): ساختار سوئیچ شونده خازنی و تمام تفاضلی مدولاتور پیشنهادی اول. ۷۳
شکل (۵-۲): طیف توان خروجی مدولاتور اول در گوشه معمولی تکنولوژی و دمای 27°C ۷۴
شکل (۵-۳): طیف توان خروجی مدولاتور اول در گوشه کند تکنولوژی و دمای 85°C ۷۴
شکل (۵-۴): طیف توان خروجی مدولاتور اول در گوشه سریع تکنولوژی و دمای -40°C ۷۵
شکل (۵-۵): محدوده دینامیکی مدولاتور اول با در نظر گرفتن نویز حرارتی و در گوشه معمولی تکنولوژی و دمای 27°C ۷۵
شکل (۵-۶): ساختار سوئیچ شونده خازنی و تمام تفاضلی مبدل پیشنهادی دوم. ۷۶
شکل (۵-۷): طیف توان خروجی مدولاتور دوم در گوشه معمولی تکنولوژی و دمای 27°C ۷۷
شکل (۵-۸): محدوده دینامیکی مدولاتور دوم با در نظر گرفتن نویز حرارتی و در گوشه معمولی تکنولوژی و دمای 27°C ۷۷

فهرست جدول‌ها

جدول (۲-۱): مقایسه توان مصرفی کوانتایزر SAR و کوانتایزر فلش پیاده‌سازی شده در مرجع [9]. ۱۷

جدول (۳-۱): حداقل بهره مورد نیاز تقویت کننده های اول تا سوم ساختار پیشنهادی مبدل اول. ۴۱

جدول (۳-۲): حداقل بهره مورد نیاز تقویت کننده های اول و دوم ساختار پیشنهادی مبدل دوم. ۴۱

جدول (۴-۱): اندازه ترانزیستورهای سوئیچ بوت استرپ مبدل اول. ۵۱

جدول (۴-۲): ابعاد افزاره‌های به کار رفته در انتگرال‌گیر اول مبدل اول. ۵۵

جدول (۴-۳): ابعاد افزاره‌های به کار رفته در انتگرال‌گیر دوم مبدل اول. ۵۶

جدول (۴-۴): ابعاد افزاره‌های به کار رفته در انتگرال‌گیر سوم مبدل اول. ۵۷

جدول (۴-۵): ابعاد ترانزیستورهای به کار رفته در تقویت کننده اول مبدل اول. ۵۹

جدول (۴-۶): ابعاد ترانزیستورهای به کار رفته در تقویت کننده دوم مبدل اول. ۵۹

جدول (۴-۷): ابعاد ترانزیستورهای به کار رفته در تقویت کننده سوم مبدل اول. ۵۹

جدول (۴-۸): مقدار خازن‌های مدارهای CMFB تقویت‌کننده‌های مبدل اول. ۶۰

جدول (۴-۹): ابعاد افزاره‌های به کار رفته در مدار بایاس مبدل اول. ۶۱

جدول (۴-۱۰): ابعاد ترانزیستورهای مقایسه‌گر. ۶۳

جدول (۴-۱۱): ابعاد افزاره‌های به کار رفته در انتگرال‌گیر اول مبدل دوم. ۶۹

جدول (۴-۱۲): ابعاد افزاره‌های به کار رفته در انتگرال‌گیر دوم مبدل دوم. ۷۰

جدول (۴-۱۳): ابعاد ترانزیستورهای به کار رفته در تقویت کننده اول مبدل دوم. ۷۱

جدول (۴-۱۴): ابعاد ترانزیستورهای به کار رفته در تقویت کننده دوم مبدل دوم. ۷۱

جدول (۵-۱): خلاصه نتایج شبیه‌سازی مدولاتور اول و دوم. ۷۹

جدول (۵-۲): مقایسه کارایی مبدل‌ها با نمونه‌های گزارش شده اخیر. ۸۰

فهرست علائم اختصاری

نیمه رسانا فلز-اکسید مکمل.....CMOS

رجیستر تقریب متوالی.....SAR

مبدل آنالوگ به دیجیتال.....ADC

مبدل دیجیتال به آنالوگ.....DAC

نسبت سیگنال به نویز و اعوجاج.....SNDR

نسبت سیگنال به نویز.....SNR

ضریب شایستگی.....FOM

نرخ بیش نمونه برداری.....OSR

نسبت سیگنال به نویز کوانتیزاسیون.....SQNR

تقویت کننده هدایت انتقالی عملیاتی.....OTA

میانگین‌گیری وزن داده.....DWA

تطبیق اجزای دینامیکی.....DEM

تابع انتقال سیگنال.....STF

تابع انتقال نویز.....NTF

فیدبک مد مشترک.....CMFB

واژه نامه

آرایه خازنی جدا شده..... Split Capacitive Array (SCA)

پیش‌خور..... Feed-Forward

تاخیر حلقه اضافی..... Excess Loop Delay (ELD)

تطبیق اجزای دینامیکی..... Dynamic Element Matching

تعداد موثر بیت‌ها..... Effective Number of Bits (ENOB)

تک‌سر..... Single-ended

تکنیک پایدارسازی چاپری..... Chopper Stabilization Technique

توزیع بار..... Charge Redistribution

جابه‌جایی خازن‌ها..... Capacitors Swapping

جیتر کلاک..... Clock Jitter

خازن واحد..... Unite Capacitor

خازن‌های باقیمانده..... Residue Capacitors

خطای غیرخطینگی تجمعی..... Integral Non-Linearity Error (INL)

خطای غیرخطینگی تفاضلی..... Differential Non-Linearity Error (DNL)

رجیستر تقریب متوالی..... Successive Approximation Register (SAR)

رنج دینامیکی آزاد کاذب..... Spurious Free Dynamic Range (SFDR)

زمان پیوسته..... Continuous-Time (CT)

زمان گسسته..... Discrete-Time (DT)

ساختار فیدبک خطا..... Error Feedback Structure

صفحه بالایی..... Top-Plate

ضریب شایستگی..... Figure of Merit (FoM)

کالیبراسیون..... Calibration

کد حرارتی..... Thermometer Code

کوانتایزر..... Quantizer

فاز تبدیل..... Conversion Phase

فیدبک مد مشترک..... Common-mode feedback (CMFB)

فیلتر ضد تداخل..... Anti-Aliasing Filter

مبدل دیجیتال به آنالوگ..... Digital to Analog Converter

مدار منطقی SAR ناهمزمان..... Asynchronous SAR Logic

میانگین‌گیری وزن داده..... Data Weighted Averaging

نسبت سیگنال به نویز..... Signal to Noise Ratio (SNR)

نسبت سیگنال به نویز کوانتیزاسیون..... Signal to Quantization Noise Ratio (SQNR)

نسبت سیگنال به نویز و اعوجاج..... Signal to Noise and Distortion Ratio (SNDR)

نمونه‌برداری دو برابر همبسته..... Correlated Double Sampling (CDS)

مراجع

[1] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*. New York: Wiley/IEEE press, 2005.

[2] J. Markus and G. C. Temes, "An efficient delta-sigma ADC architecture for low oversampling ratios," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 1, pp. 63-71, Jan. 2004.

[3] S. Rabii and B.A. Wooley, *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*, Norwell, MA: Kluwer, 1999.

[4] D. Johns and K. Martin, "*Design of analog integrated circuits and systems*," John Wiley & Sons, 1997.

[5] F. Maloberti, *Data converters*. Springer, 2007.

[6] A. Chan Carusone, D. A. Johns, and K. W. Martin, *Analog integrated circuit design*, 2nd ed.: John Wiley & Sons Press, 2012.

[7] J. M. de la Rosa, "Sigma-delta modulators: tutorial overview, design guide, and state-of-the-art survey," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 58, no. 1, pp. 1-21, Jan. 2011.

[8] C. Huang and J. Wu, "A Background Comparator Calibration Technique for Flash Analog-to-Digital Converters," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, no. 9, pp. 1732-1740, Sep. 2005.

[9] B. Razavi, *Principles of Data Conversion System Design*. New York: IEEE Press, 1995.

[10] H. Pan and A. A. Abidi, "Spatial filtering in flash A/D converters," *IEEE Trans. Circuits Syst. II*, Analog Digit. Signal Process. vol. 50, no. 8, pp. 424–436, Aug. 2003.

[11] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques. I," *IEEE J. Solid-State Circuits*, vol. 10, no. 6, pp. 371-379, Dec. 1975.

[12] Z. Sohrabi, *Design and simulation of sigma-delta modulators for broadband applications in 90-nm CMOS technology*. M.Sc. Dissertation, Amirkabir University of Technology, Feb 2011.

[13] F. M. Akcakaya and G. Dundar, "Low power sigma delta converter with SAR ADC for audio frequencies," *in Faible Tension Faible Consommation (FTFC)*, 2013 IEEE, pp. 1–4, IEEE, 2013.

[14] S. Porrazzo, A. Morgado, D. San Segundo Bello, F. Cannillo, C. Van Hoof, A.H.M van Roermund, E. Cantatore, "A 155 μW 88-dB DR Discrete-Time $\Delta\Sigma$ Modulator for Digital

Hearing Aids Exploiting a Summing SAR ADC Quantizer," *IEEE Trans. Biomedical Circuits and Systems*, vol. 7, no. 5, pp. 573-582, Oct. 2013.

[15] S. Porrazzo, V. Manyam, A. Morgado, David. Bello, C. V. Hoof, A. H. M. Roermund, R. Yazicioglu, E. Cantatore, "A 1-V 99-to-75dB SNDR, 256Hz–16kHz bandwidth, 8.6-to-39μW reconfigurable SC ΔΣ Modulator for autonomous biomedical applications," *IEEE ESSCIRC*, pp. 367-370, Sep. 2013.

[16] Y. Ye, L. Liu, J. Li, D. Li, Z. Wang, "A 120dB SNDR audio sigma-delta modulator with an asynchronous SAR quantizer," *IEEE Int. Symp. on Circuits and Systems*, pp. 2357-2360, May 2012.

[17] Y. Park, T. Kwon, K. Cho, Y. Kwak, G. Ahn, C. Shin, M. Lee, S. You, H. Park, "A 1.1 V 82.3dB Audio ΔΣ ADC Using Asynchronous SAR Type Quantizer," in *Int. Conf. on Electronics, Circuits and Systems (ICECS)*, pp. 637-640, Dec. 2012.

[18] T. Hsu, C. Huang, I. Chao and S. Chang, "A first-order low distortion sigma-delta modulator using split DWA technique and SAR quantizer," in *IEEE Int. Symp, on VLSI Design, Automation and Test (VLSI-DAT)*, pp. 1-4, Apr. 2015.

[19] L. Liu, D. Li, Y. Ye, L. Chen and Z. Wang, "A 95dB SNDR Audio ΔΣ Modulator in 65nm CMOS," in *Custom Integrated Circuits Conference (CICC)*, pp. 1-4. IEEE, Sep. 2011.

[20] J. Kim, T. Kwon, G. Ahn, Y. Kim, J. Kwon, "A ΔΣ ADC using 4-bit SAR type quantizer for audio applications," in *IEEE International SoC Design Conference (ISOCC)*, pp. 73-75, Nov. 2011.

[21] K.-S. Kim and S.-H. Cho, "Nth-order multi-bit ΔΣ ADC using SAR quantiser," *IET Electronics Letters*, vol. 46, no. 19, pp. 1315-1316, Sept. 2010.

[22] M. Shahghasemi, R. Inanlou and M. Yavari, "An error-feedback noise-shaping SAR ADC in 90 nm CMOS," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 81, no. 3, pp. 805-814, Oct. 2014.

[23] R. Inanlou, M. Shahghasemi and M. Yavari, "A noise-shaping SAR ADC for energy limited applications in 90 nm CMOS technology," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 77, no. 2, pp. 257-269, Nov. 2013.

[24] L. Samid, Y. Manoli, "A multibit continuous time sigma delta modulator with successive-approximation quantizer," *IEEE Int. Symp. on Circuits and Systems*, pp. 2965-2968, May. 2006.

[25] M. Ranjbar, A. Mehrabi, O. Oliaei, F. Carrez, "A 3.1 mW Continuous-Time ΔΣ Modulator With 5-Bit Successive Approximation Quantizer for WCDMA," *IEEE J. Solid-State Circuits*, vol. 45, pp. 1479-1491, Aug. 2010.

[26] S. Z. Reyhani, O. Hashemipour, "SAR-based delta-sigma modulator using single-bit shared-DAC," *IET Electronics Letters*, vol. 50, pp. 156-158, Jan. 2014.

[27] J. Cherry and W. Snelgrove, "Excess loop delay in continuous-time delta-sigma modulators," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*., vol. 46, no. 4, pp. 376–389, Apr. 1999.

[28] P. Fontaine, A. N. Mohieldin, and A. Bellaouar, "A low-noise lowvoltage CT- ΔΣ modulator with digital compensation of excess loop delay," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers* 2005, vol. 1, pp. 498–499, 613.

[29] R. Schreier, "Delta sigma toolbox." 14 Jan 2000 (Updated Dec 2011) [Online]. Available: http://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox.

[30] O. Oliaei, "Noise Analysis of correlated double sampling SC-Integrators," *Int. Symp. On Circuits and Systems (ISCAS)*, vol. 4, pp. 445-448, 2002.

[31] C. Enz and G.C. Temes, "Circuits Techniques for reducing the effect of op-amp imperfections: autozeroing, correlated double sampling and chopper stabilization," *Proc. Of IEEE*, vol. 48, no. 11, pp. 1584-1614, Nov. 1996.

[32] K. Nam, *Design of low-voltage low-power sigma-delta modulators for broadband high-resolution A/D conversion*, Ph.D. Dissertation, Stanford University, 2005.

[33] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, A. Baschirotto, "Behavioral modeling of switched-capacitor sigma-delta modulators," *IEEE Transactions on Circuits and Systems I*, vol. 50, no. 3, pp. 352-364, Mar. 2003.

[34] R. Baird and T. Feiz, "Linearity enhancement of multibit delta-sigma A/D and D/A converters using data weighted averaging," *IEEE Trans. Circuits Systs., II*, vol. 42, pp. 753-762, Dec. 1995.

[35] B. Razavi, "*Principles of data conversion system design*," IEEE Press, 1995.

[36] A. M. Abo and P. R. Gray, "A 1.5V, 10-bit, 14.3-MS/s CMOS Pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.

[37] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE J.Solid-State Circuits*, vol. 36, no. 3, pp. 349-355, Mar. 2001.

[38] M. Yavari, *Low-voltage high-performance sigma-delta modulators for broadband applications*. Ph.D. Dissertation, University of Tehran, July 2006.

[39] M. Dessouky, M.-M. Louerat, and A. Kaiser, "Switch sizing for very low-voltage switched-capacitor circuits," in *Int. Conf. on Electronics, Circuits and Systems (ICECS)*, pp. 389-393. Sept. 2001.

[40] U. Chilakapati and T. S. Fiez, "Effect of switch resistance on the SC integrator settling time," *IEEE Trans. on Circuits and Systems II*: Analog and Digital Signal Processing, vol. 46, no. 6, pp. 810-816, Jun. 1999.

[41] S. Porrazzo, F. Cannillo, C. Van Hoof, E. Cantatore, and A. H. M. van Roermund, "A Power-Optimal Design Methodology for High-Resolution Low-Bandwidth SC ΔΣ Modulators" *IEEE Trans. on Instrumentation and Measurement*, vol. 61, no. 11, Nov. 2012.

[42] H. Jeon and Y.-B. Kim, "A CMOS low-power low-offset and high-speed fully dynamic latched comparator," in *IEEE Int. System-on-Chip Conference (SOCC)*, pp.285-288, Sept. 2010.

[43] T.O. Anderson. *Optimum control logic for successive approximation analog to digital converters*. Communications Systems Research Section, JPL Technical Report 32-1526, Vol XIII.

[44] Pieter J. A. Harpe, C. Zhou, Y. Bi, N. P. Meijs, X. Wang, K. Philips, G. Dolmans, H. Groot, "A 26 μW 8-bit 10 MS/s asynchronous SAR ADC for low energy radios," *IEEE J. solid-state circuits*, vol. 46, no 7, 2011.

[45] G. Huang, P. Lin, "A 15 fJ/conversion-step 8-bit 50 MS/s asynchronous SAR ADC with efficient charge recycling technique," *Microelectronics Journal*, vol. 43, pp. 941-948, 2012.

[46] T. Cao, S. Aunet, T. Ytterdal, "A 9-bit 50MS/s asynchronous SAR ADC in 28nm CMOS," *IEEE NORCHIP*, pp. 1-6, Nov. 2012.

[47] S. M. Chen, R. W. Brodersen, "A 6b 600MS/s 5.3 mW Asynchronous ADC in 0.13μm CMOS," *Int. Solid-State Circuits Conference* , pp. 2350-2359, Feb. 2006.

[48] Q. Huang and R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," *IEEE J.Solid-State Circuits*, vol. 31, pp. 456-465, Mar. 1996.

[49] K. Yamamoto and A. Chan Carusone, "A 1-1-1-1 MASH delta-sigma modulator with dynamic comparator-based OTAs," *IEEE J. Solid-State Circuits*, vol. 47, no. 8, pp. 1866-1883, Aug. 2012.

[50] L. Dörrer, F. Kuttner, P. Greco, P. Torta, and T. Hartig, "A 3-mW 74-dB SNR 2-MHz Continuous-Time Delta-Sigma ADC With a Tracking ADC Quantizer in 0.13-μm CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2416-2427, Dec, 2005.

[51] I-J. Chao, Ch-M. Kuo, B. Liu, Ch-Y. Huang, and S-J. Chang, "A 3rd-Order Delta-Sigma Modulator with Timing-Sharing Opamp-Sharing Technique," *IEEE Int. Symp. on Circuits and Systems (ISCAS)*, pp. 2002-2005, May. 2013.

[52] Ch-Y. Ho, C. Liu, Ch-L. Lo, H-Ch. Tsai, T-Ch. Wang, and Y-H. Lin, "A 4.5 mW CT Self-Coupled ΔΣ Modulator With 2.2 MHz BW and 90.4 dB SNDR Using Residual ELD Compensation," *IEEE J. Solid-State Circuits*, vol. 50, no. 12, pp. 1-10, Dec, 2015.

[53] S. Zaliasl, S. Saxena, P. K. Hanumolu, K. Mayaram, and T. S. Feiz, "A 12.5-bit 4 MHz 13.8 mW MASH ΔΣ modulator with multirated VCO-based ADC," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 59, no. 8,pp. 1604-1613, Aug. 2012.

[54] S. Kwon and F. Malberoti, "A 14mW multi-bit ΔΣ modulator with 82dB SNR and 86dB DR for ADSL2+." in *IEEE Dig. Tech. Papers*., pp. 161-170, Feb. 2006.

[55] P. Zhu, X. Xing, and G. Gielen, "A 40-MHz Bandwidth 0-2 MASH VCO-based Delta-Sigma ADC with 35-fJ/step FoM," ," *IEEE Transactions on Circuits and Systems II*: Express Briefs, vol. 62, no. 10, pp. 952-956, Sep. 2015.

[56] J. G. Kauffman, P. Witte, M. Lehmann, J. Becker, Y. Manoli, Senior Member, IEEE,and M. Ortmanns, "A 72dB DR,CT ΔΣ Modulator Using Digitally Estimated, Auxiliary DAC Linearization Achieving 88 fJ/conv-step in a 25 MHz BW*," IEEE J. Solid-State Circuits*, vol. 49, no. 2, pp. 392-404, Feb. 2014.

[57] R. Zanbaghi, S. Saxona, G. C. Temes, and T. S. Feiz, "A 75-dB SNDR, 5-MHz bandwidth stage-shared 2-2 MASH ΔΣ modulator dissipating 16 mW power," *IEEE Trans. Circuits Syst. I*, Reg. Papers, vol 59, no. 8, pp. 1614-1625, Aug. 2012.

[58] Y. Fujimoto, Y. Kanazawa, P. L. Ré, and K. Iizuka, "A 100 MS/s 4 MHz Bandwidth 70 dB SNR ΔΣ ADC in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 6, pp. 1697-1708, Jun. 2009.

[59] K. Lee, J. Chae, M. Aniya, K. Hamashita, K. Takasuka, S. Takeuchi, and G. C. Temes, "A Noise-Coupled Time-Interleaved Delta-Sigma ADC With 4.2 MHz Bandwidth, -98 dB THD, and 79 dB SNDR," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2601-2612, Dec. 2008.

[60] N. Maghari, and U-K. Moon, "A Third-Order DT ΔΣ Modulator Using Noise-Shaped Bi-Directional Single-Slope Quantizer," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2882-2891, Dec. 2011.

[61] E. Bilhan, and F. Maloberti, "A Wideband Sigma-Delta Modulator With Cross-Coupled Two-Paths," *IEEE Trans. Circuits Syst.* I, Reg. Papers, vol 56, no. 5, pp. 886-893, May. 2009.

[62] K. Lee, M. R. Miller, and G. C. Temes, "An 8.1 mW, 82 dB Delta-Sigma ADC With 1.9 MHz BW and -98 dB THD," *IEEE J. Solid-State Circuits*, vol. 44, no. 8, pp. 2202-2211, Aug. 2009.

[63] Y-H. Chung, M-H. Wu, and H-S. Li, "A 12-bit 8.47-fJ/Conversion-Step Capacitor-Swapping SAR ADC in 110-nm CMOS," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol 62, no. 1, pp. 1-9, Jan. 2015.

[64] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS circuit design, layout and simulation*, 2nd ed.: IEEE Press, 1998.

Abstract

Nowadays due to the need for fast processing of information and increase in digital circuits efficiency, there have been a rise in demands for analog to digital converters with high speed and accuracy. On the other hand, decreasing the power consumption while maintaining the efficiency has become a challenge in designing integrated circuits. Sigma delta converters are less sensitive to circuit imperfections due to their oversampling and noise-shaping properties. As a result they are the best choice in high-accuracy applications. For increasing the bandwidth of these converters their oversampling rate should be decreased. In order to obtain an acceptable signal to noise ratio with low oversampling ratio, an appropriate solution is using multi-bit quantizer. Using multi-bit flash quantizer which is used in structure of most sigma delta converters increases the power consumption of quantizer which exponentially increases with the increase in its number of bits.

In this thesis SAR quantizer is used to solve the problem of high power consumption of multi-bit quantizer and in addition with using a new technique, the existing digital to analog (DAC) in the SAR quantizer is used for implementing DACs of sigma-delta ADC and analog adder required before quantizer of modulator.

Finally two ADCs with proposed structure are designed. First proposed ADC is a third-order Modulator with 5 MHz Nyquist-rate and 86.53-dB SNDR and its power consumption is 6.54 mW. Second ADC is second-order Modulator with 10-MHz Nyquist-rate and 62.29-dB SNDR while consumption 955 µW. ADCs are designed in 90-nm CMOS technology with 1V supply voltage and Cadence Spectre and MATLAB softwares are used for their simulations.

Key Words:

Sigma-Delta Analog-to-Digital Converter (ADCs), Multibit Quantizer, Low-Power, Successive Approximation Register (SAR) Quantization.

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc. Thesis

Title

Sigma-Delta Modulators with Successive Approximation Quantization

By
Masoud Es'haghinia

Supervisors
Dr. Mohammad Yavari
Dr. Hassan Ghafori Fard

July 2016