Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

PhD Thesis

Noise-Shaping SAR ADC Performance Improvement

By
Mansoure Yousefirad

Supervisor
Dr. Mohammad Yavari

Summer 2023

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

رسالهٔ دکتری
گرایش الکترونیک

بهبود عملکرد مبدل‌های آنالوگ به دیجیتال SAR با شکل‌دهی نویز

نگارش
منصوره یوسفی‌راد
(۹۵۱۲۳۹۰۶)

استاد راهنما
دکتر محمد یاوری

پاییز ۱۴۰۲

بسم الله الرحمن الرحیم

صفحه فرم ارزیابی و تصویب پایان‌نامه- فرم تأیید اعضای کمیته دفاع

به نام خدا

تاریخ:

تعهدنامه اصالت اثر

اینجانب منصوره یوسفی‌راد متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

منصوره یوسفی‌راد

امضا

تقدیر و تشکر

با سپاس فراوان از پروردگار متعال که بار دیگر مرا مورد لطف خود قرار داد و با کمک او توانستم این پایان نامه را به انجام برسانم. در اینجا بر خود لازم می‌دانم که از هم‌فکری و همراهی‌های استاد راهنمای گرامی جناب آقای دکتر محمد یاوری که در این پروژه بسیار مرا یاری فرمودند کمال تشکر و قدردانی را به عمل آورم. همچنین از اساتید داور محترم، جناب آقای دکتر امید شعاعی، جناب آقای دکتر حسین شمسی، جناب آقای دکتر احمدی، جناب آقای دکتر کاتوزیان و جناب آقای دکتر معزی که قبول زحمت فرمودند و داوری این رساله را برعهده داشتند، سپاسگزارم.

همچنین از جناب آقای دکتر محسن تمدن و سایر دوستانی که بدون چشم‌داشتی مرا در به انجام رساندن این پایان نامه مساعدت کردند بسیار ممنون و متشکرم. همچنین از پدر، مادر و همسرم که در این راه، اینجانب را همراهی نموده و همواره در سختی‌ها روحیه‌ی امید و تلاش را در من زنده نگهداشتند سپاسگزارم. از خداوند منان برای همه‌ی اساتید، دوستان و خانواده‌ام صحت و تندرستی و موفقیت در تمامی مراحل زندگی را مسئلت دارم.

منصوره یوسفی راد

پاییز ۱۴۰۲

چکیده

در این رساله یک مبدل آنالوگ به دیجیتال از نوع رجیستر تقریب متوالی (SAR ADC) با قابلیت سه مرتبه شکل‌دهی نویز (NS) که ساختاری ساده و کاملاً دینامیک دارد پیشنهاد شده است. در این ساختار از یک انتگرالگیر غیرفعال در مسیر مستقیم (FF) و یک فیلتر بازخورد خطا (EF) در مسیر فیدبک به منظور کاهش نویز کوانتیزاسیون و نویز حرارتی داخل باند و افزایش دقت مبدل استفاده شده‌است. انتگرالگیر به‌کاررفته، دارای بهره غیرفعال ۴ به منظور جبران اثر تضعیف ولتاژ مانده می‌باشد. خازن انتگرالگیر بصورت تفاضلی به کار رفته است که موجب کاهش خازن مورد نیاز انتگرالگیر به میزان ۷۵٪ شده است. مزیت دیگر ساختار پیشنهادی این است که برخلاف اغلب مراجع، به جای استفاده از مقایسه-گری با چندجفت ورودی که منجر به افزایش بی رویه سطح نویز ارجاع شده به ورودی مقایسه‌گر می-شود، از مقایسه‌گر دینامیک ساده، کم‌نویز و کم مصرف استرانگ‌آرم با یک جفت ورودی استفاده می‌کند. علاوه‌براین، در طراحی ساختار پیشنهادی، محل صفرهای تابع انتقال نویز (NTF) بهینه شده‌اند و قدرت NTF بهبود یافته است. ساختار پیشنهادی درتکنولوژی TSMC CMOS 180 nm در سطح سیستمی و مداری به ترتیب با استفاده از نرم افزار متلب و کیدنس طراحی و شبیه‌سازی شده است. مقدار بیش‌نمونه برداری (OSR)، فرکانس نمونه‌برداری و پهنای باند ساختار مورد نظر به ترتیب برابر با 8، 2.5 MS/s و 156.25 kHz است. با توجه به نتایج شبیه‌سازی‌های پس از لی‌آوت نسبت سیگنال به نویز و اغتشاشات (SNDR) برابر با 83.1dB، تعداد بیت مؤثر (ENOB) 13.5 بیت و توان مصرفی 70.3 µW تحت ولتاژ تغذیه 1.1 V بدست آمده است. این مبدل برای کاربرد در سنسورهای اینترنت اشیا (IOT) کاربرد دارد.

علاوه‌براین، روشی ساده و کم‌مصرف جهت تثبیت بهره تقویت‌کننده دینامیکی مبتنی بر اینورتر شناور (FIDA)، که در ساختار پیشنهادی رساله به کار رفته است، در برابر تغییرات پروسس، ولتاژ تغذیه و دما (PVT) ارائه شده است. روش پیشنهادی با کنترل مدت زمان تقویت FIDA، متناسب با ثابت زمانی آن، به هدف مطلوب می‌رسد. نتایج شبیه سازی‌های پس از لی‌آوت بهره 29.4 و توان مصرفی 51.3 µW را نشان می‌دهد. تغییرات بهره FIDA در برابر PVT با این روش از 49.6% به 9.8% کاهش یافته است. در نهایت جهت ساخت تراشه کلی حاصل از رساله، با توجه به امکانات موجود، کلیه‌ی ساختار در تکنولوژی BCDlite-GEN2 CMOS 180nm نیز پیاده‌سازی شده و تراشه نهایی برای ساخت ارسال گردیده است.

واژه‌های کلیدی: مبدل آنالوگ به دیجیتال رجیستر تقریب متوالی با قابلیت شکل‌دهی نویز (NS SAR ADC)، بهینه‌سازی تابع انتقال نویز (NTF)، تقویت کننده دینامیکی مبتنی بر اینورتر شناور (FIDA)، پایداری در برابر تغییرات پروسس، ولتاژ تغذیه و دما (PVT).

فهرست مطالب

صفحه

چکیده..... أ

فهرست مطالب..... ب

فهرست شکل‌ها..... د

فهرست جدول‌ها..... ز

اختصار نامه..... ح

واژه نامه..... ط

فصل اول: مقدمه..... ۱

۱-۱- انگیزه و اهداف رساله..... ۱

۱-۲- دستاوردهای رساله..... ۳

۱-۳- ساختار رساله..... ۵

فصل دوم: مبدل‌های آنالوگ به دیجیتال SAR با شکل‌دهی نویز..... ۶

۲-۱- مبانی مبدل‌های آنالوگ به دیجیتال..... ۶

۲-۱-۱- تبدیل آنالوگ به دیجیتال..... ۶

۲-۱-۲- مدل نویز سفید کوانتیزاسیون..... ۱۰

۲-۱-۳- شاخصه‌های دینامیک عملکرد مبدل‌های آنالوگ به دیجیتال..... ۱۲

۲-۲- بیش‌نمونه‌برداری..... ۱۴

۲-۳- مبانی مبدل آنالوگ به دیجیتال SAR..... ۱۶

۲-۳-۱- عملکرد مبدل آنالوگ به دیجیتال SAR..... ۱۶

۲-۳-۲- اجزای مهم ساختار SAR ADC..... ۱۸

۲-۴- شکل‌دهی نویز در SAR ADC..... ۲۳

۲-۴-۱- تولید مانده..... ۲۴

۲-۵- مروری بر مقالات ارائه شده در زمینه NS-SAR ADC..... ۲۹

۲-۶- مروری بر مقالات ارائه شده در زمینه تقویت کننده‌های دینامیکی..... ۳۶

فصل سوم: ساختار NS SAR ADC پیشنهادی..... ۴۱

۳-۱- ساختار NS SAR ADC مرتبه سوم پیشنهادی در سطح سیستمی..... ۴۱

۳-۱-۱- ساختار کلی مبدل پیشنهادی..... ۴۱

۳-۱-۲- آنالیز و طراحی سیستمی مبدل پیشنهادی..... ۴۳

۳-۲- پیاده‌سازی مداری ساختار NS SAR ADC مرتبه سوم پیشنهادی..... ۴۷

۳-۲-۱- مدار SAR ADC ۴۷
۳-۲-۲- رجیستر تقریب متوالی (SAR) ۵۰
۳-۲-۳- فیلتر شکل‌دهی نویز CIFF ۵۱
۳-۲-۴- فیلتر شکل‌دهی نویز EF ۵۵
۳-۲-۵- مدار تقویت‌کننده دینامیکی ۵۸
۳-۲-۶- مدار مقایسه‌گر ۶۲
۳-۲-۷- روش DWA ۶۴
۳-۲-۸- آنالیز نویز و غیرایده‌آلی‌های ساختار NS SAR ADC پیشنهادی ۶۶
۳-۳- ترسیم لی‌آوت و نتایج شبیه‌سازی ۷۰

فصل چهارم: روش پیشنهادی برای پایداری FIDA در برابر PVT ۸۶

۴-۱- ساختار تقویت کننده دینامیکی مبتنی بر اینورتر شناور (FIDA) ۸۷
۴-۱-۱- ایده اصلی برای پایدار کردن بهره FIDA در برابر PVT ۸۸
۴-۱-۲- روش پیشنهادی برای پایدارکردن FIDA در برابر PVT در سطح سیستمی ۸۹
۴-۱-۳- روش پیشنهادی برای پایدارکردن FIDA در برابر PVT در سطح مداری ۹۲
۴-۲- آنالیز نویز ساختار پیشنهادی ۹۸
۴-۳- مدار تولید کننده کلاک ساختار پیشنهادی ۱۰۰
۴-۴- لی‌آوت و نتایج شبیه‌سازی ساختار پیشنهادی برای تثبیت بهره FIDA در برابر PVT ۱۰۲

فصل پنجم: نمونه تراشه پیاده‌سازی شده ۱۱۰

۵-۱- نمونه تراشه پیاده سازی شده حاصل از رساله ۱۱۰
۵-۱-۱- بلوک تولید کننده کلاک کلی ۱۱۳
۵-۱-۲- بلوک تبدیل دیتا موازی به سریال ۱۱۴
۵-۲- لی‌آوت تراشه نهایی NS SAR ADC پیاده سازی شده ۱۱۵
۵-۳- مدار تست تراشه ۱۱۹
۵-۴- نتایج شبیه سازی ۱۲۰

فصل ششم: نتیجه‌گیری و پیشنهادها ۱۲۳

۶-۱- نتیجه‌گیری ۱۲۴
۶-۲- پیشنهادها ۱۲۵

منابع و مراجع ۱۲۶

Abstract ۱۳۵

فهرست شکل‌ها

صفحه

شکل (۲-۱): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال (نرخ نایکوییست) ۷
شکل (۲-۲): فیلتر ضد تداخل برای الف) ADCهای نرخ نایکوییست و ب) ADCهای بیش‌نمونه‌بردار [۵]..... ۸
شکل (۲-۳): (الف) منحنی مشخصه کوانتایزر ۳ بیتی، (ب) خطای ناشی از عمل کوانتیزاسیون..... ۹
شکل (۲-۴): (الف) کوانتایزر غیرخطی، (ب) مدل خطی کوانتایزر با نویز سفید اضافه شونده..... ۱۰
شکل (۲-۵): منحنی توزیع خطای کوانتیزاسیون..... ۱۱
شکل (۲-۶): نویز کوانتیزاسیون در الف) ADCهای نرخ نایکوییست و ب) ADCهای بیش‌نمونه‌بردار [۵]..... ۱۵
شکل (۲-۷): ساختار ساده شده یک SAR ADC دارای N بیت [۶]..... ۱۷
شکل (۲-۸): عملکرد نمونه‌ای از یک SAR ADC چهار بیتی [۶]..... ۱۷
شکل (۲-۹): مثالی از یک DAC خازنی ۱۶ بیتی..... ۱۹
شکل (۲-۱۰): مقایسه‌گر حوزه (الف) جریان، (ب) زمان، (ج)ولتاژ [۱۱]..... ۲۲
شکل (۲-۱۱): ولتاژ مانده تولید شده روی DAC پس از تبدیل توسط یک SAR ADC، ۸-بیتی [۲۱]..... ۲۵
شکل (۲-۱۲): انجام یک کلیدزنی اضافی در آرایه DAC براساس آخرین تصمیم‌گیری مقایسه‌گر [۲۱]..... ۲۵
شکل (۲-۱۳): مانده‌ی نهایی، نویز مقایسه‌گر برای مقایسه‌ی N ام را نیز در برمی‌گیرید [۲۱]..... ۲۶
شکل (۲-۱۴): تکنیک ساده شکل‌دهی نویز SAR ADC [۲۱ و]..... ۲۶
شکل (۲-۱۵): دیاگرام جریان سیگنال در یک SAR ADC با شکل‌دهی نویز ساده [۲۱ و۲۲]..... ۲۸
شکل (۲-۱۶): تابع انتقال نویز مربوط به ساختار با شکل دهی نویز ساده [۲۱ و۲۲]..... ۲۸
شکل (۲-۱۷): شماتیک NS SAR ADC با فیلترهای FIR-IIR مبتنی بر تقویت کننده دینامیکی [۲۸]..... ۳۰
شکل (۲-۱۸): شماتیک NS SAR ADC با دو مرتبه شکل‌دهی نویز از نوع EF و مبتنی بر تقویت کننده دینامیکی [۳۰]..... ۳۱
شکل (۲-۱۹): الف) شماتیک NS SAR ADC دارای بهره غیرفعال و مقایسه‌گر چند ورودی و ب) پیاده سازی بهره غیرفعال[۳۱]..... ۳۲
شکل (۲-۲۰): شماتیک NS SAR ADC با دو مرتبه شکل‌دهی نویز غیرفعال و مقایسه‌گر چند ورودی [۳۳]..... ۳۳
شکل (۲-۲۱): شماتیک تقویت‌کننده دینامیکی رایج با مدار آشکارساز ولتاژ حالت مشترک خروجی [۵۲]..... ۳۷
شکل (۲-۲۲): شماتیک تقویت‌کننده دینامیکی مبتنی بر فرمان بار [۵۴]..... ۳۷
شکل (۲-۲۳): شماتیک تقویت‌کننده دینامیکی دوطبقه کلاک شونده [۳۴]..... ۳۸
شکل (۲-۲۴): شماتیک تقویت‌کننده دینامیکی مبتنی بر اینورتر شناور [۶۳]..... ۳۹
شکل (۳-۱): بلوک دیاگرام ساختار EF-CIFF-NS SAR ADC مرتبه سوم پیشنهادی..... ۴۲
شکل (۳-۲): نمودار اندازه Bode مربوط به NTF مرتبه سوم مطلوب این رساله در مقایسه با NTF مرتبه دوم [۳۰] و نیز NTF مرتبه سوم فاقد بهینه‌سازی صفرها..... ۴۶
شکل (۳-۳): نمودار صفر- قطب NTF مرتبه سوم پیشنهادی..... ۴۷
شکل (۳-۴): شماتیک ساختار NS SAR ADC پیشنهادی..... ۴۸

شکل (۳-۵): نمودار زمانی ساختار NS SAR ADC پیشنهادی..... ۴۹
شکل (۳-۶): منطق دیجیتال پیاده سازی شده برای SAR [۷۳]..... ۵۱
شکل (۳-۷): الف) شماتیک مدار SR-D-FF مبتنی بر گیت عبوری [۷۴] و ب) شماتیک گیت NOR..... ۵۲
شکل (۳-۸): الف) انتگرالگیر غیرفعال یک طرفه و ب) انتگرالگیر غیرفعال تفاضلی [۴۰]..... ۵۳
شکل (۳-۹): الف) انتگرالگیر تفاضلی با خازن‌های جدا شده در فاز ϕ_{int} ؛ ب) انباشته‌سازی خازن‌های انتگرالگیر در فاز ϕ_{con}..... ۵۴
شکل (۳-۱۰): کلید نمونه‌بردار ورودی از نوع بوت‌استرپ[۷۶]..... ۵۵
شکل (۳-۱۱): شماتیک مدار FIDA دو طبقه طراحی شده، الف) طبقه اول و ب) طبقه دوم..... ۵۹
شکل (۳-۱۲): الف) نمودار زمانی FIDA دو طبقه؛ ب) مدار معادل حالت مشترک طبقه دوم FIDA..... ۶۰
شکل (۳-۱۳): الف) مدار مقایسه‌گر استرانگ‌آرم و ب)مدار SR-latch در خروجی مقایسه‌گر [۸۱ و ۸۲]..... ۶۴
شکل (۳-۱۴): اثر غیرایده‌آلی‌ها در ساختار NS SAR ADC پیشنهادی..... ۶۸
شکل (۳-۱۵): لی‌آوت ساختارNS SAR ADC مرتبه سوم پیشنهادی..... ۷۳
شکل (۳-۱۶): نتایج شبیه‌سازی پس از لی‌آوت طیف خروجی ساختار NS SAR ADC مرتبه سوم پیشنهادی با و بدون اثر نویز مدار (در گوشه TT و دمای 27 درجه سانتیگراد و V_{DD}=1.1 V)..... ۷۴
شکل (۳-۱۷): نتایج شبیه‌سازی مونت کارلو برای SNDR با و بدون استفاده از روش DWA ۷۶
شکل (۳-۱۸): طیف خروجی شبیه‌سازی شده ADC با و بدون اثر عدم تطبیق خازن‌ها و تکنیک DWA؛ الف) برای یک نمونه، ب) برای ۲۰۰ نمونه..... ۷۷
شکل (۳-۱۹): طیف خروجی شبیه‌سازی شده ADC برای مقادیر مختلف بهره تقویت کننده دینامیکی (G).. ۷۸
شکل (۳-۲۰): طیف خروجی شبیه‌سازی شده ADC برای مقادیر مختلف بهره انتگرالگیر (b)..... ۷۹
شکل (۳-۲۱): طیف خروجی شبیه‌سازی شده ADC برای مقادیر مختلف ولتاژ حالت مشترک (V_{CM})..... ۸۰
شکل (۳-۲۲): نتایج شبیه‌سازی پس از لی‌آوت SNDR و SNR ساختار پیشنهادی برحسب دامنه سیگنال ورودی (در گوشه TT و دمای 27 درجه سانتیگراد و V_{DD}=1.1 V)..... ۸۱
شکل (۴-۱): مدار FIDA دو طبقه، الف) طبقه اول؛ ب) طبقه دوم..... ۸۷
شکل (۴-۲): الف) نمودار زمانی عملکرد FIDA؛ ب) مدار معادل حالت مشترک طبقه خروجی FIDA ۸۸
شکل (۴-۳): ساختار کلی الف) FIDA اصلی و ب) مدار کلی پیشنهادی برای کنترل بهره FIDA ۹۰
شکل (۴-۴): الف) شماتیک مدار FIDA کمکی و ب) مدار مقسم مقاومتی دینامیک..... ۹۲
شکل (۴-۵): الف) شماتیک مدار مقایسه‌گر و SR-D-FF دنباله آن..... ۹۵
شکل (۴-۶): نمودار زمانی مقایسه‌گر و SR-D-FF..... ۹۶
شکل (۴-۷): مدل‌سازی نویز مدار برای مدار کنترلی پیشنهادی..... ۹۸
شکل (۴-۸): شماتیک مدار تولیدکننده کلاک..... ۱۰۰
شکل (۴-۹): فازهای غیرهمپوشا k_{1-4} ساخته شده..... ۱۰۱
شکل (۴-۱۰): شماتیک الف)D-FF [۳۳] و ب) SR-Latch ۱۰۱
شکل (۴-۱۱): لی‌آوت FIDA مجهز به روش پیشنهادی برای تثبیت بهره آن در برابر PVT ۱۰۴

شکل (۴-۱۲): نتایج شبیه‌سازی زمانی پس از لی‌آوت، بدون تکنیک پیشنهادی برای الف) بهره و ب) ϕ_{amp} ؛ و با استفاده از تکنیک پیشنهادی برای ج) بهره و د) ϕ_{amp} ۱۰۶
شکل (۴-۱۳): نتایج شبیه‌سازی مونت کارلو با N=30 برای بهره FIDA اصلی، قبل و بعد از استفاده از تکنیک پیشنهادی ۱۰۷
شکل (۵-۱): شماتیک مدار مقسم فرکانس بر۲ ..... ۱۱۳
شکل (۵-۲): شماتیک مدار مقسم فرکانس بر ۵ [۹۰] ۱۱۳
شکل (۵-۳): مدار تقویت کننده کلاک با سوییِنگ پایین ۱۱۴
شکل (۵-۴): مدار تبدیل دیتا موازی به سریال ۱۱۵
شکل (۵-۵): مدار داخلی واحد رجیستر ۱۱۵
شکل (۵-۶): طرح بستر NS SAR ADC پیاده‌سازی شده ۱۱۶
شکل (۵-۷): لی‌آوت کلی NS SAR ADC پیاده‌سازی شده همراه با پدها ۱۱۷
شکل (۵-۸): بلوک دیاگرام کلی مدار اولیه تست تراشه ۱۲۰
شکل (۵-۹): چگالی طیفی توان سیگنال خروجی مبدل NS SAR ADC در تکنولوژی BCDlite-GEN2 CMOS 180nm ۱۲۱

فهرست جدول‌ها

صفحه

جدول (۳-۱): ابعاد المان‌های کلید بوت‌استرپ نمونه‌بردار طراحی شده..... ۵۶
جدول (۳-۲): ابعاد المان‌های مدار FIDA طراحی شده..... ۵۹
جدول (۳-۳): ابعاد المان‌های مدار مقایسه‌گر..... ۶۴
جدول (۳-۴): سهم نویزهای اصلی در مبدل NS SAR ADC پیشنهادی..... ۷۰
جدول (۳-۵): خلاصه نتایج حاصل از شبیه‌سازی پس از لی‌آوت ADC پیشنهادی در شرایط گوناگون PVT. ۷۴
جدول (۳-۶): خلاصه عملکرد ساختار NS SAR ADC پیشنهادی در مقایسه با سایر مراجع..... ۸۲
جدول (۳-۷): خلاصه عملکرد ساختار NS SAR ADC پیشنهادی در مقایسه با مراجعی با پهنای باند نزدیک به آن..... ۸۴
جدول (۴-۱): ابعاد المان‌های مدار FIDA اصلی طراحی شده..... ۹۳
جدول (۴-۲): ابعاد المان‌های مدار FIDA کمکی طراحی شده..... ۹۳
جدول (۴-۳): ابعاد المان‌های مدار مقایسه‌گر طراحی شده..... ۹۵
جدول (۴-۴): ابعاد المان‌های مدار D-FF طراحی شده..... ۱۰۲
جدول (۴-۵): خلاصه نتایج حاصل از شبیه‌سازی‌های پس از لی‌آوت FIDA اصلی قبل و بعد از استفاده از روش پیشنهادی در شرایط گوناگون PVT..... ۱۰۴
جدول (۴-۶): مقایسه عملکرد ساختار پیشنهادی با سایر مراجع..... ۱۰۸
جدول (۵-۱): ابعاد المان‌های مدار SR-D-FF طراحی شده..... ۱۱۱
جدول (۵-۲): ابعاد المان‌های مدار NOR طراحی شده..... ۱۱۱
جدول (۵-۳): ابعاد المان‌های کلید بوت‌استرپ نمونه‌بردار طراحی شده..... ۱۱۱
جدول (۵-۴): ابعاد المان‌های مدار مقایسه‌گر..... ۱۱۲
جدول (۵-۵): ابعاد المان‌های مدار FIDA اصلی طراحی شده..... ۱۱۲
جدول (۵-۶): ابعاد المان‌های مدار FIDA کمکی طراحی شده..... ۱۱۲
جدول (۵-۷): ابعاد المان‌های مدار مقایسه‌گر طراحی شده برای مدار کنترلی..... ۱۱۲
جدول (۵-۸): ابعاد المان‌های مدار تقویت کننده کلاک با سوییچینگ پایین..... ۱۱۴
جدول (۵-۹): توصیف پین‌های مختلف NS SAR ADC پیاده‌سازی شده..... ۱۱۶
جدول (۵-۱۰): خلاصه عملکرد ساختار NS SAR ADC پیاده‌سازی شده در تکنولوژی BCDlite-GEN2 CMOS 180nm مقایسه با سایر مراجع..... ۱۲۲

اختصار نامه

ADC: Analog to Digital Converter
CAMP: Clocked Amplifier
CIFF: Cascaded Integrators Feed-forward
CMFB: Common-Mode FeedBack
CS: Capacitor Stacking
DA: Dynamic Amplifier
DAMP: Dynamic Amplifier
DAC: Digital to Analog Converter
DWA: Data-Weighted Averaging
D-FF: Data-FlipFlop
EF: Error- Feedback
ENOB: Effective Number Of Bit
FFT: Fast-Fourier Transform spectrum
FIDA: Floating-Inverter Dynamic Amplifier
FIR: Finite Impulse Response
FOM: Figure of merit
IIR: Infinite Impulse Response
IOT: Internet of Things
LSB: Least Significant Bit
MES: Mismatch Error Shaping
MIC: Multi-Input-Comparator
MIM: Metal-Insulator-Metal
MOS: Metal Oxide Semiconductor
NS: Noise Shaping
NTF: Noise Transfer Function
OSR: Over-Sampling Ratio
OTA: Operational Trans-conductance Amplifiers
PSD: Power spectral density
PVT: Process, Voltage, and Temperature
RA: Ring Amplifier
SAR: Successive Approximation Register
SC: Switch- Cap
SD: Sigma-Delta
SFDR: Spurious-Free-Dynamic-Range
SNDR: Signal to Noise and Distortion Ratio
SNR: Signal-to-Noise Ratio
SQNR: Signal to Quantization Noise Ratio
SR-D-FF: Set-Reset D-FlipFlop
STF: Signal transfer function
TDC: Time to digital converter
THD: Total-Harmonic-Distortion
VCO: Voltage-Controlled Oscillator

واژه نامه

Active current- mirror	آینه- جریان فعال
Active Integrators	انتگرالگیرهای فعال
All-pass	تمام گذر
Analog to Digital Converters (ADC)	مبدل‌های آنالوگ به دیجیتال
Anderson	اندرسون
Annealing	آنیلینگ
Anti-Aliasing Filter (AAF)	فیلتر ضدتداخل
Auto-zeroing configuration	آرایش خود- صفرشونده
Auxiliary FIDA	FIDA کمکی
Background calibration	کالیبراسیون پس‌زمینه
Balance	متعادل کردن
Band-pass	میان‌گذر
Bandwidth (BW)	پهنای باند
Binary	باینری
Bode	بود
Boltzman Constant	ثابت بولتزمن
Bootstrapped Switches	کلیدهای بوت‌استرپ
Bottom-plate	صفحه‌ی پایینی
Cascaded Integrators Feed- Forward (CIFF)	انتگرالگیرهای پشت‌سر هم در مسیر هدایت مستقیم
Cascaded Integrators Feed-forward (CIFF)	انتگرالگیرهای متوالی هدایت مستقیم
Casecode	کسکود
Charge Redistribution	باز توزیع بار
Charge- sharing Loss	تلفات ناشی از تقسیم بار
Charge-injection	تزریق بار
Charge-steering	مبتنی بر فرمان-بار
Clamping	محدود کردن

Clock divider	مقسم کلاک
Clock feed-through	عبور کلاک
Closed- loop	حلقه‌بسته
Coarse quantizer	کوانتایزر بزرگ
Common centroid	مرکز ثقل مشترک
Common-Mode Feed-Back (CMFB)	فیدبک خروجی حالت مشترک
Comparator	مقایسه‌گر
Complex conjugate	مزدوج مختلط
Conventional	رایج
Correlation	همبستگی
Critical	بحرانی
Cross-coupling	کوپلاژ ضربدری
Current reuse scheme	طرح باز-استفاده از جریان
Cut-off	قطع
Data-FlipFlop (D-FF)	دیتا فلیپ-فلاپ
Data-Weighted Averaging (DWA)	متوسط‌گیری ضرایب داده
Decoupling capacitors	خازن‌های دکوپلاژ
Deep notch	دره عمیق
Deep sub-threshold region	ناحیه زیر-آستانه عمیق
Device mismatches	عدم تطبیق المان‌ها
Devices mismatch	عدم تطبیق المان‌ها
Different rates	نرخ‌های متفاوت
Differential integration	انتگرالگیری تفاضلی
Diffusion	نفوذی
Digital to Analog Converter (DAC)	مبدل دیجیتال به آنالوگ
Direct current (DC)	جریان مستقیم
Dynamic Amplifier (DAMP)	تقویت‌کننده دینامیکی

Dynamic latch	لچ دینامیک
Dynamic Ring- amplifier (RA)	تقویت‌کننده رینگ دینامیکی
Effective Number Of Bit (ENOB)	تعداد بیت مؤثر
Efficient	کارآمد
Embedded- Buffer	بافر تعبیه شده
Error- Feedback (EF)	بازخور خطا
Evaluation	ارزیابی
Fast-Fourier Transform spectrum (FFT)	طیف تبدیل فوریه سریع
Figure Of Merit (FOM)	درجه شایستگی
Finite impulse response (FIR)	پاسخ ضربه محدود
Fitting constants	ثابت‌های فیتینگ
Floating-Inverter Dynamic Amplifier (FIDA)	تقویت‌کننده دینامیکی مبتنی بر اینورتر شناور
Floor plan	طرح بستر
Folding	تاخوردن
Foreground	پیش‌زمینه
Frequency divider	مقسم فرکانس
Full swing	تمام دامنه
Full-scale voltage	ولتاژ تمام مقیاس
Fully-differential	تمام تفاضلی
Fundamental	پایه ای
Hann window	پنجره هن
Harmonic distortion	اغتشاشات هارمونیکی
Input common-mode voltage range	محدوده ولتاژ حالت مشترک ورودی
Internet of Things (IOT)	اینترنت اشیا
Jitter	جیتر
Kelvin	کلوین
Kickback noise	نویز پس‌زدنی

Layout	لی‌آوت
Linear region	ناحیه‌خطی
Linearization	خطی‌سازی
Loop filter	فیلتر حلقه
Low Pass (LP)	پایین گذر
Low swing clock booster	تقویت‌کننده کلاک با سوییِنگ پایین
Main FIDA	FIDA اصلی
Manual Tuning	تنظیم دستی
Master clock	کلاک اصلی
Matching	تطبیق
Metal	فلز
Metal-Insulator-Metal (MIM)	فلز-عایق- فلز
MOSFET	ماسفت
Natural logarithmic	لگاریتم طبیعی
Noise Shaping (NS)	شکل‌دهی نویز
Noise Transfer Function (NTF)	تابع تبدیل نویز
Non-ideality	غیرایده‌آلی‌ها
Non-overlapping	غیرهم‌پوشا
Nyquist rate	نرخ نایکوئیست
Nyquist Rate	نرخ نایکوییست
Off-Chip Capacitors	خازن‌های خارج تراشه
Offset voltage	ولتاژ آفست
One-cycle delay	تأخیر تک-سیکل
On-resistance	مقاومت حالت روشن
Operational Trans-conductance Amplifiers (OTA)	تقویت‌کننده‌های هدایت انتقالی عملیاتی
Overload	بیش‌بارشدگی
Oversampling	بیش‌نمونه‌برداری

OverSampling Ratio (OSR)	نسبت بیش‌نمونه‌برداری
Over-Sampling Ratio (OSR)	نسبت بیش‌نمونه‌برداری
Parallel to serial shift register	موازی به سریال
Passive	غیرفعال
Passive addition	جمع غیرفعال
Periodic	متناوب
Ping-pong	پینگ-پونگ
Pointer	اشاره‌گر
Pole	قطب
Pole-zero	قطب-صفر
Poly	پلی
Poly-silicon	پلی سیلیکون
Post layout simulation results	نتایج شبیه‌سازی پس از لی‌آوت
Power spectral density (PSD)	چگالی طیفی توان
Pre-amplifier	پیش تقویت کننده
Process variation	تغییرات فرآیند ساخت
Process, Voltage, and Temperature (PVT)	پروسس، ولتاژ تغذیه و دما
Quantization error	خطای کوانتیزاسیون
Quantization noise	نویز کوانتیزاسیون
Quantization step	گام کوانتیزاسیون
Quantizer	کوانتایزر
Quasi-differential	شبه-تفاضلی
Ramp signal	سیگنال شیب
Regenerative Latch	لچ بازسازی
Relaxes	راحت بودن
Reservoir capacitors	خازن‌های ذخیره‌ساز
Residue generation	تولید مانده

Residue voltage	ولتاژ مانده
Resolution	رزولوشن
Sampler	نمونه‌بردار
SAR Logic	منطق SAR
Scaling friendly	تغییر ابعاد راحت
Self-quenching	خود اطفا شونده
Sense-amplifier	تقویت‌کننده حسگر
Set-Reset D-FlipFlop (SR-D-FF)	ست-ریست دی- فلیپ‌فلاپ
Shifter	شیفت‌دهنده
Sigma- Delta (SD)	سیگما- دلتا
Signal to Noise and Distortion Ratio (SNDR)	نسبت سیگنال به نویز+ اعوجاج
Signal to Quantization Noise Ratio (SQNR)	نسبت سیگنال به نویز کوانتیزاسیون
Signal transfer function (STF)	تابع انتقال سیگنال
Signal-to-Noise Ratio (SNR)	نسبت سیگنال به نویز
Single ended integration	انتگرالگیری یک طرفه
Slope factor	ضریب شیب
Spurious-Free-Dynamic-Range (SFDR)	محدوده پویایی بدون سیخک
Stability	پایداری
Stacked	انباشته
Storage-capacitors	خازن ذخیره‌ساز
Stress	استرس
Strong-Arm	استرانگ‌آرم
Sub-threshold	زیر آستانه
Successive Approximation Register (SAR)	رجیستر تقریب متوالی
Swing	سوییینگ
Switch- Cap (SC)	کلید-خازنی
Switching	کلیدزنی

Temperature compensation	جبرانسازی دمایی
Test pins	پایه‌های تست
Thermal noise	نویز حرارتی
Thermal voltage	ولتاژ حرارتی
Thermometer code	کد حرارتی
Threshold voltage	ولتاژ آستانه
Time to digital converter (TDC)	مبدل زمان به دیجیتال
Tolerance	تلرانس
Total-Harmonic-Distortion (THD)	اعوجاج هارمونیکی کل
Trade-off	مصالحه
Trans-conductance	هدایت انتقالی
Transmission gate	گیت عبوری
Two-step Integration	انتگرالگیری دو مرحله‌ای
Unit capacitance	خازن واحد
Unit circle	دایره واحد
Unitary Delays	تأخیرهای واحد
Unity Gain- Buffer	بافر با بهره واحد
User- friendly	کاربرپسند
Variance	واریانس
Voltage-Controlled Oscillator (VCO)	از نوسان‌ساز کنترل شونده با ولتاژ
Weak inversion	وارونگی ضعیف
Weak-inversion slope factor	ضریب شیب وارونگی ضعیف
Zero	صفر
z-transform	تبدیل z

Abstract

In this Thesis, a third-order noise-shaping successive approximation register (NS-SAR) analog-to-digital converter (ADC) is proposed which is simple and fully dynamic. A passive integrator is utilized in the feed-forward (FF) path of a second-order NS-SAR ADC with 2nd-order error-feedback (EF) filter to reduce the effect of inband quantization and comparator noise. The integrator implements a passive gain of 4x to make up its loss arising from the charge sharing between the integrator and digital-to-analog converter capacitors at the integration phase. Another advantage of the proposed structure is employing a simple low noise and low power one-input pair comparator unlike many published NS-SAR ADCs which use a comparator with multi-input pairs leading to enhanced comparator input-referred noise and power consumption. In this work, the zeros of the noise transfer function are optimized to enhance inband noise suppression. The proposed ADC is designed at circuit level using 0.18 µm TSMC CMOS technology with Cadence Virtuoso tool. The oversampling ratio, sampling frequency, and bandwidth are 8, 2.5 MS/s, and 156.25 kHz, respectively. According to the detailed post-layout simulation results, the achieved signal-to-noise and distortion ratio of the simulated ADC is 83.1 dB with 70.3 µW power consumption from a 1.1 V supply for IOT sensor applications.

Furethermore, in this work, a simple, low power, and low noise method is proposed to stabilize Floating Inverter Dynamic Amplifier (FIDA) gain over Process Voltage Temperature (PVT) variations, which is used in the proposed NS SAR ADC structure. The proposed method controls the amplification time window of the FIDA to be proportional to its time constant. Based on the FIDA gain formula, this technique stabilizes the gain over PVT changes. The proposed PVT-robust FIDA is designed at the circuit level using 0.18 µm TSMC CMOS. According to the post-layout simulation results of a sample design, the gain of the amplifier is 29.4 with 51.3 µW power consumption from a 1.2 V supply voltage. The maximum gain variation over PVT changes is reduced from 49.6% to 9.8% using the proposed gain calibration technique.

At the end, the overall proposed structure is implemented also, using BCDlite-GEN2 CMOS 180nm technology to send for tape out. The Final chip floor plan, layout and test plan has been presented in the thesis.

Key Words: Noise-shaping successive approximation register analog-to-digital converters (NS SAR ADCs), noise transfer function (NTF) zeros optimization, Error-feedback (EF), Feed-forward structure, passive integrator, Switched-capacitor (SC) circuits, Floating inverter dynamic amplifier (FIDA), PVT robustness, time constant.

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

PhD Thesis

Noise-Shaping SAR ADC Performance Improvement

By
Mansoure Yousefirad

Supervisor
Dr. Mohammad Yavari

Summer 2023

منابع و مراجع

[1] M. Yousefirad, and M. Yavari, "Kick-back Noise Reduction and Offset Cancellation Technique for Dynamic Latch Comparator," *29th Iranian Conference on Electrical Engineering (ICEE)*, Tehran, Iran, pp. 149-153, May. 2021.

[2] M. Yousefirad, and M. Yavari, "A Third-Order Noise-Shaping SAR ADC With optimized NTF Zeros for IoT Applications," *30th International Conference on Electrical Engineering (ICEE)*, pp. 900-904, May. 2022.

[3] M. Yousefirad, and M. Yavari, "A fully dynamic third-order EF-CIFF noise-shaping SAR ADC with NTF zeros optimization and passive integration," *AEU-International Journal of Electronics and Communications*, vol. 157, pp. 154422, Dec. 2022.

[4] M. Yousefirad, and M. Yavari, "An improved PVT-Robust floating inverter dynamic amplifier for noise-shaping SAR ADCs," *AEU-International Journal of Electronics and Communications*, vol. 170, pp. 154805, June. 2023.

[5] JM. De la Rosa, R. Del Rio, *Cmos Sigma-Delta Converters: Practical Design Guide* , John Wiley & Sons, 2013.

[6] B. Razavi, *Principles of Data Conversion System Design*, IEEE Press, New York, 1995.

[7] M. Tamaddon, Analysis and Design of Continuous- Time Sigma-Delta Modulators with Time- Domain Quantization for Broadband Applications, Ph.D. Dissertation, Amirkabir University of Technology, 2016.

[8] F. Maloberti, Data converters, Springer Science & Business Media, 2007.

[9] S. Northworthy, R. Schreier, and G. C. Temes, *Delta-sigma data converters- Theory, design and simulation*, IEEE Press, New IEEE Press, New York, 1997.

[10] R. Schreier, and G. C. Temes, *Understanding delta-sigma data converters*, IEEE press Piscataway, NJ, vol. 74, 2005.

[11] R. Inanlou, Design and simulation of a Very Low-Power Successive Approximation Register (SAR) Analog to Digital Converter for Biomedical Applications, M.Sc. Dissertation, Amirkabir University of Technology, 2012.

[12] S. Jinxin, Ultra low power Analog-to-Digital Converter for Biomedical Devices, M.Sc. Dissertation, School of Information and Communication Technology, Stockholm, Sweden, 2011.

[13] A. Agnes, E. Bonizzoni, P. Malcovati, and F. Maloberti, "A 9.4-ENOB 1V 3.8μW 100kS/s SAR ADC with time-domain comparator," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 64, no. 2, pp. 183-190, Aug. 2010.

[14] M. V. Elzakker, E. V. Tuijl, P. Geraedts, D. Schinkel, E. A. Klumperink, and B. Nauta, "A 10-bit charge-redistribution ADC consuming 1.9μW at 1MS/s," *IEEE Journal of Solid State Circuits*, vol. 45, no.5, pp.1007-1015, May. 2010.

[15] SH. Akira, "A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with tri-Level Comparator in 40nm CMOS," *IEEE Symposium on VLSI Circuits*, pp. 262-263, Jun. 2011.

[16] C. C. Liu, S. J. Chang, G. Y. Huang, Y. Z. Lin, and C. M. Huang, "A 1V 11fJ/conversion-step 10bit 10MS/s asynchronous SAR ADC in 0.18 μm CMOS," *IEEE Symposium on VLSI Circuits*, pp. 241-242, June. 2010.

[17] M. Abo, and P. R Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter, " *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May. 1999.

[18] F. Kuttner, "A 1.2V 10b 20 MS/s non-binary successive approximation ADC in 0.13μm CMOS," *IEEE International Solid-State Circuits Conference, Digest of Technical Papers. ISSCC*., pp. 176-177, 2002.

[19] J. J. Kang, and M. P. Flynn, "A 12b 11MS/s successive approximation ADC with two comparators in 0.13μm CMOS, " *Symposium on VLSI Circuits*, pp. 240-241, June. 2009.

[20] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A low-noise self-calibrating dynamic comparator for high-speed ADCs, " *IEEE Asian Solid-State Circuits Conference*, pp. 269-272, Nov. 2008.

[21] J. A. Fredenburg, NOISE-SHAPING SAR ADCS, Phd. Dissertation, University of Michigan, Michigan, USA, 2015.

[22] J. A. Fredenburg, and M. P. Flynn, "A 90-MS/s 11-MHz-bandwidth 62-dB SNDR noise-shaping SAR ADC," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 12, pp. 2898–2904, Dec. 2012.

[23] R. Inanlou, M. Shahghasemi, and M. Yavari, "A noise-shaping SAR ADC for energy-limited applications in 90 nm CMOS technology," *Analog Integrated Circuit and Signal Processing* vol. 77, no. 2, pp. 257–69, Nov. 2013.

[24] M. Shahghasemi, R. Inanlou, and M. Yavari, "An error-feedback noise-shaping SAR ADC in 90 nm CMOS," *Analog Integrated Circuits and Signal Processing*, vol. 81, no .3, pp. 805-814, Dec. 2014.

[25] R. Inanlou and M. Yavari, "A simple structure for noise-shaping SAR ADC in 90 nm CMOS technology," *AEU-International Journal of Electronics and Communications*, vol. 69, no. 8, pp. 1085-1093, May. 2015.

[26] W. Guo and N. Sun, "A 12b-ENOB 61μW noise-shaping SAR ADC with a passive integrator," *42nd European Solid-State Circuits Conference*, pp. 405-408, Sept. 2016.

[27] Y. Z. Lin, C. H. Tsai, S. C. Tsou, R. X. Chu, and C. H. Lu, "A 2.4-mW 25-MHz BW 300-MS/s passive noise-shaping SAR ADC with noise quantizer technique in 14-nm CMOS, " in *Proc. Symp. VLSI Circuits*, pp. C234–C235, Jun. 2017.

[28] C. C. Liu and M. C. Huang, "A 0.46 mW 5MHz-BW 79.7 dB-SNDR noise-shaping SAR ADC with dynamic-amplifier-based FIR-IIR filter," *IEEE International Conference on Solid-State Circuits (ISSCC)*, pp. 466-467, Feb. 2017.

[29] M. Miyahara and A. Matsuzawa, "An 84 dB dynamic range 62.5–625 kHz bandwidth clock-scalable noise-shaping SAR ADC with open-loop integrator using a dynamic amplifier," *IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4, Apr. 2017.

[30] S. Li, B. Qiao, M. Gandara, D. Z. Pan, and N. Sun, "A 13-ENOB 2nd-order noise-shaping SAR ADC realizing optimized NTF zeros using an error-feedback structure," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 12, pp. 3484-3496, Oct. 2018.

[31] Y. Song, C. H. Chan, Y. Zhu, L. Geng, U. Seng-Pan, and R. P. Martins, "Passive Noise-shaping in SAR ADC With Improved Efficiency," *IEEE Transaction on VLSI Systems*, vol. 26, no. 2, pp. 416-420, Nov. 2018.

[32] Y. Z. Lin, C. Y. Lin, S. C. Tsou, S. C., C. H. Tsai, and C. H. Lu, "A 40MHz-BW 320MS/s Passive noiseshaping SAR ADC With Passive Signal-Residue Summation in 14nm FinFET," *IEEE International Conference on Solid-State Circuits (ISSCC)*, pp. 330-332, Feb. 2019.

[33] H. Zhuang, W. Guo, J. Liu, H. Tang, Z. Zhu, L. Chen, and N. Sun, "A second-order noise-shaping SAR ADC with passive integrator and tri-level voting," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 6, pp. 1636-1647, Mar. 2019.

[34] Z. Jiao, Y. Chen, X. Su, Q. Sun, X. Wang, R. Zhang, and H. Zhang, "A configurable noise-shaping band-pass SAR ADC with a two-stage clock-controlled amplifier," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 11, pp. 3728-3739, Aug. 2020.

[35] Q. Zhang, N. Ning, J. Li, Q. Yu, K. Wu, and Z. Zhang, "A second-order noise-shaping SAR ADC using two passive integrators separated by the comparator," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 29, no. 1, pp. 227-231, Nov. 2020.

[36] X. Tang, X. Yang, W. Zhao, C. K. Hsu, J. Liu, L. Shen, A. Mukherjee, W. Shi, S. Li, D. Z. Pan, and N. Sun, "A 13.5-ENOB, 107-µW noise-shaping SAR ADC with PVT-robust closed-loop dynamic amplifier," *IEEE Journal of Solid-State Circuits*, vol. 55, no. 12, pp. 3248–3259, Dec. 2020.

[37] Y. Zhang, S. Liu, B. Tian, Y. Zhu, C. H. Chan, and Z. Zhu, "A 2nd-order noise-shaping SAR ADC with lossless dynamic amplifier assisted integrator," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 67, no. 10, pp. 1819-1823, Oct. 2020.

[38] Q. Zhang, J. Li, N. Ning, Q. Yu, K. Wu, and Z. Zhang, "A second-order noise-shaping SAR ADC with error-feedback structure and data weighted averaging," *Microelectronics Journal*, vol. 105, no. 1, pp. 104905, Nov. 2020.

[39] Q. Zhang, J. Li, Z. Zhang, K. Wu, N. Ning, and Q. Yu, "A 13b-ENOB Third-Order noise-shaping SAR ADC using a Hybrid Error-Control Structure," *IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1-2, Apr. 2021.

[40] J. Liu, X. Wang, Z. Gao, M. Zhan, X. Tang, C. K. Hsu, and N. Sun, "A 90-dB-SNDR Calibration-Free Fully Passive noise-shaping SAR ADC With 4x Passive Gain and Second-Order DAC Mismatch Error Shaping," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 11, pp. 3412-23, Jun. 2021.

[41] T. H. Wang, R. Wu, V. Gupta, X. Tang, and S. Li, "A 13.8-ENOB Fully Dynamic Third-Order noiseshaping SAR ADC in a Single-Amplifier EF-CIFF Structure With Hardware-Reusing kT/C Noise Cancellation," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 12, pp. 3668-3680, Sept. 2021.

[42] Y. Liu, Y. Zhao, Y. Zhao, and M. Ye, "A 12.1bit-ENOB noise shaping SAR ADC for biosensor applications, " Microelectronics Journal, vol. 118, pp. 105292, Dec. 2021.

[43] S. Tannirkulam Chandrasekaran, S. P. Bhanushali, S. Pietri, and A. Sanyal, "OTA-Free 1-1 MASH ADC Using Fully Passive Noise-Shaping SAR & VCO ADC, " *IEEE Journal of Solid-State Circuits*, vol. 57, no. 4, Apr. 2022.

[44] Y. Zhang and Z. Zhu, "Recent Advances and Trends in Voltage-Time Domain Hybrid ADCs," *IEEE Transaction on Circuits and Systems II: Express Briefs*, vol. 69, no. 6, pp. 2575-2580, Jun. 2022.

[45] T. Kim and Y. Chae, "A 2.1 mW 2 MHz-BW 73.8 dB-SNDR Buffer-Embedded Noise-Shaping SAR ADC, " *IEEE Transaction on Circuits and Systems I: Regular Papers*, vol. 68, no. 12, pp. 5029-37, Sept. 2021.

[46] P. Yi, Y. Liang, S. Liu, N. Xu, L. Fang, and Y. Hao, "A 625kHz-BW, 79.3dB-SNDR Second-Order NoiseShaping SAR ADC Using High-Efficiency Error-Feedback Structure," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 3, pp. 859-863, Mar. 2022.

[47] Y. Zhang, S. Liu, Y. Liang, and Z. Zhu, "A 2nd-Order Noise Shaping SAR ADC Realizing NTF Zero-Pole Optimization Based on IIR-FIR Filter, " *Chinese Journal of Electronics*, vol. 31, no. 1, pp: 33-39, Jan. 2022.

[48] K. M. Megawer, F. A. Hussien,M. M. Aboudina, and A. N. Mohieldin, "A systematic design methodology for class-AB-style ring amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 9, pp. 1169-1173, Mar. 2018.

[49] W. Jiang, Y. Zhu, M. Zhang, C. H. Chan, and R. P. Martins, "A temperature-stabilized single-channel 1-GS/s 60-dB SNDR SAR-assisted pipelined ADC with dynamic Gm-R-based amplifier," *IEEE Journal of SolidState Circuits*, vol. 55, no. 2, pp. 322-332, Nov. 2019.

[50] Y. Kwon, T. Kim, N. Sun, and Y. Chae, "A 348-μW 68.8-dB SNDR 20-MS/s pipelined SAR ADC with a closed-loop two-stage dynamic amplifier," *IEEE Solid-State Circuits Letters*, vol. 4, pp. 166-169, Sep. 2021.

[51] A. Matsuoka, T. Nezuka, and T. Iizuka, "Fully Dynamic Discrete-Time ΔΣ ADC Using Closed-Loop Two-Stage Cascoded Floating Inverter Amplifiers, " *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 3, pp. 944-948, Mar. 2022.

[52] J. Lin, M. Miyahara, and A. Matsuzawa, "A 15.5 dB, wide signal swing, dynamic amplifier using a common-mode voltage detection technique*," in Proc. IEEE International Symosium on Circuits Systems (ISCAS)*, Rio de Janeiro, Brazil, pp. 21–24, May. 2011.

[53] F. van der Goes, C. M. Ward, S. Astgimath, H. Yan, J. Riley, Z. Zeng, and K. Bult, "A 1.5 mW 68 dB SNDR 80 Ms/s 2 x Interleaved Pipelined SAR ADC in 28 nm CMOS*," IEEE Journal of Solid-State Circuits*, vol. 49, no. 12, pp. 2835-2845, Oct. 2014.

[54] S. H. W. Chiang, H. Sun, and B. Razavi, "A 10-Bit 800-MHz 19-mW CMOS ADC," *IEEE Journal of Solid-StateCircuits*, vol. 49, no. 4, pp. 935-949, Apr. 2014.

[55] N. Whitehead, Y. Song, and S. H. W. Chiang, "Direct measurement of high-gain and complementary charge-steering amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 6, pp. 714-718, Dec. 2017.

[56] H. Huang, H. Xu, B. Elies, and Y. Chiu, "A non-interleaved 12-b 330-MS/s pipelined-SAR ADC with PVT-stabilized dynamic amplifier achieving sub-1-dB SNDR variation," *IEEE Journal Solid-State Circuits*, vol. 52, no. 12, pp. 3235-3247, Aug. 2017.

[57] J. Zhang, X. Ren, S. Liu, C. H. Chan, and Z. Zhu, "An 11-bit 100-MS/s pipelined-SAR ADC reusing PVT-stabilized dynamic comparator in 65-nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 67, no. 7, pp. 1174-1178, Aug. 2019.

[58] J. S. Park, T. J. An, G. C. Ahn, and S. H. Lee, "A 12.1 fJ/conv.-step 12b 140 MS/s 28-nm CMOS pipelined SAR ADC based on energy-efficient switching and shared ring amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 7, pp. 1119-1123, Jul. 2019.

[59] M. Zhang, K. Noh, X. Fan, and E. Sánchez-Sinencio, "A temperature compensation technique for a dynamic amplifier in pipelined-SAR ADCs," *IEEE Solid-State Circuits Letters*, vol. 1, no. 1, pp. 10-13, Jan. 2018.

[60] Z. Zheng, L. Wei, J. Lagos, E. Martens, Y. Zhu, C. H. Chan, and R. P. Martins, "A 3.3-GS/s 6-b fully dynamic pipelined ADC with linearized dynamic amplifier," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 6, 1673-1683, Jun. 2022.

[61] X. Xiong, H. Zhuang, Q. Cao, and H. Tang, "A Large-Swing High-Linearity Fully-Dynamic Amplifier with Automatic Calibration," *IEEE Transaction on Circuits and Systems II: Express Briefs* vol. 70, no. 2, pp. 366-370, Feb. 2023.

[62] X. Tang, B. Kasap, L. Shen, X. Yang, W. Shi, and N. Sun, "An Energy-Efficient Comparator with Dynamic Floating Inverter Pre-Amplifier," *International Symposium on VLSI Circuits*, pp. C140-C141, Jun. 2019.

[63] X. Tang, L. Shen, B. Kasap, X. Yang, W. Shi, A. Mukherjee, D. Z. Pan, and N. Sun, "An energyefficient comparator with dynamic floating inverter amplifier," *IEEE Journal of Solid-State Circuits*, vol. 55, no. 4, pp. 1011-1022, Jan. 2020.

[64] R. A. Kumar, N. Krishnapura, and P. Banerjee, "Analysis and Design of a Discrete-Time Delta-Sigma Modulator Using a Cascoded Floating-Inverter-Based Dynamic Amplifier," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 11, pp. 3384-3395, May. 2022.

[65] X. Tang, X. Yang, J. Liu, W. Shi, D. Z. Pan, and N. Sun, "A 0.4-to-40MS/s 75.7 dB-SNDR fully dynamic event-driven pipelined ADC with 3-stage cascoded floating inverter amplifier," *IEEE International SolidState Circuits Conference (ISSCC)*, vol. 64, pp. 376-378, Feb. 2021.

[66] M. Vafaei, A. Parhizgar, E. Abiri, and M. R. Salehi, "A low power and ultra-high input impedance analog front end based on fully differential difference inverter-based amplifier for biomedical applications," *AEU-International Journal of Electronics and Communications*, vol. *142*, pp. 154005, Dec. 2021.

[67] G. M. Salgado, D. O'Hare, and I. O'Connell, "Recent advances and trends in the noise shaping SAR ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no .2, pp. 545-549, Dec. 2020.

[68] S. Pavan, R. Schreier, and G. C. Temes, *Understanding Delta Sigma Data Converters*, 2nd ed., Piscataway, NJ, USA: IEEE Press, 2017.

[69] E. Rahimi and M. Yavari, "Energy-efficient high-accuracy switching method for SAR ADCs," *Electronics Letters*, vol. 50, no.7, pp. 499-501, Apr. 2014.

[70] M. Zhang, R. Liu, Y. Zhang, W. Wang, H. Liu, and C. Lu, "A Fully Integrated RSSI and an Ultra-Low Power SAR ADC for 5.8 GHz DSRC ETC Transceiver, " *AEU-International Journal of Electronics and Communications*, vol. 86, pp. 154-163, Mar. 2018.

[71] T. Yousefi, A. Dabbaghian, and M. Yavari, "An Energy-Efficient DAC Switching Method for SAR ADCs," *IEEE Trans. on Circuits and Systems-II: Express Briefs*, vol. 65, no. 1, pp. 41-45, Jan. 2018.

[72] M. Momeni, and M. Yavari, "Shifting the sampled input signal in successive approximation register analog-to digital converters to reduce the digital-to-analog converter switching energy and area," *International Journal of Circuit Theory and Applications*, vol. 48, no. 11, pp. 1873-1886, Nov. 2020.

[73] T. O. Anderson, "Optimum control logic for successive approximation analog-to-digital converters," *Computer Design*, vol. 11, no. 7, pp. 81-86, 1972.

[74] S. T. Oskuii, Comparative Study on Low-Power High-Performance Flip-Flops, Master thesis, Linkoping University, 2003.

[75] H. Zhuang, J. Liu, H. Tang, X. Peng, and N. Sun, "A fully dynamic low-power wideband time-interleaved noise-shaping SAR ADC, " *IEEE Journal of Solid-State Circuits*, vol. 56, no. 9, pp. 2680-90, Apr. 2021.

[76] M. Dessouky, and A. Kaiser, "Input switch configuration suitable for rail-to-rail operation of switched op amp circuits," *Electronic Letter*, vol. 35, pp. 8–10, Jan. 1999.

[77] M. J. M. Pelgrom, *Analog-to-Digital Conversion*, pp. 295,427, Springer, New York, NY, Second edition, 2013.

[78] L. Shen, Y. Shen, Z. Li, W. Shi, X. Tang, S. Li, W. Zhao, M. Zhang, Z. Zhu, and N. Sun, "A two-step ADC with a continuous-time SAR-based first stage," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 12, pp. 3375–3385, Dec. 2019.

[79] A. Ahrar and M. Yavari, "A 14-bit SAR ADC with Calibration for Comparator Offset and Capacitive DAC Mismatch," *2nd Iranian Conference on Microelectronics*, pp. 1-5, Dec. 2020.

[80] A. Ahrar and M. Yavari, "A Digital Method for Offset Cancellation of Fully Dynamic Latched Comparators," 29*th Iranian Conference on Electrical Engineering* (*ICEE*), Tehran, Iran, pp. 143-148, May. 2021.

[81] Y. T. Wang and B. Razavi, "An 8-bit 150-MHz CMOS A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 308–317, Mar. 2000.

[82] B. Razavi, "The StrongARM latch [a circuit for all seasons], " *IEEE Solid-State Circuits Magazine*, vol. 7, no .2, pp. 12-17, Jun. 2015.

[83] R. T. Baird and T. S. Fiez, "Linearity enhancement of multibit delta-sigma A/D and D/A converters using data weighted averaging," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no. 12, pp. 753-762, Dec. 1995.

[84] C. Shen, "Error shaping technique of capacitor mismatch and inter-stage gain in noise shaping pipelined SAR ADCs," Electronics Letters, vol. 56, no. 3, pp. 125-127, Feb. 2020.

[85] Y. Song, Y. Zhu, C. H. Chan, and R. P. Martins, "A 40-MHz Bandwidth 75-dB SNDR Partial-Interleaving SAR-Assisted NoiseShaping Pipeline ADC," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 6, pp. 1772–1783, June. 2021.

[86] H. Fan, Y. Liu, and Q. Feng, "A reliable bubble sorting calibration method for SAR ADC," *AEU International Journal of Electronics and Communications*, vol. 122, pp. 153227, Jul. 2020.

[87] H. Mafi, M. Yargholi, and M. Yavari, and S. Mirabbasi, "Digital Calibration of Elements Mismatch in Multirate Predictive SAR ADCs," *IEEE Transaction on Circuits and Systems-I: Regular Papers*, vol. 66, no. 12, pp. 4571-4581, Dec. 2019.

[88] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization," *Proc. IEEE*, vol. 84, no. 11, pp. 1584–1614, Nov. 1996.

[89] T. Sepke, P. Holloway, C. G. Sodini, and H.-S. Lee, "Noise analysis for comparator-based circuits," *IEEE Transactions on Circuits and Systems I: Regular. Papers*, vol. 56, no. 3, pp. 541–553, Mar. 2009.

[90] S. Byun, C. H. Son, and J. J. Kim, "Simple odd number frequency divider with 50% duty cycle," *IEICE Electronics Express*, vol. 9, no. 15, pp. 1249-1253, Aug. 2012.

[91] B. Razavi, *Design of analog CMOS integrated circuits*, 2nd ed, the McGraw-Hill Companies, United States, 2017.