Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfilment of the requirements for the degree of
Master of Science in
Electrical Engineering

Compensation and correction of DAC errors in ΣΔ modulators with low OSR in nono-meter CMOS technologies

By:
Hossein Pakniat

Under Supervision of:
Dr. Mohammad Yavari

January 2010

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد
(گرایش الکترونیک)

جبران‌سازی و تصحیح خطاهای DAC در مدولاتورهای سیگما-دلتا با نسبت بیش نمونه‌برداری پایین در تکنولوژی‌های نانومتر CMOS

نگارش
حسین پاک نیت
(۸۶۱۲۳۰۰۴)

استاد راهنما
دکتر محمد یاوری

بهمن‌ماه ۸۸

تقدیم به

مادرم

تشکر و قدردانی

بر خود لازم می‌بینم که از زحمات استاد ارجمندم جناب آقای دکتر محمد یاوری و دوستان عزیزم، مهندس حسین مقامی و مهندس توحید موسی‌زاده و همچنین از خانم مهندس مویدی و خانم مهندس حسین‌زاده که در طول انجام پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، کمال تشکر و قدردانی را داشته باشم و از خداوند متعال، حسن عاقبتشان را خواستارم. ضمن آنکه از آقای دکتر نبوی و آقای دکتر کاتوزیان که اساتید دفاع این پروژه بودند، تشکر می‌نمایم.

همچنین از کمیته نانو به دلیل حمایت مالی در انجام پروژه سپاسگزارم و امیدوارم این کمیته در گسترش دانش نانو در کشور موفق باشد.

.

چکیده

در این پایان‌نامه به بررسی خطای غیرخطی مبدل دیجیتال به آنالوگ (DAC) به کار رفته در مبدل‌های آنالوگ به دیجیتال سیگما- دلتا پرداخته شده است. در ابتدا، اجمالا مبدل‌های آنالوگ به دیجیتال سیگما - دلتا معرفی شده است. مشکل عمده این نوع مبدل خطای ایجاد شده توسط DAC در مسیر فیدبک آن است. راه‌حل‌های موجود برای غلبه بر این مشکل شامل شکل‌دهی خطا، کالیبراسیون آنالوگ مدار، کوانتیزاسیون مجدد، تخمین و تصحیح خطا است. خطای ناشی از DAC یک مشکل عمده در نمونه برداری دقیق و در نسبت بیش‌نمونه‌برداری (OSR) کم است. کارآمدترین روش در دقت بالا و OSR کم، اندازه‌گیری یا تخمین خطا و تصحیح آن در بخش دیجیتال است. روش‌های موجود برای اندازه‌گیری یا تخمین خطا، به سخت‌افزار زیادی احتیاج دارند و یا طراحی مدولاتور را تغییر می‌دهند. دو راه‌حل جدید برای اندازه‌گیری خطای DAC ارائه شده که این دو عیب را ندارد.

روش اول یک روش پیش زمینه است. مدارهای به کار رفته در این روش توضیح داده شده است. نتایج شبیه‌سازی سیستمی نشان می‌دهد که این روش تمام دیجیتال در اندازه‌گیری و تصحیح خطا کارآمد است. این کارآیی در OSR کم و عدم تطبیق بالای المان‌های DAC واضح‌تر است. به عنوان یک پیشنهاد، می‌توان راه‌حلی برای پس زمینه کردن این روش پیدا کرد، به طوری که طراحی مدولاتور تغییر نکند.

روش دوم اندازه‌گیری خطا یک روش پس‌زمینه است. مدارات این روش اندازه‌گیری به همراه مدار مدولاتور با جزئیات پیاده‌سازی سطح IC در تکنولوژی 90nm CMOS توضیح داده شده است. این روش علاوه بر آنکه پس‌زمینه است، بر مبنای نتایج شبیه‌سازی از دقت بالا و زمان شبیه‌سازی کمی نیز برخوردار است. در این روش، دقت و زمان اندازه‌گیری با محاسبات ساده تئوری، با تقریب خوبی تخمین زده شده است. بخش زیادی از مدار این روش در حوزه دیجیتال است. بیشتر بخش آنالوگ را سوئیچ‌ها تشکیل داده‌اند. این روش تنها برای استفاده در DAC با المان‌های واحد خازنی طراحی شده است. به عنوان یک پیشنهاد، می‌توان این روش را برای استفاده در DAC با المان‌های واحد منبع جریان و همچنین برای DAC با المان‌های وزن‌دار تعمیم داد.

برای تست دو روش ارائه شده یک مدولاتور سیگما-دلتا مرتبه پنج با دقت حدود ۱۵ بیت برای OSR = 8 هم در سطح سیستمی و هم در سطح مداری طراحی و شبیه‌سازی شده است. مراحل طراحی مداری مدولاتور به همراه نتایج شبیه‌سازی سیستمی و مداری آن قبل و بعد از تصحیح خطا ارائه شده است.

کلمات کلیدی: مبدل آنالوگ به دیجیتال سیگما - دلتا، خطای DAC، تصحیح خطا، اندازه‌گیری خطا، نسبت بیش‌نمونه‌برداری.

فهرست مطالب

چکیده ..... أ
فهرست مطالب ..... ج
فهرست شکلها ..... و
فهرست جداول ..... ط
فصل اول (مقدمه) ۱
۱-۱ انگیزه ۱
۱-۳ ساختار پایان‌نامه ۲
فصل دوم (مبدل‌های سیگما-دلتا) ۵
۲-۱ مبدلهای آنالوگ به دیجیتال ٦
۲-۱-۱ نمونه‌برداری ۷
۲-۱-۲ کوانتیزاسیون ۷
۲-۱-۳ پارامترهای مقایسه مبدل‌ها ۹
۲-۲ مقایسه مبدل‌های نرخ نایکوئیست و مبدلهای بیش نمونه‌بردار ۱۰
۲-۳ مبدل‌های آنالوگ به دیجیتال سیگما- دلتا ۱۳
۲-۳-۱ بررسی عملکرد مبدل سیگما- دلتا ١٤
۲-۳-۲ معماریهای مشهور مبدل سیگما-دلتا ۱۷
۲-۳-۳ مقایسه مبدل تک بیتی و چند بیتی ۲۱
فصل سوم (خطای DAC چند بیتی و تصحیح آن) ۲۳
۳-۱ مدلسازی DAC چند بیتی و بررسی تاثیر خطای آن در خروجی ۲۳
۳-۱-۱ مدل‌سازی خطاهای DAC ٢٤
۳-۱-۲ تاثیر خطاهای DAC در خروجی مدولاتور سیگما - دلتا ٢٦
۳-۲ روش‌های غلبه بر خطای DAC ۲۸
۳-۲-۱ هماهنگ‌سازی دینامیک المانها (DEM) ۲۹
۳-۲-۱-۱ روش DWA و روش‌های شبه DWA ۳۰
۳-۲-۱-۲ روش شکل‌دهی عدم تطبیق برداری ۳۳
۳-۲-۱-۳ روش شکل‌دهی عدم تطبیق با ساختار درختی ۳۵
۳-۲-۱-۴ شکل‌دهی نویز با کمک پیاده‌سازی متوالی انتگرال‌گیر و مشتق‌گیر ۳۵
۳-۲-۲ کالیبراسیون خودکار ۳٦
۳-۲-۳ کوانتیزاسیون دوگانه ۳۸

۳-۲-۴ اندازه‌گیری یا تخمین خطا و تصحیح دیجیتالی آن ٤٠
۳-۳ تصحیح دیجیتالی خطای DAC ٤٦
۳-۳-۱ تحلیل خطی خطا و حذف تاثیر آن در خروجی..... ٤٦
۳-۳-۲ جبرانسازی خطای DAC با یک بلوک غیرخطی در خروجی ٤٩
۳-۳-۳ مقایسه دو روش تصحیح خطا..... ٥٠
۳-۴ نتیجه گیری ٥٠
فصل چهارم (اندازه‌گیری خطا) ٥٢
۴-۱ اندازه‌گیری خطا با تحریک المان‌ها (روش اول) ٥٢
۴-۱-۱ تئوری اندازه‌گیری خطا (روش تحریک المان‌ها)..... ٥٣
۴-۱-۲ مدار اندازه‌گیری خطا (روش تحریک المان‌ها) ٥٥
۴-۱-۲-۱ بلوک تقسیم فرکانس کلاک ٥٥
۴-۱-۲-۲ بلوک ایجاد فازهای اندازه‌گیری..... ٥٦
۴-۱-۲-۳ بلوک محاسبه ریاضی و منطقی (ALU) ٥٧
۴-۱-۲-۴ بلوک پیاده‌سازی الگوریتم DWA..... ٥٨
۴-۲ اندازه‌گیری خطا با شارژ خازن‌ها (روش دوم)..... ٥٩
۴-۲-۱ تئوری اندازه‌گیری خطا (روش شارژ خازن‌ها) ٥٩
۴-۲-۲ مدار اندازه‌گیری خطا (روش شارژ خازن‌ها)..... ٦٣
۴-۲-۲-۱ بلوک تولید فازهای مدار..... ٦٣
۴-۲-۲-۲ گیت AND سه ورودی و بلوک کانتر ٦٤
۴-۲-۲-۳ واحد محاسبات دیجیتال..... ٦٥
۴-۲-۲-۴ بانک خازنی DAC و سوئیچ‌های آن ٦٥
۴-۲-۲-۵ منبع جریان ٧٠
۴-۲-۲-۶ مقایسه‌گر ٧١
۴-۲-۳ تاثیر المان‌های غیر ایده‌آل در مدار اندازه‌گیری خطا (روش شارژ خازن‌ها) ٧٢
۴-۲-۳-۱ خطاهای خطی ناشی از المان‌های غیر ایدآل ٧٢
۴-۲-۳-۱ خطاهای غیر خطی ناشی از المان‌های غیر ایدآل ٧٣
فصل پنجم (طراحی مداری مدولاتور) ٧٤
۵-۱ طراحی سیستمی مدولاتور ٧٤
۵-۲ طراحی مداری مدولاتور ٧٦
۵-۲-۱ طراحی سوئیچ..... ٧٧
۵-۲-۲ تاثیر نویز مدار ٨٠

۵-۲-۳ طراحی انتگرال‌گیر اول و DAC ۸۱
۵-۲-۴ طراحی سایر انتگرال‌گیرها ۸۵
۵-۲-۵ طراحی جمع‌کننده ۸۵
۵-۲-۶ طراحی کوانتایزر ۸۷
فصل ششم (نتایج شبیه‌سازی) ۸۹
۶-۱ نتایج شبیه‌سازی روش تحریک المان‌ها ۹۰
۶-۱-۱ نتایج اندازه‌گیری خطا ۹۰
۶-۱-۲ نتایج تصحیح خطا ۹۱
۶-۲ مدار شبیه‌سازی روش شارژ خازن‌ها ۹۳
۶-۳ نتایج شبیه‌سازی روش شارژ خازن‌ها ۹۶
۶-۳-۱ نتایج اندازه‌گیری خطا ۹۷
۶-۳-۲ نتایج تصحیح خطا ۹۸
۶-۳-۲-۱ نتایج سیستمی تصحیح خطا ۹۸
۶-۳-۲-۲ نتایج مداری تصحیح خطا ۱۰۱
۶-۴ جمع بندی ۱۰۴
۶-۴ پیشنهادات ۱۰۵
مراجع ۱۰۷

مراجع

[1] S. Northworthy, R. Schreier, and G. Temes, *Delta-Sigma Data Converters*, IEEE Press, Piscataway, NJ, 1997

[2] X. Wang, *A fully Digital Technique for the Estimation and Correction of DAC Error in Multi-bit Delta Sigma ADC*, Ph.D. thesis, Oregon State University, 2004.

[3] F. Maloberti, *Data Converters*, Springer 2007.

[4] Paul Bradley, "A 6-bit Josephson flash A/D converter with GHz input bandwidth," *IEEE Trans. Applied superconductivity*, pp. 2550 -2557, vol. 3, no. 1, Mar. 1997.

[5] B.D. Sahoo and B. Razavi, "A 12-Bit 200-MHz CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2366-2380, Sep. 2009.

[6] M. Aboudina and B. Razavi, "A ΣΔ CMOS ADC with 80-dB Dynamic Range and 31-MHz Signal Bandwidth," *Symp. MWSCAS*, pp. 397 - 401, 2009.

[7] D. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997.

[8] B. Razavi, *Principles of data conversion system design*, IEEE Press, 1995.

[9] H. Wang, X. Wang, P. J. Hurst, and S. H. Lewis, "Nested Digital Background Calibration of a 12-bit Pipelined ADC Without an Input SHA," *IEEE J. Solid-State Circuits*, vol. 44, no. 10, pp. 2780-2789. Oct. 2009.

[10] A. D. Ibukic and M. Hummels, "Continuous Digital Calibration of Pipeline A/D Converters," *IEEE Trans. Instrumentation and Measurements*, pp. 1175-1185, vol. 55, no.4, Aug. 2006.

[11] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Mc Graw Hill, 2001.

[12] R. Schreier and G.C. Temes, *Understanding Delta-Sigma Data Converters*, IEEE Press, 2005.

[13] M. Ortmanns and F. Gerfers, *Continuous-Time Sigma-Delta A/D Conversion*, Springer, 2005.

[14] R. J. Van De Plassche, "Dynamic element matching for high-accuracy monolithic D/A converters," *IEEE J. Solid-State Circuits*, vol. SSC-11, no. 6, pp. 795–800, Dec. 1976.

[15] I. Galton and P. Carbone, "A Rigorous error analysis of D/A conversion with Dynamic Element Matching," *IEEE Trans. Circuits Syst., II*, pp. 763 - 772, vol. 42, no. 12, December 1995.

[16] Z. Li and T .S. Fiez, "Dynamic Element Matching in Low Oversampling Delta Sigma ADCs", *Proc. ISCAS*, pp. IV-683- IV-686, vol. 4, 2002.

[17] A. K. Gupta, E. S. Sinencio, S. Karthikeyan, W. M. Koe, and Y. Park "Second order Dynamic element matching technique for low Oversampling Delta Sigma ADC," *Proc. ISCAS*, pp. 2973-2976, 2006.

[18] Rex T. Barid and Terri S. Fiez, "Linearity enhancement of multibit ΣΔ A/D and D/A converters using data weighted averaging," *IEEE Trans. Circuits Syst. II,* pp. 753 -762, vol. 42, no. 12, 1995.

[19] A. Hamoui and K. W. Martin, "High-order multibit modulators and pseudo data-weighted-averaging in low-oversampling ΣΔ ADCs for broad-band applications," *IEEE Trans. Circuits Syst., I*, pp. 72-85, vol. 51, Jan. 2004.

[20] B. H. Leung and S. Sutarja, "Multibit sigma–delta A/D converter incorporating a novel class of dynamic element matching techniques," *IEEE Trans. Circuits Syst. II*, vol. 39, pp. 35–51, Jan. 1992.

[21] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S.Kosic, J. Cao, and S. L. Chan, "A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at 8X oversampling ratio," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1820–1828, Dec. 2000.

[22] Y.-I. Park et al., "A 16-bit, 5-MHz multi-bit sigma-delta ADC using adaptively randomized DWA," in *Proc. IEEE Custom Integrated Circ.Conf.*, Sept. 2003, pp. 7-2-1–7-2-4.

[23] A. Bicakci and G. Singh, "A ΔΣ DAC with Reduced Activity Data Weighted Averaging and Anti-jitter Digital Filter," in *Proc. IEEE Custom Integrated Circ. Conf*. 2005, pp. 10-2-1 – 10-2-4.

[24] R. E. Radke, A. Eshraghi, and T. S. Fiez, "A 14-bit current source-mode ΣΔ DAC based upon rotated data weighted averaging," *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1074-1084, Aug. 2000.

[25] R. Wang and G.C. Temes, "Split-set data weighted averaging," *Electronics letters*, pp. 248-249, vol. 42, no. 4, Feb. 2006.

[26] M. Vadipour, "Techniques for preventing tonal behavior of data weighted averaging algorithm in ΣΔ modulators," *IEEE Trans.Circuits Syst. II*, vol. 47, no. 11, pp. 1137–1144, Nov. 2000.

[27] T.-H. Kuo, K.-D. Chen, and H.-R. Yeng, "A wideband CMOS sigmadelta modulator with incremental data weighted averaging," *IEEE J. Solid-State Circuits*, vol. 37, pp. 11–17, Jan. 2002.

[28] K. Vleugels, S. Rabii, and B. A. Wooley, "A 2.5-V sigma-delta modulator for broadband communication applications," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1887–1899, Dec. 2001.

[29] D. Lee and T. Kuo, "Advancing Data Weighted Averaging Technique for Multi-Bit Sigma–Delta Modulators," *IEEE Trans. Circuits Syst. II*, pp. 838 - 842, vol. 54, no. 10, 2007.

[30] R. Schreier and B. Zhang, "Noise-shaped multbit D/A convertor employing unit elements," *Electronic Letters*, pp. 1712-1713, vol. 31 no. 20, 1995.

[31] I. Galton, "Spectral Shaping of Circuit Errors in Digital-to-Analog Converters," *IEEE Trans. Circuits Syst. II*, pp. 808-817, vol. 44, no. 10, 1997.

[32] J. Chen and Y. P. Xu, "A novel noise-shaping DAC for multi-bit sigma-delta modulator," *IEEE Trans. Circuits Syst. II*, pp. 344 -348, vol. 53, no. 5, May 2006.

[33] J. Chen and Y. P. Xu, "Multi-bit delta-sigma modulator with noise-shaping dynamic element matching," *IEEE Trans. Circuits Syst. II*, pp. 1125 -1133, vol. 56, no. 6, June 2009.

[34] Un- Ku. Moon, J. Silva, J. Steensgaard, and G. C. Temes, "Switched-capacitor DAC with analog mismatch correction," *Electronic Letters*, pp. 1903-1904, vol. 35, no. 22, 1999.

[35] Z. Cao and S. Yan, "Robust analogue background calibration technique for multi-bit switched capacitor DACs," *Electronic Letters*, pp. 618 - 620, vol. 42, no. 11, 2006.

[36] Groeneveld, D.W.J.Schouwenaars, H.J.Termeer, and H.A.H.Bastiaansen, "A self-calibration technique for monolithic high-resolution D/A converters," *IEEE J. Solid-State Circuits*, pp. 1517-1522, vol. 24, no. 6, 1989.

[37] P. Kiss, U. Moon, J. Steensgaard, J. T. Stonick, and G. C. Temes, "High speed delta sigma ADC with error correction," *Electronics Letters*, pp. 76-77, vol. 37, no. 2, 2001.

[38] F. Colodro, A. Torralba, and J. Luis Mora, "digital noise-shaping of residues in dual-quantization sigma–delta modulators," *IEEE Trans. circuits syst. I*, pp. 225-232, vol. 51, no. 2, Feb. 2004.

[39] J. Yu and F. Maloberti, "A low-power multi-bit ΣΔ modulator in 90-nm digital CMOS without DEM," *IEEE J. Solid-State Circuits*, pp. 2428-2436, vol. 40, no. 12, Dec. 2005.

[40] X.Wang, P.Kis, U. Moon, J. Steensgaard and G.C. Temes, "Digital estimation and correction of DAC errors in multibit delta sigma ADCs," *Electronics Letters*, pp. 414-415, vol. 37, no. 7, 2001.

[41] C. Petrie and M. Miller, "A background calibration technique for multibit delta-sigma modulators," *Proc. ISCAS*, pp. 29-32, vol. 2, May 2000.

[42] X. Wang, Y. Guo, Un-Ku Moon and Gabor C. Temes, "Experimental Verification of a Correlation-Based Correction Algorithm for Multi-Bit Delta-Sigma ADCs," *Proc. CICC*, pp.523-526, 2004.

[43] G. Gagnon and L. MacEachern, "Continuous Compensation of Binary-Weighted DAC Nonlinearities in Bandpass Delta-Sigma Modulators," *Proc. ISCAS*, pp. 253-256, 2007.

[44] G. Gagnon and L. MacEachern, "Digital compensation of DAC mismatches in multibit delta-sigma ADCs," *Electronics Letters*, pp. 721-722, vol. 44, no. 12, June. 2008.

[45] A. V. Openheim, Ronald W. Schafer, and John R. Buck, *Discrete time signal processing, Prentice-Hall International*, Prentice-Hall International, 1999.

[46] H. Shamsi and Omid Shosei, "A newapproach for DAC non-linearity compensation in continuous time delta sigma modulators," *Proc, APCCAS*, pp.191-194, 2006.

[47] M. Morris Mano, *Digital design*, Prentice-Hall International, 1984.

[48] M. Dessouky, M.-M. Louerat, and A. Kaiser, "Switch Sizing for Very Low-Voltage Switched-Capacitor Circuits," *IEEE Trans. Circuits Syst.*, pp. 349 -355, vol. 36, no. 3, 2001.

[49] P. Amaral, J. Goes, N. Paulino, and A. Steiger-Garcao, "An improved low-voltage low-power CMOS comparator to be used in high-speed pipeline ADCs," *Proc. ISCAS*, pp. v-141 - v-144, vol.5, 2002.

[50] Z. Li and T. S. Fiez, "A 14 Bit Continuous-Time Delta-Sigma A/D Modulator With 2.5 MHz Signal Bandwidth," *IEEE Trans. Circuits Syst.* pp. 1873-1883, vol. 42, no. 9, Sep. 2007.

Abstract

In this thesis, the nonlinearity error induced by the multi-bit digital-to-analog converter (DAC) used in sigma-delta modulators, is studied. Firstly, the sigma-delta modulators are introduced briefly. The main problem of this kind of A/D converters is the nonlinearity error induced by multi-bit DAC embedded in the feedback path. Available solutions to overcome this problem are the error shaping techniques, analog calibration, dual quantization, error estimation and correction. The DAC-induced error is a challenge in precise sampling with low oversampling ratios (OSRs). The most efficient technique in high accuracy and low OSR is the error measurement or estimation and digital correction. Available techniques in error measurement or estimation need significant hardware or change the modulator design. Two novel techniques are introduced in this thesis.

The first technique is a foreground one. The circuits used for this technique are described. System level simulations show that this digital technique is efficient in error measurement and correction. This efficiency is more obvious in the low OSR and high mismatch between DAC elements. As a suggestion, this technique can be changed to a background one in such a way that the modulator design remains unchanged.

The second error measurement technique is a background one. This technique and its detailed IC-level design in a 90nm CMOS technology are described. Beside its background operation, according to simulation results, this technique has excellent accuracy and low measurement time. In this technique, both measurement accuracy and time are precisely estimated by simple theoretical calculations. Most part of the circuit of this technique is in digital domain and the switches are the main part of the analog section. This technique is just designed for unit-capacitor DACs. As a suggestion, this technique can be generalized to be used in unit-current DACs or weighted-element DACs.

To verify these two proposed techniques, a 5^{th} order sigma-delta modulator with 15-bit accuracy and OSR = 8 is designed and simulated both in circuit and system levels. Modulator circuit design steps and both system and circuit levels simulation results are presented with and without the proposed digital correction technique.

Keywords: Sigma-delta analog-to-digital converters, DAC error, error correction, error measurement, oversampling ratio.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfilment of the requirements for the degree of
Master of Science in
Electrical Engineering

Compensation and correction of DAC errors in ΣΔ modulators with low OSR in nono-meter CMOS technologies

By:
Hossein Pakniat

Under Supervision of:
Dr. Mohammad Yavari

January 2010