Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

BSc Thesis

Design and Simulation of Voltage Controlled Oscillator with Low Phase Noise

By
Hossein Nekoo

Supervisor
Dr. Mohammad Yavari

April 2025

دانشگاه صنعتی امیرکبیر

(پلی‌تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی

رشته مهندسی برق

گرایش الکترونیک

طراحی و شبیه سازی نوسان ساز کنترل شده با ولتاژ با نویز فاز پایین

نگارش

حسین نکو

استاد راهنما

دکتر محمد یاوری

اسفندماه ماه ۱۴۰۳

به نام خدا

تاریخ: ۱۴۰۳/۱۲/۱۲

تعهدنامه اصالت اثر

اینجانب حسین نکو متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

حسین نکو

تقدیم به

به خانواده‌ی عزیزم که همواره بهترین پشتیبان و تکیه‌گاه من بوده‌اند.

تقدیر و تشکر:

از اســـتاد راهنمای عزیزم، دکتر یاوری، به‌خاطر اعتمادشـــان و همراهی بی‌دریغ در تمام مراحل این کار، صمیمانه سپاسگزارم. از دکتر معزی عزیز که در طول دوران کارشناسی ام همیشه با لطف و حمایت‌های همیشگی‌شان مشوق من بودند، نهایت قدردانی را دارم. همچنین از دوستانم در آزمایشگاه مدار مجتمع برای همراهی، همکاری و خلق محیطی دوستانه و پویا، صمیمانه تشکر می‌کنم.

حسین نکو

چکیده

در این پژوهش، دو ساختار جدید برای نوسان‌سازها ارائه شده است. در ساختار اول، با افزودن یک تانک بهبودیافته به نوسان‌ساز کلاس C با نوسان دامنه بالا، تلاش شده تا از مزایای هر دو بخش به طور هم‌زمان بهره‌برداری شود. ساختار دوم نیز به صورت یک نوسان‌ساز دو حالته طراحی شده است که در آن، راه‌اندازی که از چالش‌های اصلی نوسان‌سازهای کلاس C محسوب می‌شود، در فرکانسی متفاوت از حالت پایدار انجام می‌گیرد. این روش منجر به بهبود فرایند راه‌اندازی، کاهش جریان مورد نیاز و در نتیجه کاهش توان مصرفی شده است.

هر دو ساختار در فناوری 65 نانومتر CMOS و با استفاده از نرم‌افزار Cadence شبیه‌سازی شده‌اند. ساختار اول دارای محدوده تنظیم برابر با 20% در فرکانس مرکزی 4.52 GHz است و در آفست 1 MHz نویز فاز 128- dBc/Hz را ارائه می‌دهد. با توان مصرفی 7.25 mW، معیار شایستگی (FOM) این ساختار 192.5 محاسبه شده است. ساختار دوم نیز با محدوده تنظیم 18% در فرکانس مرکزی 4.6 GHz و نویز فاز 126- dBc/Hz در آفست مشابه، و توان مصرفی بسیار پایین‌تر معادل 3.8 mW، دارای FOM برابر با 193 می‌باشد.

واژه‌های کلیدی: نوسان ساز کنترل شده با ولتاژ - خازن ورکتور – بانک خازنی – نویز فاز – نویز فلیکر – تانکLC

فهرست مطالب

صفحه

۱- فصل اول: مقدمه..... ۱

۲- فصل دوم: کلیات نوسان سازها و مدل های نویز فاز..... ۶

۲–۱– معرفی بلوک نوسان ساز..... ۶

۲–۱–۱– برسی نوسان ساز از دید فیدبک مثبت..... ۷

۲–۱–۲– بخش فعال به عنوان مقاومت منفی..... ۸

۲–۲– پارامترهای مهم در ارزیابی نوسان ساز ها کنترل شده با ولتاژ..... ۹

۲–۲–۱– توان مصرفی..... ۹

۲–۲–۲– محدوده تنظیم فرکانس..... ۹

۲–۲–۳– خطی بودن..... ۹

۲–۲–۴– پایداری فرکانسی..... ۱۰

۲–۲–۵– عدم حساسیت به نویز تغذیه و القایی..... ۱۱

۲–۲–۶– تمیزی سیگنال خروجی..... ۱۱

۲–۲–۷– نویزفاز..... ۱۱

۲–۳– مدل های نویز فاز..... ۱۲

۲–۳–۱– مدل خطی نویز فاز لیسون..... ۱۲

۲–۳–۲– مدل نویز فاز حاجی میری..... ۱۴

۲–۳–۳– مدل نویز فاز بر پایه انرژی ذخیره شده در رزوناتور..... ۱۵

۲–۴– معیار شایستگی نوسان سازها..... ۱۷

۳- فصل سوم: مروری بر ساختار های موجود..... ۱۹

۳–۱– ساختارهای مختلف نوسان سازها..... ۱۹

۳–۱–۱– نوسان ساز های کلپیتس و هارتلی..... ۲۰

۳–۱–۲– نوسان تزویج ضربدری(کلاس B)..... ۲۱

۳–۲– ساختار های بهبود یافته نوسان ساز ها..... ۲۳

۳–۲–۱– تکنیک فیلتر کردن نویز ترانزیستور دم..... ۲۴

۳–۲–۲– تکنیک رزوناتور با مدمشترک ذاتی..... ۲۶

۳–۲–۳– نوسان سازهای کلاس C..... ۲۷

۳–۲–۴– نوسان ساز کلاس C با بایاس دینامیکی..... ۲۹

۳–۲–۵– نوسان ساز کلاس C با دامنه نوسان بالا..... ۳۰

۳–۲–۶– نوسان ساز کلاس C چندهسته ای..... ۳۳

۳–۲–۷– نوسان ساز هیبدرید کلاس B و کلاس C..... ۳۵

۳–۲–۸– نوسان ساز کلاس C با سوئینگ زیاد..... ۳۶

۳–۲–۹– کاهش نویزفاز با بکارگیری تابع حساسیت ضربه..... ۳۷

۳–۲–۱۰– نوسان ساز کلاس F ۳۹
۳–۲–۱۱– نوسان ساز کلاس F2 ۴۱

۴- فصل چهارم: ساختار نوسان ساز پیشنهادی ۴۴

۴–۱–تانک مدار پیشنهادی ۴۴
۴–۲– برسی رفتار رزوناتور با مدل های مختلف نویز فاز ۴۶
۴–۲–۱– برسی رفتار رزوناتور با مدل نویزفاز فاکتور انرژی سلف ۴۶
۴–۲–۲– برسی رفتار رزوناتور با مدل نویز فاز متغیر با زمان ۴۸
۴–۲–۳– برسی رفتار رزوناتور با مدل نویزفاز لیسون ۵۲
۴–۳– نوسازساز پیشنهادی اول ۵۴
۴–۴– نوسان ساز پیشنهادی دوم ۵۶
۴–۴–۱– چالش پیاده سازی سویچ ها ۶۱
۴–۴–۲– بایاس ترانزیستور دم ۶۴
۴–۵– حداکثر دامنه نوسان ساختار های پیشنهادی ۶۷
۴–۶– استفاده از بانک خازنی برای تنظیم گسسته ۷۱
۴–۷– استفاده از ورکتور برای تنظیم پیوسته ۷۵

۵- فصل پنجم: نتایج شبیه‌سازی ۷۸

۵–۱– نتایج شبیه سازی ساختار پیشنهادی اول ۷۹
۵–۲– نتایج شبیه سازی ساختار پیشنهادی دوم ۸۹
۵–۳– نتایج شبیه سازی بعدجانمایی ۹۷
۵–۴– مقایسه ساختار پیشنهادی با سایر ساختارها ۱۰۰

۶- فصل ششم: جمع‌بندی و پیشنهادات ۱۰۲

۶–۱– جمع بندی ۱۰۲
۶–۲– پیشنهادات ۱۰۳

منابع و مراجع ۱۰۴

Abstract ۱۰۷

فهرست شکل‌ها

صفحه

شکل (۲–۱): ساختار فیدبک در مدار نوسان ساز ۷
شکل (۲–۲): مقاومت منفی در ساختار نوسان سازها ۸
شکل (۲–۳): پایداری دامنه نوسان در نوسان سازها ۸
شکل (۲–۴): پخش توان در خروجی نوسان ساز ۱۲
شکل (۲–۵): نواحی مختلف در طیف نویز فاز ۱۳
شکل (۲–۶): تاثیر متفاوت نویز ورودی بر روی فاز نوسان ساز در زمان های مختلف ۱۵
شکل (۲–۷): مدل کلی یک نوسان ساز براساس مرجع [۶] ۱۶
شکل (۲–۸): نمودارت تغییرات معیار شایستگی و نویز فاز بر حسب آفست فرکانسی ۱۸
شکل (۳–۱): روش تبدیل ترانزیستور به مقاومت منفی ۲۰
شکل (۳–۲): (الف) نوسان ساز هارتلی (ب) نوسان ساز کلپیتس ۲۱
شکل (۳–۳): نوسان ساز تزویج ضربدری ۲۲
شکل (۳–۴): (الف) فیلترکردن نویز ترانزیستوردم باخازن، (ب) افزودن سلف برای افزایش امپدانس [۸] ۲۵
شکل (۳–۵): (الف) فیلترنویز ترانزیستور دم با بایاس بالا (ب) ساختار ارائه شده با حذف ترانزیستور دم[۸] ۲۶
شکل (۳–۶): (الف) مد مشترک نوسان ساز (ب) مد تفاضلی نوسان ساز مرجع [۸] ۲۷
شکل (۳–۷): (الف) پیاده سازی نوسان ساز کلاس C با کوپلینگ ترانسفورمری (ب) کوپلینگ خازنی ۲۸
شکل (۳–۸): نوسان ساز کلاس C با بایاس دینامیک (الف) با ترانزیستور دم (ب) با مقاومت دم ۳۱
شکل (۳–۹): نوسان ساز کلاس C با دامنه نوسان بالا ۳۲
شکل (۳–۱۰): ساختار هر یک از نوسان سازهای استفاده شده در مرجع [۱۳] ۳۴
شکل (۳–۱۱): ساختار کامل متشکل از دو نوسان ساز مرجع[۱۳] ۳۵
شکل (۳–۱۲): ساختار نوسان ساز هیبدرید کلاس B و کلاس C ۳۶
شکل (۳–۱۳): ساختار نوسان ساز کلاس C با سوئینگ زیاد ۳۷
شکل (۳–۱۴): شماتیک نوسان ساز با نویزفاز پایین با بکارگیری تابع حساسیت ضربه ۳۸
شکل (۳–۱۵): نوسان ساز کلاس F (الف) با تزویج مستقیم (ب) با تزویج ترانسفورمری ۴۰
شکل (۳–۱۶): شکل موج خروجی نوسان ساز الف) مرسوم ب) کلاسF در حوزه زمان و فرکانس ۴۰
شکل (۳–۱۷): طرح کلی افزودن هارمونیک دوم به مولفه اصلی سیگنال خروجی در نوسان ساز کلاس F2 ..... ۴۲
شکل (۳–۱۸): ساختار کلی نوسان ساز کلاس F2 ..... ۴۳
شکل (۴–۱): الف)مدارتانک مرسوم ب)مدار تانک پیشنهادی مرجع[۶] ۴۴
شکل (۴–۲): تغییرات امپدانس تانک با تغییرات مقدار K ۴۶
شکل (۴–۳): بهبود نویز فاز به ازای تغییرات K براساس مدل نویزفاز IEF ۴۷
شکل (۴–۴): الف)مدل مداری ساده شده تانک مرسوم ب)تانک پیشنهادی ۴۸
شکل (۴–۵): مدار معادل رزوناتور پیشنهادی ۵۰

شکل (۴–۶): مدار معادل ساده شده رزوناتور پیشنهادی ۵۱
شکل (۴–۷): بهبود نویز فاز به ازای تغییرات K براساس تابع ISF ۵۲
شکل (۴–۸): بهبود نویز فاز به ازای تغییرات K براساس مدل نویز فاز لیسون ۵۴
شکل (۴–۹): مدار نوسان ساز پیشنهادی اول ۵۵
شکل (۴–۱۰): مقایسه تفاوت ساختاری رزوناتور مرسوم و بهبود یافته ۵۷
شکل (۴–۱۱): وضعیت تانک ساختار دوم در الف) حالت راه اندازی ب)حالت پایدار ۵۸
شکل (۴–۱۲): مدار نوسان ساز پیشنهادی دوم ۵۹
شکل (۴–۱۳): شماتیک OTA استفاده شده برای مقایسه کننده ۶۱
شکل (۴–۱۴): مدار معادل ساده شده تانک با اعمال مقاومت کلید ها در حالت الف) استارتاپ ب)دائم پایدار ۶۱
شکل (۴–۱۵): بایاس ترانزیستور دم بصورت الف)عادی ب)بصورت آیینه جریان ۶۵
شکل (۴–۱۶): پیاده سازی بایاس دم با آیینه جریان الف)مرسوم ب)بهبود یافته برای کاهش نویز فلیکر ۶۶
شکل (۴–۱۷): شماتیک بهبود یافته نوسان ساز پیشنهادی دوم ۶۷
شکل (۴–۱۸): پدیده اشباع سرعت در ترانزیستور های کانال کوتاه ۶۹
شکل (۴–۱۹): مقایسه مرز ناحیه اشباع و خطی در ترانزیستور های کانال کوتاه و بلند ۷۰
شکل (۴–۲۰): بانک خازنی مرسوم برای تنظیم کلی ۷۲
شکل (۴–۲۱): مشکلات ترانزیستور سویچ در حالت الف)روشن ب)خاموش ۷۳
شکل (۴–۲۲): الف) مدار سویچ بهبود یافته ب) مدارمعادل سویچ بهبود یافته در فاز روشن ۷۳
شکل (۴–۲۳): بانک خازنی بهبود یافته برای تنظیم کلی ۷۵
شکل (۴–۲۴): خازن ترانزیستوری به عنوان خازن متغیر ۷۵
شکل (۴–۲۵): خازن ورکتور در مود وارونگی ۷۶
شکل (۴–۲۶): خازن ورکتور در مود انباشتگی ۷۷
شکل (۵–۱): نمودار تغییرات ضریب کیفیت سلف با تغییر شعاع داخلی ۸۰
شکل (۵–۲): مدار تنظیم فرکانس ۸۱
شکل (۵–۳): بده بستان ضریب کیفیت و خازن ثابت در یک سلول از بانک خازنی ۸۱
شکل (۵–۴): ضریب کیفیت و خازن ثابت در بانک خازنی طراحی شده ۸۲
شکل (۵–۵): شکل موج خروجی ساختار پیشنهادی اول ۸۳
شکل (۵–۶): شکل موج گذرای گره V_{CTRL} ۸۴
شکل (۵–۷): شکل موج جریان ترانزیستورهای اصلی ۸۵
شکل (۵–۸): محدوده تنظیم فرکانسی ساختار پیشنهادی اول ۸۶
شکل (۵–۹): تغییرات نویز فاز در آفست های مختلف با تغییر فرکانس ۸۷
شکل (۵–۱۰): مقایسه نویز فاز ساختار پیشنهادی با نوسان ساز کلاس C مرسوم و نوسان ساز کلاس B ۸۷
شکل (۵–۱۱): تغییرات نویز فاز ساختار پیشنهادی اول در گوشه های ساخت و شرایط دمایی مختلف ۸۸
شکل (۵–۱۲): بهره DC مدار تقویت کننده ۹۰

شکل (۵–۱۳): فاز مدار تقویت کننده ۹۱
شکل (۵–۱۴): شکل موج خروجی دیفرانسیلی ساختار پیشنهادی دوم ۹۱
شکل (۵–۱۵): شکل موج حالت گذرای گره کنترلی و گره دم ۹۲
شکل (۵–۱۶): شکل موج جریان ترانزیستور ها تزویج ضربدری ۹۳
شکل (۵–۱۷): محدوده تنظیم ساختار پیشنهادی دوم ۹۳
شکل (۵–۱۸): تغییر نویز فاز در آفست های مختلف با تغییر فرکانس ۹۴
شکل (۵–۱۹): مقایسه نویز فاز ساختار پیشنهادی دوم با نوسان ساز کلاس C و نوسان ساز کلاس B ۹۵
شکل (۵–۲۰): تغییرات نویز فاز ساختار پیشنهادی دوم در گوشه های ساخت و شرایط دمایی مختلف ۹۶
شکل (۵–۲۱): جانمایی ساختار پیشنهادی اول ۹۷
شکل (۵–۲۲): جانمایی ساختار پیشنهادی دوم ۹۸

فهرست جدول‌ها

صفحه

جدول (۵–۱): اندازه ترانزیستور ساختار پیشنهادی اول ۸۳
جدول (۵–۲): اندازه المان های غیرفعال ساختار پیشنهادی اول ۸۳
جدول (۵–۳): نتایج شبیه سازی محدوده تنظیم ساختار پیشنهادی اول ۸۸
جدول (۵–۴): نتایج شبیه سازی ساختار پیشنهادی اول ۸۹
جدول (۵–۵): اندازه ترانزیستور ساختار پیشنهادی دوم ۸۹
جدول (۵–۶): اندازه المان های غیرفعال ساختار پیشنهادی دوم ۸۹
جدول (۵–۷): اندازه ترانزیستورهای OTA ۹۰
جدول (۵–۸): نتایج شبیه سازی محدوده تنظیم ساختار پیشنهادی دوم ۹۶
جدول (۵–۹): نتایج شبیه سازی ساختار پیشنهادی دوم ۹۶
جدول (۵–۱۰): نتایج شبیه سازی بعد جانمایی ساختار پیشنهادی اول ۹۹
جدول (۵–۱۱): نتایج شبیه سازی بعد جانمایی ساختار پیشنهادی دوم ۹۹
جدول (۵–۱۲): مقایسه ساختار پیشنهادی با ساختار های قبلی ۱۰۰

اختصارنامه

BW	Bandwidth
CB	Cap-Bank
CMOS	Complementary Metal-Oxide-Semiconductor
dBc	Decibels relative to Carrier
FOM	Figure of Merit
IC	Integrated Circuit
IEF	Inductor Energy Factor
ISF	Impulse Sensitivity Function
LC	Inductor-Capacitor
LO	Local Oscillator
OSC	Oscillator
PLL	Phase-Locked Loop
PN	Phase Noise
PVT	Process, Voltage, Temperature
Q	Quality Factor
VCO	Voltage-Controlled Oscillator

واژه‌نامه

آفست فرکانسی	Frequency Offset
بازیابی ساعت و داده	Clock and Data Recovery (CDR)
بهره نوسان ساز کنترل شده با ولتاژ	VCO Gain (Kvco)
پایداری دمایی	Temperature Stability
تابع حساسیت ضربه	ISF
ترانزیستورهای تزیوج ضربدری	Cross Coupled Transistors
تغییرات فرآیند ساخت	Process Variation
تقویت‌کننده عملیاتی ترارسانایی	Operational Transconductance Amplifier
توان مصرفی	Power Consumption
جانمایی	Layout
جیتِر	Jitter
حاشیه فاز	Phase Margin
حلقه قفل فاز	Phase-Locked Loop (PLL)
خازن کنترل شده با ولتاژ	Varactor
خلوص طیفی	Spectral Purity
دسی‌بل نسبت به حامل	dBc
دم	Tail
راه‌اندازی	Startup
سیگنال ساعت / سیگنال زمانی	Clock
سنتزکننده فرکانس	Frequency Synthesizer
فاکتور انرژی سلف	IEF
قابل حمل	Portable
محدوده تنظیم	Tuning Range

معیار شایستگی	FOM
نوسان‌ساز	Oscillator
نوسان‌ساز کنترل‌شده با ولتاژ	Voltage-Controlled Oscillator (VCO)
نویز حالت مشترک	Common-Mode Noise
نویز حرارتی	Thermal Noise
نویز فاز	Phase Noise
وارونگر	Inverter
ولتاژ تغذیه	Supply Voltage
ولتاژ کنترلی	Control Voltage
هارمونیک‌ها	Harmonics

منابع و مراجع

[1] B. Razavi and R. Behzad, *RF microelectronics*. Prentice hall New York, 2012.

[2] B. Razavi, *Design of CMOS phase-locked loops: from circuit level to architecture level*. Cambridge University Press, 2020.

[3] D. B. Leeson, "A simple model of feedback oscillator noise spectrum," *Proceedings of the IEEE,* vol. 54, no. 2, pp. 329-330, 1966.

[4] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE journal of solid-state circuits,* vol. 33, no. 2, pp. 179-194, 1998.

[5] T. H. Lee and A. Hajimiri, "Oscillator phase noise: A tutorial," *IEEE journal of solid-state circuits,* vol. 35, no. 3, pp. 326-336, 2000.

[6] M. Moezzi and M. S. Bakhtiar, "Design of LC resonator for low phase noise oscillators," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 63, no. 2, pp. 169-180, 2016.

[7] P. Kinget, "Integrated GHz voltage controlled oscillators," in *Analog Circuit Design: (X) DSL and other Communication Systems; RF MOST Models; Integrated Filters and Oscillators*: Springer, 1999, pp. 353-381.

[8] E. Hegazi, H. Sjoland, and A. A. Abidi, "A filtering technique to lower LC oscillator phase noise," *IEEE Journal of Solid-State Circuits,* vol. 36, no. 12, pp. 1921-1930, 2001.

[9] D. Murphy, H. Darabi, and H. Wu, "Implicit common-mode resonance in LC oscillators," *IEEE Journal of Solid-State Circuits,* vol. 52, no. 3, pp. 812-821, 2017.

[10] A. Mazzanti and P. Andreani, "Class-C harmonic CMOS VCOs, with a general result on phase noise," *IEEE Journal of Solid-State Circuits,* vol. 43, no. 12, pp. 2716-2729, 2008.

[11] L. Fanori and P. Andreani, "Highly efficient class-C CMOS VCOs, including a comparison with class-B VCOs," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 7, pp. 1730-1740, 2013.

[12] M. Tohidian, A. Fotowat-Ahmadi, M. Kamarei, and F. Ndagijimana, "High-swing class-C VCO," in *2011 Proceedings of the ESSCIRC (ESSCIRC)*, 2011: IEEE, pp. 495-498.

[13] M. Tohidian, S. A. R. A. Mehr, and R. B. Staszewski, "Dual-core high-swing class-C oscillator with ultra-low phase noise," in *2013 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2013: IEEE, pp. 243-246.

[14] L. Fanori, A. Liscidini, and P. Andreani, "A 6.7-to-9.2 GHz 55nm CMOS hybrid class-b/class-c cellular TX VCO," in *2012 IEEE International Solid-State Circuits Conference*, 2012: IEEE, pp. 354-356.

[15] F. Ataei and M. Yavari, "A 2.2 GHz high-swing class-C VCO with wide tuning range," in *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2011: IEEE, pp. 1-4.

[16] A. Mostajeran, M. S. Bakhtiar, and E. Afshari, "25.8 A 2.4 GHz VCO with FOM of 190dBc/Hz at 10kHz-to-2MHz offset frequencies in 0.13 μm CMOS using an ISF manipulation technique," in *2015 IEEE International Solid-State Circuits Conference-(ISSCC) Digest of Technical Papers*, 2015: IEEE, pp. 1-3.

[17] A. Hajimiri and T. H. Lee, *The design of low noise oscillators*. Springer Science & Business Media, 2007.

[18] M. Babaie and R. B. Staszewski, "A class-f cmos oscillator," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 12, pp. 3120-3133, 2013.

[19] M. Babaie and R. B. Staszewski, "An ultra-low phase noise class-F 2 CMOS oscillator with 191 dBc/Hz FoM and long-term reliability," *IEEE Journal of Solid-State Circuits,* vol. 50, no. 3, pp. 679-692, 2015.

[20] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital integrated circuits*. Prentice hall Englewood Cliffs, 2002.

[21] P. Andreani, "A comparison between two 1.8 GHz CMOS VCOs tuned by different varactors," in *Proceedings of the 24th European Solid-State Circuits Conference*, 1998: IEEE, pp. 380-383.

[22] D. Leblebici and Y. Leblebici, *Fundamentals of high-frequency CMOS analog integrated circuits*. Springer, 2009.

[23] T. Soorapanth, C. P. Yue, D. K. Shaeffer, T. Lee, and S. S. Wong, "Analysis and optimization of accumulation-mode varactor for RF ICs," in *1998 Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No. 98CH36215)*, 1998: IEEE, pp. 32-33.

[24] R. Castello, P. Erratico, S. Manzini, and F. Sveito, "A/spl plusmn/30% tuning range varactor compatible with future scaled technologies," in *1998 Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No. 98CH36215)*, 1998: IEEE, pp. 34-35.

[25] E. Hegazi and A. A. Abidi, "Varactor characteristics, oscillator tuning curves, and AM-FM conversion," *IEEE Journal of Solid-State Circuits,* vol. 38, no. 6, pp. 1033-1039, 2003.

[26] W. Deng, K. Okada, and A. Matsuzawa, "Class-C VCO with amplitude feedback loop for robust start-up and enhanced oscillation swing," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 2, pp. 429-440, 2012.

[27] A. Mazzanti and P. Andreani, "A push–pull class-c cmos vco," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 3, pp. 724-732, 2012.

[28] Y. Hu, T. Siriburanon, and R. B. Staszewski, "A low-flicker-noise 30-GHz class-F 23 oscillator in 28-nm CMOS using implicit resonance and explicit common-mode return path," *IEEE Journal of Solid-State Circuits,* vol. 53, no. 7, pp. 1977-1987, 2018.

[29] C. C. Lim, H. Ramiah, J. Yin, P.-I. Mak, and R. P. Martins, "An inverse-class-F CMOS oscillator with intrinsic-high-Q first harmonic and second harmonic resonances," *IEEE Journal of Solid-State Circuits,* vol. 53, no. 12, pp. 3528-3539, 2018.

[30] A. Franceschin, P. Andreani, F. Padovan, M. Bassi, and A. Bevilacqua, "A 19.5-GHz 28-nm class-C CMOS VCO, with a reasonably rigorous result on 1/f noise upconversion caused by short-channel effects," *IEEE Journal of Solid-State Circuits,* vol. 55, no. 7, pp. 1842-1853, 2020.

[31] Y.-K. Cho, J.-W. Nam, and S.-W. Lee, "A low-power class-C voltage-controlled oscillator with robust start-up and compact high-Q capacitor array," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 69, no. 3, pp. 819-823, 2021.

[32] J. Du *et al.*, "A compact 0.2–0.3-V inverse-class-F 23 oscillator for low 1/f 3 noise over wide tuning range," *IEEE Journal of Solid-State Circuits,* vol. 57, no. 2, pp. 452-464, 2021.

[33] X. Meng, H. Li, P. Chen, J. Yin, P.-I. Mak, and R. P. Martins, "Analysis and design of a 15.2-to-18.2-GHz inverse-class-F VCO with a balanced dual-core topology suppressing the flicker noise upconversion," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 70, no. 12, pp. 5110-5123, 2023.

[34] Q. Ma, X. Bi, and Q. Xu, "A Class-C Eight-Phase Voltage-Controlled Oscillator With 184.2 dBc/Hz FoM and Loop-Based Superharmonic Coupling in 65nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs,* 2024.

[35] L. Tomasin, A. Iesurum, A. Gobbo, A. Neviani, and A. Bevilacqua, "A Stacking Technique for High-Swing Low-Phase Noise Class-C Oscillators Using Core Devices in Ultrascaled CMOS Technologies," *IEEE Transactions on Circuits and Systems II: Express Briefs,* 2024.

Abstract

This research presents two novel CMOS oscillator structures. The first design combines a high-swing class-C oscillator with an improved tank to simultaneously benefit from the advantages of both components. The second structure is a dual-mode oscillator in which startup—typically a challenge in class-C oscillators—is achieved at a frequency different from the steady-state, resulting in improved startup behavior, reduced current requirements, and lower power consumption.

Both structures were simulated using 65 nm CMOS technology in Cadence software. The first design features a tuning range of 20% around a center frequency of 4.52 GHz and achieves a phase noise of -128 dBc/Hz at a 1 MHz offset. With a power consumption of 7.25 mW, its figure of merit (FOM) is calculated to be 192.5. The second design offers an 18% tuning range at a center frequency of 4.6 GHz, a phase noise of -126 dBc/Hz at the same offset, and a lower power consumption of 3.8 mW, resulting in a FOM of 193.

Key Words: Voltage Controlled Oscillator – Varactor – Capacitor Bank – Phase Noise – Flicker Noise – LC Tank

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

BSc Thesis

Design and Simulation of Voltage Controlled Oscillator with Low Phase Noise

By
Hossein Nekoo

Supervisor
Dr. Mohammad Yavari

April 2025