Amirkabir University of Tehran
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Reduction of DAC Switching Energy in SAR Analog-to-Digital Converters

By:
Hossein Bigdeli

Under Supervision of:
Dr. Mohammad Yavari

Apr. 2021

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان نامه کارشناسی ارشد

(گرایش الکترونیک)

کاهش انرژی سوئیچینگ DAC در مبدل های آنالوگ به دیجیتال SAR

نگارش:

حسین بیگدلی

استاد راهنما:

دکتر محمد یاوری

فروردین ۱۴۰۰

چکیده

در این پایان‌نامه علاوه بر کاهش چشمگیر مساحت، روش‌هایی برای کاهش انرژی نیز پیشنهاد شده‌است. در بسیاری از روش‌ها تنها با تغییر منابع متصل به خازن‌ها سعی می‌شود ولتاژ مورد نظر ساخته‌شود. به طور مثال به مدار [2] دقت کنید. در این روش تنها به وسیله تغییر منابع متصل به خازن‌ها، ولتاژ ورودی مقایسه‌کننده تغییر می‌کند.

برعکس، به مدار [1] دقت کنید که تنها یک بار در مرحله ریست منابع متصل به خازن‌ها تغییر کرده و دیگر تغییر نمی‌کنند. در این پایان‌نامه با ترکیب دو روش [1] و [2] مداری را ساخته‌می‌شود که این ویژگی‌های مثبت هر دو مدار را دارد. در این مدار به دلیل آن که از هر دو روش برای کنترل استفاده می‌شود تعداد خازن‌ها بسیار پایین می‌آید. در واقع مانند آن است که از هر خازن دو بار استفاده شود. مدار مبدل آنالوگ به دیجیتال رجیستر تقریبات متوالی قراردادی(conventional SAR ADC) را در نظر بگیرید. اگر تعداد بیت‌های مورد نیاز نصف شود آنگاه به طور مثال به جای 10 بیت تنها 5 بیت خروجی بگیریم، آنگاه به جای 2×1024 خازن(1024 خازن در هر آرایه) تنها به 2×32 خازن در هر آرایه نیاز است. این یعنی کاهش قابل توجه مساحت در مبدل آنالوگ به دیجیتال SAR قرادادی. برای سادگی به این دو روش الگوریتم صفحه بالایی و صفحه پایینی می‌گوییم. روش صفحه پایینی بسیار جدید است و تعداد زیادی از آن‌ها نیست. با این حال [1] به طور متمرکز بر روی این روش صحبت می‌کند. در این پایان‌نامه با ارتقای این، روشی مبدل می‌شود که بر روی هر مدار با الگوریتم صفحه بالایی می‌توان پیاده کرد و مساحت(و بالطبع انرژی) را کاهش داد. در این روش نسبت به مبدل آنالوگ به دیجیتال رجیستر تقریبات متوالی مساحت را 96.88 درصد کاهش می‌دهد که نسبت به تمام منابع آورده‌شده بهتر است.

تعدادی دیگر از ویژگی‌های مدار به این صورت است. اگر V_{cm} دقیقاً برابر $\frac{V_{Ref}}{2}$ باشد، آنگاه ولتاژ مد مشترک (Common mode) ورودی مقایسه کننده ثابت خواهدماند و همچنین ورودی مقایسه‌کننده به صحت ولتاژ V_{cm} بستگی ندارد و میانگین ورودی مقدار ثابتی است که طراحی مقایسه‌کننده را ساده می‌کند. یکی دیگر از ویژگی‌های جالب این مدار این است که در طراحی انعطاف‌پذیری دارد و می‌توان با افزایش مساحت و انرژی از پیچیدگی آن کم کرد. کمتر مداری چنین ویژگی‌ای دارد.

فهرست مطالب

فهرست مطالب ..... أ

فهرست شکل‌ها ..... ج

فهرست جدول‌ها ..... ه

فصل اول: مقدمه ۱

۱-۱ انگیزه ۱

۱-۲ هدف پایان‌نامه ۲

۱-۳ ساختار پایان‌نامه ۲

فصل دوم: مبدل آنالوگ به دیجیتال‌های SARمتقارن ۴

۲-۱ نحوه ارتباط اعداد دیجیتال و آنالوگ در ریاضیات ۴

۲-۲ مبدل آنالوگ به دیجیتال رجیستر تقریبات متوالی‌های (SAR ADC) متقارن ۵

۲-۲-۱ آرایه‌ی خازنی ۵

۲-۲-۲ مبدل آنالوگ به دیجیتال SAR و ویژگی‌های آن ۶

فصل سوم: طرح DAC پیشنهادشده مبدل آنالوگ به دیجیتال SAR ۱۳

۳-۱ مقدمه ۱۳

۳-۲ نحوه عملکرد مدار مبدل آنالوگ به دیجیتال SAR با یک الگوریتم صفحه بالایی ۱۴

۳-۳ نحوه عملکرد مدار مبدل آنالوگ به دیجیتال SAR در الگوریتم صفحه پایینی ۱۶

۳-۴ طرح مدار مبدل آنالوگ به دیجیتال SAR پیشنهادشده ۲۷

فصل چهارم: اثرات غیر ایده‌آلی مدار ۴۱

۴-۱ طرح سری سوئیچ‌زنی برای کاهش نویز ۴۱

۴-۱-۱ مقدمه ۴۱

۴-۱-۲ نحوه سوئیچینگ سری ۴۱

۴-۱-۳ سوئیچ‌زنی سری در [1] ۴۲

۴-۱-۴ شماره‌گذاری مناسب سوئیچ‌ها ۴۴

۴-۲ استفاده بهینه از خازن‌ها و سوئیچ‌ها ۴۴

۴-۳ انعطاف‌پذیری در مدار ۴۶

۴-۳-۱ مقدمه ۴۶

۴-۳-۲ طراحی مدار ۱۰ بیت ساده ۴۶
۴-۴ مدار مبدل آنالوگ به دیجیتال SAR بدون استفاده از V_{cm} ۴۸
۴-۵ مدار مبدل آنالوگ به دیجیتال SAR پیشنهادشده بدون استفاده از V_{cm} ۵۲
فصل پنجم: شبیه‌سازی مبدل آنالوگ به دیجیتال SAR پیشنهادی ۵۵
۵-۱ شبیه‌سازی ۵۵
۵-۲ مقایسه ۶۸
فصل ششم: پیشنهاد و نتیجه‌گیری ۷۱
۶-۱ نتیجه‌گیری ۷۱
۶-۲ پیشنهاد ۷۳
ضمایم ۷۵
مراجع ۷۷

فهرست شکل‌ها

شکل (۲-۱): آرایه‌ی خازنی ۶
شکل (۲-۲): شمای کلی یک مدار مبدل آنالوگ به دیجیتال SAR ۶
شکل (۲-۳): کنترل ولتاژ ورودی مقایسه‌کننده از ولتاژهای رأس ۱۱
شکل (۳-۱): طرح DAC برای یک مبدل آنالوگ به دیجیتال با M بیت خروجی با الهام از [2] ۱۴
شکل (۳-۲): نحوه‌ی میانگین‌گیری از ولتاژهای سرپایین خازن‌ها ۱۷
شکل (۳-۳): نحوه اتصالات سوئیچ‌ها و شماره‌گذاری آن‌ها برای $b_{k-1}=0$ ۲۳
شکل (۳-۴): نحوه قطع شدن و وصل شدن سوئیچ‌ها در هر مرحله به ازای $b_{k-1}=1$ ۲۵
شکل (۳-۵): شمای DAC طراحی‌شده‌ی مبدل آنالوگ به دیجیتال SAR با $2^M \times 2$خازن و Nبیت خروجی در مرحله ریست ۲۷
شکل (۳-۶): شمای DAC طراحی‌شده‌ی مبدل آنالوگ به دیجیتال SAR اخیر در انتهای مرحله‌ی چهارم ۲۹
شکل (۳-۷): قسمت‌های مرحله ۵ که باید به ترتیب از (الف) به (ج) باید انجام شود در حالت $b_{M-1}=0$ ۳۱
شکل (۳-۸): شمای DAC طراحی‌شده برای مبدل آنالوگ به دیجیتال SAR با 4 بیت خروجی ۳۵
شکل (۳-۹): فلوچارت DAC طراحی‌شده مبدل آنالوگ به دیجیتال SAR با خروجی N بیت ۳۶
شکل (۳-۱۰): نمودار تعداد خازن هر آرایه برحسب تعداد بیت خروجی ۳۹
شکل (۳-۱۱): شمای DAC طراحی‌شده مبدل آنالوگ به دیجیتال SAR با دقت 11 بیت ۳۹
شکل (۴-۱): شمای مدار با روش سوئیچ‌زنی سری ۴۲
شکل (۴-۲): نحوه سوئیچ‌زنی سری اعمال‌شده روی [1] در مرحله k+1 با فرض $b_k=0$ ۴۳
شکل (۴-۳): مدار و سوئیچینگ طراحی‌شده برای DAC پیشنهادشده مبدل آنالوگ به دیجیتال SAR با دقت 10 بیت ۴۵
شکل (۴-۴): شمای DAC پیشنهادشده مبدل آنالوگ به دیجیتال SAR با دقت 10 بیت با پیچیدگی کمتر ۴۷
شکل(۴-۵): جایگذاری ولتاژها با V_{cm} با یک مدار جایگزین ۴۸
شکل (۴-۶): نحوه حذف V_{cm} ۴۹
شکل (۴-۷): طرح DAC در مرحله ریست-خازن‌هایی با ولتاژ V_{cm} انرژی مصرف نمی‌کنند و ولتاژ خازن با ولتاژ 1 و 0 قبل از ریست به ترتیب V_{fi} و V'_{fi}است. ۵۱
شکل (۴-۸): طرح DAC پیشنهادشده مبدل آنالوگ به دیجیتال 10 SAR بیت بدون استفاده از V_{cm} ۵۳

شکل (۵-۱): کد مربوط به محاسبه انرژی سوئیچینگ در حالت اول، قسمت مثبت و منفی در حالت دوم و انرژی کل مربوط مدار طراحی‌شده ۵۸

شکل (۵-۲): نمودار انرژی برحسب بیت خروجی در مدار طراحی‌شده ۵۸

شکل (۵-۳): کد مربوط به محاسبه انرژی سوئیچینگ در حالت اول، قسمت مثبت و منفی در حالت دوم و انرژی کل مربوط مدار ساده ۶۰

شکل (۵-۴): نمودار انرژی بر حسب کد دیجیتالی خروجی در مدار ساده ۶۱

شکل (۵-۵): کد مربوط به محاسبه انرژی سوئیچینگ در حالت اول، قسمت مثبت و منفی در حالت دوم و انرژی کل مربوط مدار بدون V_{cm} ۶۳

شکل (۵-۶): انرژی مصرف‌شده برحسب بیت خروجی در مدار سوم ۶۴

شکل (۵-۷): کد مربوط به محاسبه انرژی سوئیچینگ در حالت اول، قسمت مثبت و منفی در حالت دوم و انرژی کل مربوط مدار [1].....۶۵

شکل (۵-۸): میزان انرژی ریست نسبت به ازای هر کد ورودی در [1] ۶۵

شکل (۵-۹): مقایسه همزمان چند مدار با هم از نظر مصرف انرژی به ازای هر کد خروجی ۶۶

شکل (۵-۱۰): مرحله ریست پیشنهادشده جایگزین در [1] ۶۷

شکل (۵-۱۱): مقایسه همزمان چند مدار با هم از نظر مصرف انرژی به ازای هر کد خروجی با [1] بهبود یافته.....۶۷

فهرست جدول‌ها

جدول (۵-۱): مقایسه‌ی این طراحی با بقیه مدارها ۷۲

مراجع

[1] T. Yousefi, A. Dabbaghian, and M. Yavari, "An Energy-Efficient DAC Switching Method for SAR ADCs," IEEE Trans. on Circuits and Systems-II: Express Briefs, vol. 65, no. 1, pp. 41-45, Jan. 2018, Published online: 2nd March 2017.

[2] E. Rahimi and M. Yavari, "Energy-efficient high-accuracy switching method for SAR ADCs," *IET Electronics Letters*, vol. 50, no. 7, pp. 499-501, Mar. 27, 2014.

[3] B. P. Ginsburg and A. P. Chandrakasan, "An energy-efficientcharge recycling approach for a SAR converter with capacitiveDAC," in Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS '05), vol. 43, pp. 184–187, IEEE, May 2005.

[4] D.Osipov, S.Paul, "Low power SAR ADC switching without the need of precise second reference," Springer Science and Business Media LLC, vol. 97, pp. 417-425, June 2018

[5] Y. Hu et al., "Closed-loop charge recycling switching scheme for SAR ADC," Electronics Letters, vol. 53, no. 2, pp. 66-68, Jan. 2017.

[6] Y. Li, Z. Zhang, and Y. Lian, 'Energy-efficient charge-recovery switching scheme for dual-capacitive arrays SAR ADC', Electron. Lett., 2013,49,(5), pp. 499–500, doi: 10.1049/el.2012.3318

[7] B. Yazdani, A. Khorami, and M. Sharifkhani, "Low-power DAC with charge redistribution sampling method for SAR ADCs," Electron. Lett., vol. 52, no. 3, pp. 187–188, Feb. 2016.

[8] Y. Zhu, C.-H. Chan, U.-F. Chiu, C.-W.Sin, R.P.Martins, and Maloberti, F.: 'A 10-bit 100-MS/s reference-free ADC SAR in 90 nm CMOS', IEEE J. Solid-State Circuits, 2010, 45, (6), pp. 1111–1121

[9] Liu, C.-C., Chang, S.-J., Huang, G.-Y., and Lin, Y.-Z.: 'A 10-bit 50-MS/s ADC SAR with a monotonic capacitor switching procedure', IEEE J. Solid-State Circuits, 2010, 45, (4), pp. 731–740

[10] S.Polineni, M.S.Bhat, A.Rajan, "A 10-Bit Differential Ultra-Low-Power SAR ADC with an Enhanced MSBCapacitor-Split Switching Technique," Springer Science and Business Media LLC, vol. 44, pp. 2345-2353, July 2018

[11] D. Li, Q. Meng, and F. Li, "Improved dual-capacitive arrays DAC architecture for SAR ADC," Electron. Lett., vol. 52, no. 12, pp. 1013–1015, Jun. 2016.

[12] Y.Liang, Z.Zhu, "An Energy-E±cient Switching Scheme forLow-Power SAR ADC Design," World Scientific Pub Co Pte Lt, vol. 27, no. 1, pp. 1850015, 1st June 2017.

[13] P.Ghoshal, C.Dey, S.K.Sen,"Realization of an ultra low power and area efficient SC SAR ADCarchitecture using single and two step reset methods," Springer Science and Business Media LLC, Nov. 2020

[14] C. Yuan and Y. Lam, "Low-energy and area-efficient tri-level switching scheme for SAR ADC," Electron. Lett., vol. 48, no. 9, pp. 482–483, Apr. 2012.

[15] L. Xie, G. Wen, J. Liu, and Y. Wang, "Energy-efficient hybrid capacitor switching scheme for SAR ADC," Electron. Lett., vol. 50, no. 1, pp. 22–23, Jan. 2014.

[16] Z. Zhu, Y. Xiao, and X. Song, 'V_{CM}-based monotonic capacitor switching scheme for SAR ADC', Electron. Lett., 2013, 49, (5), pp. 327–329

[17] J. Li et al., “An energy-aient switching scheme with low common-mode voltage variation and no-capacitor-splitting DAC for SAR ADC,” Analog Integrated Circuits and Signal Processing, vol. 104, no. 5, pp. 93-101, May 2020.

[18] Y.Hu, Z.Yi, Z.He and B.Li, “Energy-efficient, area-efficient, high-accuracy andlow-complexity switchingscheme for SAR ADC, ” IEICE Electronics Express, vol. 14, no. 14, pp. 1-7, May 2017

[19] X. Tong, Y. Zhang, 98.8% switching energy reduction in ADC SAR for bioelectronicsapplication, Electron. Lett. 51 (14) (2015) 1052–1054.

[20] X.Tong and M. Ghovanloo, “Energy-efficient switching scheme in ADC SAR for biomedical electronics,” Electron. Lett., vol. 51, no. 9, pp. 676–678, Apr. 2015.

[21] D.Osipov, S.Paul, “Two advanced energy-back ADC SAR architecture with 99.21 and 99.37% reduction in switching energy,” Analog Integr. Circuits Signal Process, 87(1) (2016) 81-91

[22] X.Tong, T.Sun, “Improved Switching Energy Reduction Approach in Low-Power ADC SAR for Bioelectronics,” VLSI Design, vol. 16, pp. 1-6, June 2016.

[23] Y.Chen, Y.Zhuang, H.Tang, “An Ultra-Low Power Consumption High-Linearity Switching Scheme for SAR ADC,” World Scientific Pub Co Pte Lt ,vol. 29, no. 06, pp. 2050086, 2020

[24] P.Yue, Y.Zhang, S.Liu, Z.Zhu, “Low-power asymmetric switching scheme with segmented capacitive architecture for SAR ADCs,” Springer Science and Business Media LLC, vol. 102, pp. 253-264, Nov.2019

[25] Y.Zhang, Y.Li, Z.Zhu, “A charge-sharing switching scheme for SAR ADCs in biomedical applications,” Microelectronics Journal, vol. 75, pp. 128-136, May 2018

[26] F. Chen, A.P. Chandrakasan, V. Stojanovic, “A low-power area-efficient switchings off scheme for charge-sharing DACs in SAR ADCs,” in Custom Integrated CircuitsConference (CICC), 2010 IEEE, September, pp. 1–4.

Abstract

On this thesis, in addition to a big decrease in area, some ways are suggested for reducing the energy. In many ways, only by connected sources to capacitors, appropriate voltage tries to be made. For example, in proposed ADC SAR circuit of [2]. Only by changing connected sources to capacitors, input voltage of comparator will change.

In contrast, in proposed ADC SAR of [1] only once in reset step connected sources to capacitors change and don't change anymore. On this thesis, circuit is made by combining ways of [1] and [2] which has the advantages of both circuits. On this thesis, the number of capacitors decrese beacause both ways are used.

If we get 5 bits output from conventional ADC SAR instead of 10 bit then 32×2 capacitors in every array, are needed instead of 1024×2 caps. Which means big decrease of area in conventional SAR ADC. This ways reduces more capacitors greatly by using both ways.

We call these two techniques up-plate and down-plate techniques. Down-plate ttechniques and not many of them are made. Nevertheless, [1] is explaining this technique in a focused way.

Some other feature of circuit is as follows. The accuracy of the proposed ADC SAR doesn't depend on the accuracy of the mid-level reference voltage (V_{cm}). Moreover, the common mode input voltage of the comparator will remain constant. Another interesting feature of this circuit is that it has flexibility in design and logical complexity can be reduced by incrasind the area and energy. Not many cicuits have this feature.

Amirkabir University of Tehran
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Reduction of DAC Switching Energy in SAR Analog-to-Digital Converters

By:
Hossein Bigdeli

Under Supervision of:
Dr. Mohammad Yavari

Apr. 2021