Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfilment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of Sigma-Delta Modulators for Multi-Standard Communication Applications with 90 Nano-meter CMOS Technology

By:
Bentolhoda Seyedhossseinzadeh

Under Supervision of:
Dr. Mohammad Yavari

June 2010

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

(گرایش الکترونیک)

طراحی و شبیه‌سازی مدولاتورهای سیگما-دلتا برای استانداردهای چندگانه مخابرات بی‌سیم در تکنولوژی ۹۰ نانومتر CMOS

نگارش

بنت الهدی سادات سیدحسین زاده

استاد راهنما

دکتر محمد یاوری

تیرماه ۱۳۸۹

بسم الله الرحمن الرحيم
١٤١٤

تقدیم به

پدر دلسوز و مادر مهربانم

تشکر و قدردانی

از درگاه خداوند منان کمال حمد و سپاس را دارم که امید به او همواره انگیزه بخش و یادش آرامش بخش مسیر زندگی‌ام بوده است. از خانواده‌ی صبورم که با کمال رأفت و شفقت در همه‌ی دوران تحصیل پشتیبان و مشوقم بوده‌اند بینهایت سپاسگزارم. از زحمات استادار جمندم جناب آقای دکتر یاوری و راهنمایی دوستان عزیزم در آزمایشگاه مدارهای مجتمع دانشگاه صنعتی امیرکبیر، آقایان مهندس توحید موسی زاده، حسین پاک نیت و حسین مقامی و همچنین خانم مهندس سیده نداسید حسین زاده نهایت تشکر و قدردانی را دارم و از درگاه حق تعالی برای همگی توفیق روز افزون آرزومندم. از اساتید گران قدر آقای دکتر نبوی و آقای دکتر معتمدی که اساتید ناظر در دفاع این پایان نامه بودند نیز بسیار سپاسگزارم.

همچنین از کمیته‌ی نانو به دلیل تامین بخشی از امکانات مالی مورد نیاز برای انجام این پایان نامه کمال تشکر را دارم.

چکیده

امروزه با گسترش استانداردهای مخابرات بی‌سیم و کاهش بازدهی نسل‌های گذشته‌ی سیستم‌های سلولی در این استانداردها، نسل چهارم این سیستم‌ها وارد عرصه‌ی تکنولوژی شده است. هریک از فرستنده-گیرنده‌های[1] موجود در این نسل قادر به ارائه‌ی سرویس‌های مختلفی متناسب با چند استاندارد مخابراتی می‌باشد و یکی از بزرگترین چالش‌های طراحی این سیستم‌ها افزایش سازگاری آن‌ها با استانداردهای مختلف و به‌طور همزمان مجتمع‌سازی بیشتر آن‌ها است.

گیرنده‌های استاندارد چندگانه[2] از بلوک‌های مختلفی تشکیل شده‌اند که دارای قابلیت عملکرد در چندین استاندارد کاری می‌باشند. یکی از مهمترین بلوک‌های سازنده‌ی یک گیرنده‌ی مخابراتی، مبدل آنالوگ به دیجیتال[3] می‌باشد که نرخ نمونه‌برداری و دقت متفاوت آن در استانداردهای مختلف، طراحی این بلوک را با پیچیدگی‌های خاصی همراه کرده است. از میان انواع مبدل‌های آنالوگ به دیجیتال، مبدل‌های بیش‌نمونه‌بردار[4] انتخاب مناسبی برای کاربردهای استاندارد چندگانه می‌باشند زیرا این مبدل‌ها از یک‌سو قابلیت مصالحه بین سرعت و دقت را دارند و از سوی دیگر می‌توان به سادگی با تنظیم برخی پارامترهای آنها مانند نسبت بیش‌نمونه‌برداری و مرتبه‌ی شکل‌دهی نویز[5] و دقت کوانتایزر این مبدل‌ها را به شکل استاندارد چندگانه درآورد.

در این پایان‌نامه ابتدا یک جعبه‌ابزار[6] در نرم‌افزار MATLAB تحقق داده شده است که ساختار مدولاتور سیگما-دلتای استاندارد چندگانه مطلوب را با توجه به پهنای باند و دقت مورد نیاز گیرنده‌ی مخابراتی تخمین‌می‌زند. سپس یک مدولاتور بهینه‌ی استاندارد چندگانه برای پنج استاندارد مختلف مخابرات بی‌سیم معرفی گردیده و به کمک نرم‌افزارهای MATLAB و HSPICE در تکنولوژی ۹۰ نانومتر CMOS با منبع تغذیه‌ی یک ولت پیاده‌سازی شده است. این مدولاتور در استانداردهای جدید Wi-Fi وWiMAX[7] به ترتیب با پهنای‌باندهای ۱۱ و ۱۰ مگاهرتز دارای ساختار کسکید[8] ۲-۲ با دقت ۱۱ بیت و نسبت بیش‌نمونه‌برداری ۸ می‌باشد. در استاندارد WCDMA[9] که دارای پهنای‌باند ۱/۹۲ مگاهرتز می‌باشد مدولاتور به صورت کسکید ۱-۲ تبدیل شده و با نسبت بیش‌نمونه‌برداری ١٦، دقت ۱۲ بیت را ایجاد می‌کند. سرانجام در استانداردهای Bluetooth و GSM[10] با پهنای‌باندهای به‌ترتیب ۰/۵ و ۰/۲ مگاهرتز، مدولاتور به شکل مرتبه‌ی دوم به ترتیب با نسبت‌های بیش نمونه‌برداری ٦٤ و ۱۲۸بکار رفته و دارای دقت‌های ۱۲ و ١٤ بیت است.

کلمات کلیدی: مدولاتور سیگما-دلتا، مبدل آنالوگ به دیجیتال استاندارد چندگانه، ساختار با اعوجاج پایین، شکل‌دهی نویز

---

[1] Tranciever
[2] Multi-standard
[3] Analog to digital convereter
[4] Oversampling
[5] Noise-shaping
[6] Tololbox
[7] Worldwide Interoperability for Microwave Access
[8] Cascade
[9] Wideband Code Division Multiple Access
[10] Global System for Mobile Communications

فهرست مطالب

چکیده ..... أ
فهرست مطالب ..... ب
فهرست شکل‌ها ..... ه
فهرست جداول ..... ط
فصل اول : مقدمه ۱
۱-۱ انگیزه ۱
۱-۲ اهداف پایان‌نامه ۳
۱-۳ ساختار پایان‌نامه ٤
فصل دوم : مبدل‌های سیگما-دلتا ٥
۲-۱ مقدمه ٥
۲-۲ گیرنده‌های مخابراتی ٦
۲-۲-۱ گیرنده‌ی سوپرهترودین ۷
۲-۲-۲ گیرنده‌ی همودین ۷
۲-۲-۳ گیرنده‌ی با فرکانس میانی پایین ۸
۲-۲-۴ گیرنده‌ی با فرکانس میانی دیجیتال ۱۰
۲-۳ مبدل‌های داده‌ی آنالوگ به دیجیتال ۱۰
۲-۳-۱ نمونه‌برداری ۱۱
۲-۳-۲ کوانتیزاسیون ۱۲
۲-۳-۳ پارامترهای مقایسه مبدل‌ها ۱٤
۲-۴ مبدلهای بیش نمونه‌بردار ۱٥
۲-۵ مدولاتور سیگما-دلتای پایین‌گذر ۱۷
۲-۵-۱ مدولاتورهای سیگما-دلتای تک طبقه (تک حلقه‌ای) ۱۹
۲-۵-۱-۱ ساختار مدولاتور تک‌طبقه با مسیرهای فیدبک توزیع‌شده ۲۰
۲-۵-۱-۲ ساختار مدولاتور تک‌طبقه با مسیرهای پیش‌خور توزیع‌شده ۲۱
۲-۵-۲ مدولاتورهای سیگما-دلتای چندطبقه (چند حلقه‌ای) ۲۲
فصل سوم : جعبه‌ابزار msdelsig ۲٥
۳-۱ مقدمه ۲٥
۳-۲ پارامترهای سیستمی مدولاتورهای سیگما-دلتا ۲٦
۳-۲-۱ نسبت بیش‌نمونه‌برداری ۲٦

۳-۲-۲ مرتبه‌ی شکل‌دهی نویز ۲۶
۳-۲-۳ دقت کوانتایزر ۲۷
۳-۲-۴ بهره *NTF* در خارج از باند فرکانسی (H_inf) ۲۷
۳-۳ ساختارهای سیستمی اولیه ۲۸
۳-۴ نحوه‌ی عملکرد نرم‌افزار ۲۸
۳-۴-۱ الگوریتم اصلی ۲۹
۳-۴-۱-۱ انتخاب ساختار اصلی مدولاتور ۳۰
۳-۴-۱-۲ پیکربندی مجدد برای سایر استانداردها ۳۱
۳-۴-۱-۳ بهینه‌سازی برای باریک‌ترین پهنای‌باند ۳۱
۳-۴-۲ الگوریتم تخمین *NTF* ۳۱
۳-۴-۳ تخمین اندازه‌ی خازن‌ها ۳۲
۳-۴-۴ الگوریتم تخمین توان مصرفی ۳۳
۳-۴-۴-۱ بهره‌ی DC محدود تقویت‌کننده‌ی عملیاتی ۳۳
۳-۴-۴-۲ پهنای‌باند و سرعت چرخش محدود تقویت‌کننده‌ی عملیاتی ۳۵
۳-۵ نتایج شبیه‌سازی‌های انجام‌شده با استفاده از جعبه‌ابزار msdelsig ۴۰
۳-۶ استخراج مدولاتور بهینه برای کاربرد استاندارد چندگانه موردنظر ۴۱
فصل چهارم : طراحی سیستمی مدولاتور ۴۳
۴-۱ مقدمه ۴۳
۴-۲ ساختار سیستمی مدولاتور استاندارد چندگانه ۴۳
۴-۲-۱ ساختارهای تک‌حلقه‌ای مرتبه‌ی بالا ۴۴
۴-۲-۲ ساختارهای چند حلقه‌ای مرتبه‌ی بالا ۴۴
۴-۲-۳ ساختارهای SMASH ۴۴
۴-۲-۴ ساختار مورد استفاده در این پایان‌نامه ۴۶
۴-۳ استخراج *NTF* مطلوب ۴۷
۴-۴ بررسی اثر غیرایده‌آلی انتگرال‌گیر و اثر عدم تطبیق ۵۳
۴-۴-۱ اثر بهره‌ی محدود تقویت‌کننده‌ی عملیاتی ۵۳
۴-۴-۲ سوئینگ خروجی محدود تقویت‌کننده‌ی عملیاتی ۵۴
۴-۴-۳ اثر پهنای‌باند و سرعت‌چرخش محدود تقویت‌کننده‌ی عملیاتی ۵۵
۴-۴-۴ اثر عدم تطبیق ضرایب ۵۸
۴-۵ جمع‌بندی ۵۹

فصل پنجم : طراحی مداری مدولاتور ٦٢
۵-۱ مقدمه ٦٢
۵-۲ چالش‌های طراحی مدار در تکنولوژی‌های نانومتر ٦٢
۵-۳ مدارهای سوئیچ‌شونده‌ی خازنی ٦٣
۵-۴ ساختار مداری مدولاتور استاندارد چندگانه ٦٥
۵-۵ نویز ٦٩
۵-۵-۱ نویز حرارتی سوئیچ‌ها ٦٩
۵-۵-۲ نویز تقویت‌کننده‌ها ٧١
۵-۵-۳ خطای پرش کلاک ٧٢
۵-۶ تعیین اندازه‌ی خازن‌های مورد استفاده در مدولاتور ٧٢
۵-۶-۱ تعیین اندازه‌ی خازن نمونه‌برداری انتگرال‌گیر اول ٧٣
۵-۶-۲ تعیین اندازه‌ی خازن نمونه‌برداری انتگرال‌گیر دوم ٧٤
۵-۶-۳ تعیین اندازه‌ی خازن نمونه‌برداری انتگرال‌گیر سوم ٧٥
۵-۷ طراحی تقویت‌کننده‌ی عملیاتی ٧٦
۵-۸ طراحی کوانتایزر ٨١
۵-۸-۱ مدار پیش‌تقویت‌کننده ٨١
۵-۸-۲ مدار Latch ٨٣
۵-۸-۳ مدار SR-latch ٨٤
۵-۸-۴ نردبان مقاومتی ٨٥
۵-۹ طراحی سوئیچ ٨٦
فصل ششم : نتایج شبیه سازی ٩٠
۶-۱ مقدمه ٩٠
۶-۲ نتایج شبیه‌سازی نهایی ٩٠
۶-۲-۱ کف نویز ٩٠
۶-۲-۲ قدرت تفکیک ٩٤
۶-۲-۳ معیار شایستگی ٩٦
۶-۳ جمع‌بندی ١٠١
۶-۴ پیشنهادات ١٠١
مراجع ١٠٣

مراجع

[1] A. Silva, J. Guilherme, and N. Horta, “Reconfigurable multi-mode sigma–delta modulator for 4G mobile terminals,” Integration, the VLSI Journal, vol. 42, pp. 34–46, Jan. 2009.

[2] “A biography of Edwin H. Armstrong.” Available on: http://users.erols.com/oldradio

[3] B. Razavi, RF Microelectronics, Prentice Hall, 1998.

[4] B.R. Jose, and et al., “GA-based Optimization of a Fourth-order Sigma-delta Modulator for WLAN,” IEEE International Conference on Systems, Man and Cybernetics, pp. 1460 - 1464, 2008.

[5] L.J. Breems, and et al., “A 56mW CT Quadrature Cascaded SD Modulator with 77dB DR in a Near Zero-IF 20MHz Band,” International Solid-State Circuits Conf., Vol. 13, pp. 238 – 599, 2007.

[6] J.Sh Chiang, P.Ch Chou and T.H Chang, “Dual-Band Sigma-Delta Modulator for Wireless Receiver Applications,” IEICE Trans. Fundamentals, Vol.E87-A, No.2, February 2004.

[7] A. Savla, A. Ravindran and M. Ismail, “A Reconfigurable Low IF - Zero IF Receiver Architecture For Multi-Standard Wide Area WirelessNetworks,” ICECS, 2003.

[8] A.V. Oppenheim, R.W. Schafer, and J.R. Buck, Discrete-Time Signal Processing, Prentice Hall, 1999.

[9] M.R. Miller and C.S. Petrie, “ A Multibit Sigma–Delta ADC for Multimode Receivers,” IEEE Journal of solid-state circuits, Vol. 38, No. 3, March 2003

[10] A. Morgado et al., “Cascade sigma-delta modulator for low-voltage wideband applications,” Electronics Letters, vol. 43, no. 17, Aug. 2007.

[11] S. Norsworthy, R. Schreier, and G. C. Temes, Delta-Sigma data converters: Theory, design and simulation, IEEE Press, 1997.

[12] A. Morgado, R.d. Rio and J.M. de la Rosa, “A Low-Voltage Flexible Cascade Sigma-delta Modulator for Beyond-3G Wireless Telecom,” Midwest Symposium on Circuits and Systems, pp. 482 - 485, 2008.

[13] A. Morgado, R.D. Rio and J.M. de la Rosa, “Two Novel Cascade Sigma-Delta Modulators for Broadband Low-Voltage A/D Conversion” Midwest Symposium on Circuits and Systems, pp. 478 - 481, 2008.

[14] X. Yang, G. Chen, J. Cheng and H. Zhang, "S Novel Cascade Sigma-Delta Modulator Architecture for Broadband Applications," International Conference on ASIC, pp. 281 - 284, 2007.

[15] A. Gharbiya, and D. A. Johns, "On The Implementation of Input-Feedforward Delta-Sigma Modulators" IEEE Transactions on Circuits and Systems II, vol. 53, No. 6, Jun. 2006.

[16] M. Yavari, "MASH Sigma-Delta Modulators with Reduced Sensitivity to the Circuit Non-Idealities," IEEE International Symposium on Circuits and Systems, pp. 3126 – 3129, 2009.

[17] J. Silva, U. Moon, J. Steensgaard, and G. Temes, "Wideband low distortion delta-sigma ADC topology," Electronics Letters, Vol. 37, No. 12, pp. 737–738, Jun. 2001.

[18] B.R. Jose and et al , "Wideband Low-Distortion Sigma-Delta ADC for WLAN" , International Conference on Information and Communication Technology in Electrical Sciences, pp. 546 – 552, 2007.

[19] X.O Qiu, L. Siek, and K. Tiew, "System-level Design of a Delta-Sigma Modulator Target for Next Generation Wireless Application," IEEE International Symposium on Radio-Frequency Integration Technology, pp. 303 - 306 , 2009.

[20] J. Chen, Y. Ping Xu, "A novel noise-shaping DAC for multi-bit sigma–delta Modulator" IEEE Transaction on Circuits and Systems II, vol. 53, No. 5, pp. 344-348, May 2006.

[21] R. Schreier and G. C. Temes, Understanding delta-sigma data converters, IEEE Press/Wiley, 2005.

[22] A. Hamoui and K. Martin, "High-order multibit modulators and pseudo data weighted-averaging in low-oversampling sigma-delta ADCs for broad-band applications," IEEE Trans. Circuits Syst. I, Regular Papers, vol. 51, No. 1, pp. 72-85, Jan. 2004.

[23] Y. Fujimoto, Y. Kanazawa, P.L. Re, and K. Iizuka, " A 100 MS/s 4 MHz Bandwidth 70 dB SNR sigma-delta ADC in 90 nm CMOS," IEEE Journal of Solid-State Circuits, vol. 44, No. 6, Jun. 2009.

[24] Y. Ke et al., "A Design Methodology for Fully Reconfigurable Delta-Sigma Data Converters," Design, Automation & Test in Europe Conference & Exhibition, pp. 1379 - 1384, 2009.

[25] R. Castro-Lo´pez et al. , "Systematic top-down design of reconfigurable SD modulators for multi-standard transceivers", Springer J, Analog Integrated Circuits and Signal Processing, vol. 58, No. 3, pp. 227-241 , March, 2009

[26] N. Jouida, C. Rebai and A. Ghazel, and D. Dallet, “Top-down design process for continuous-time delta sigma modulators,” IEEE Design and Technology of Integrated Systems in Nanoscale Era Conf, pp. 1–5, Mar. 2008.

[27] Yi Ke et al., “A Design Approach for Power-Optimized Fully Reconfigurable Sigma-Delta A/D Converter for 4G Radios,” IEEE Transaction on Circuits and Systems II, Vol.. 55, No. 3, pp. 229 – 233, March. 2008.

[28] R. Castro-Lopez, et al., “Systematic top-down design of reconfigurable Sigma-Delta modulators for multi-standard transceivers,” Springer J, Analog Integrated Circuits and Signal Processing, vol. 58, Issue 3, pp. 227–241, March 2009.

[29] P. Malcovati et al., “Behavioral Modeling of Switched-Capacitor Sigma–Delta Modulators,” IEEE Trans. Circuits and Systems-I, vol. 50, no. 3, Mar. 2003.

[30] F. Maloberti, “Data converters” Springer, 2007.

[31] T. Christen, T. Burger, H. Qiuting, “ A 0.13µm CMOS EDGE/UMTS/WLAN Tri-Mode Delta Sigma ADC with -92dB THD,” International Solid-State Circuits Conf., Digest of Technical Papers, pp. 240 - 599, 2007.

[32] B. Jalali Farahani, M. Ismail, “A low power multi-standard sigma-delta ADC for WCDMA/GSM/Bluetooth applications,” The 2nd Annual IEEE Northeast Workshop on Circuits and Systems, pp. 241 - 243, 2004..

[33] T. Burger, H. Qiuting, “ A 13.5-mW 185-Msample/s SD Modulator for UMTS/GSM Dual-Standard IF Reception,” IEEE Journal of Solid-State Circuits, vol. 36, no. 12, pp. 1868 - 1878, 2001.

[34] A. Dezzani, E. Andre “A 1.2-V Dual-Mode WCDMA/GPRS Sigma-Delta Modulator,” International Solid-State Circuits Conf., Digest of Technical Papers, vol. 1, no. 3, pp. 58 - 59, 2003.

[35] A. Rusu, B.R Jose, M. Ismail, H. Tenhunen “Linearity Enhancement in a Configurable Sigma-Delta Modulator,” The 3rd International IEEE-NEWCAS Conf., pp. 59 – 62, 2005.

[36] L. Chai, X. Tan and H. Min “A Reconfigurable SD Modulator for Multi-Standard Wireless Application,” International Conference on Solid-State and Integrated-Circuit Technology, pp. 1917 - 1920 , 2008.

[37] G. Gomez, “A 1.5V 2.4/2.9mW 79/50dB DR Sigma-delta Modulator for GSM/WCDMA in a 0.13µm Digital Process,” International Solid-State Circuits Conf., Digest of Technical Papers, vol. 2, pp. 242 - 490, 2002.

[38] A. Xotta, A. Gerosa, A. Neviani, "A Multi-Mode Sigma-Delta Analog-to-Digital Converter for GSM, UMTS and WLAN," IEEE International Symposium on Circuits and Systems, vol. 3, pp. 2551 – 2554, 2005.

[39] A. Rusu, A. Borodenkov, M. Ismail and H. Tenhunen, 'A Triple-Mode Sigma-Delta Modulator for Multi-Standard Wireless Radio Receivers," Springer J., Analog Integrated Circuits and Signal Processing,, vol. 47, no. 2, pp. 113-124, May 2006.

[40] J. H. Shim et al., "A A Third-order ZA Modulator in 0.18pm CMOS with Calibrated Mixed-mode Integrators," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 78 – 81, 2004.

[41] N. Maghari, S. Kwon, G. C. Temes, and U. Moon, "Sturdy MASH D-S Modulator", Electronics. Letters, vol. 42, pp. 1269-1270, Oct. 2006.

[42] N. Maghari, S. Kwon, and U. Moon, "74dB SNDR Multi-Loop Sturdy-MASH Delta-Sigma Modulator Using 35dB Opamp Gain", IEEE Custom Integrated Circuits Conference, pp. 101 – 104. 2008.

[43] N. Maghari, S. Kwon, G. C. Temes, and U. Moon, "Mixed-Order Sturdy MASH sigma delta Modulator", IEEE International Symposium on Circuits and Systems, pp. 257 – 260, 2007.

[44] R. Schreier, The Sigma-Delta Toolbox, Delsig Matlab Toolbox, Version 7.1, 2004 Available: http://www.mathworks.com/matlabcentral/fileexchange/.

[45] D. Johns, K. Martin, Analog Integrated Circuit Design, Wiley India, ISBN 8126517786, 9788126517787, 2009.

[46] S. Rabii, and B. A. Wooley, The Design of Low-Voltage, Low-Power Sigma-Delta Modulators, Kluwer Academic Publishers, 1999.

[47] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill Higher Education, 2001.

[48] B.E. Jonsson, "Sampling Jitter in High-Speed SI Circuits,", IEEE International Symposium on Circuits and Systems, vol. 1, pp. 524-526, May 1998.

[49] V.F.Dias, G.Palmisano, and F.Maloberti, "Noise in mixed continuous-time switched-capacitor sigma-delta modulators," IEE Proceedings Circuits, Devices and Systems, vol.139, No.6, Dec. 1992.

[50] A. Yukawa, "A CMOS 8-Bit high-speed A/D converter IC," IEEE J. Solid-State Circuits, vol. SC-20, pp. 775-779, June 1985.

[51] A. M. Abo, “Design for Reliability of Low-Voltage Switched Capacitor Circuits,” PhD dissertation, Spring 1999.

[52] M. Dessouky and A. Kaiser, “Very low-voltage digital-audio SD modulator with 88- dB dynamic range using local switch bootstrapping,” IEEE Journal of Solid-State Circuits, vol. 36, no. 3, pp. 349–355, Mar. 2001.

[53] S. Rabii and B. A. Wooley, “A 1.8-V digital-audio sigma-delta modulator in 0.8-µm CMOS,” IEEE Journal of Solid-State Circuits, vol. 32, pp. 783–796, Jun. 1997.

[54] X. Chen, Y. Wang, Y. Fujimoto, P.L. Re, Y. Kanazawa, J. Steensgaard, and G. Temes, “A 18mW CT Delta-Sigma Modulator with 25MHz Bandwidth for Next Generation Wireless Applications,” IEEE Custom Intergrated Circuits Conference, pp. 73-76, 2007.

[55] A. Gerosa, A. Xotta, A. Bevilacqua, and A. Neviani, “An A/D Converter for MultimodeWireless Receivers, Based on the Cascade of a Double-Sampling Signa-Delta Modulator and a Flash Converter,” IEEE Trans. On circuits and systems, vol. 53, No. 10, 2006.

[56] Y. Y. Du, and K.T. Tiew, “A 1.8 V 64 MHz Delta-Sigma Modulator for Wideband and Multi-Standard Applications,” Symposium on Circuits and Systems, pp. 1368 - 1371, 2007.

[57] G. Bernardinis, F. Borghetti, V. Ferragina, A. Fornasari, U. Gatti, P. Malcovati, and F. Maloberti, “A Wide-Band 280-MHz Four-Path Time-Interleaved Bandpass Sigma–Delta Modulator,”" IEEE Trans. On circuits and systems, vol. 53, No. 7, July 2006.

[58] O. A. Adeniran, and A. Demosthenous, “Constant-Resistance CMOS Input Sampling Switch for GSM/WCDMA High Dynamic Range Sigma-Delta Modulators,” IEEE Trans. On Circuits and Systems I, vol. 55, No. 10, Nov. 2008.

[59] W.L. Yang, W.H. Hsieh, and C.C. Hung, “A Third-Order Continuous-Time Sigma-Delta Modulator for Bluetooth,” International Symposium on VLSI Design, Automation and Test, pp. 247 - 250, 2009.

[60] L. Bos, G. Vandersteen, J. Ryckaert, P. Rombouts, Y. Rolain, and G.V Plas “A Multirate 3.4-to-6.8mW 85-to-66dB DR GSM/Bluetooth/UMTS Cascade DT Sigma-Delta in 90nm Digital CMOS," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 176 - 177, 2009.

[61] J. Jarvinen, and K. Halonen “A 1.2V Dual-Mode GSM/WCDMA Delta-Sigma Modulator in 65nm CMOS,” IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 1972 - 1981, 2009.

[62] A. Morgado, R.D. Rio and J.M. de la Rosa., “Design of a 130-nm CMOS Reconfigurable Cascade Sigma-Delta Modulator for GSM/UMTS/Bluetooth,” IEEE International Symposium on Circuits and Systems, pp. 725 – 728, 2007.

[63] K. Vleugels, S. Rabii, B.A. Wooley “A 2.5V Broadband Multi-Bit Sigma-Delta Modulator with 95dB Dynamic Range”, IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 50 - 51, 428, 2001.

[64] K. Lee and G.C. Temes, “Enhanced split-architecture delta–sigma ADCs”, IEEE International Conference on Electronics, Circuits and Systems, pp. 427 – 430, 2008 .

[65] J. Sauerbrey, T. Tille, D. Schmitt-Landsiedel, and R. Thewes, “A 0.7-V MOSFET-only switched-opamp SD modulator in standard digital CMOS technology,” IEEE Journal of Solid-State Circuits, vol. 37, pp. 1662–1669, Dec. 2002.

[66] V. Cheung, H. Luong, M. Chan, and K. Wing-Hung, “A 1-V 3.5-mW CMOS switched-opamp quadrature IF circuitry for Bluetooth receivers,” IEEE Journal of Solid-State Circuits, vol. 38, pp. 805–816, May 2003.

[67] M. Yavari, O. Shoaei, and A. R. Vazquez: “Double-Sampling Single-Loop Sigma-Delta modulator topologies for Broad-band Applications”, IEEE Trans. On Circuits and Systems II, vol. 53, no. 4, Apr. 2006.

[68] Y. Kanazawa, Y. Fujimoto, P. Lo Re, and M. Miyamoto, “A 100-MS/s 4-MHz Bandwidth 77.3-dB SNDR Delta-Sigma ADC with a Triple Sampling Technique”, IEE Custom Integrated Circuits Conference, pp. 53 – 56, 2006

[69] Y. Wang, K. Lee, G. C. Temes, “A 2.5MHz BW and 78dB SNDR Delta-Sigma Modulator Using Dynamically Biased Amplifiers”, IEE Custom Integrated Circuits Conference, pp. 97 – 100, 2008.

[70] M. Yavari and O. Shoaei, “Low-voltage low-power fast settling CMOS operational transconductance amplifiers for switched-capacitor applications”, IEE Proceedings Circuits, Devices and Systems, vol. 151, No. 6, pp. 573-578, Dec. 2004.

[71] M. Yavari, O. Shoaei and A. Rodriguez-Vazquez, “Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation” Proceedings Design, Automation and Test in Europe, vol. 1, pp. 144-149, Mar. 2006.

Abstract

The limited success of previous generations of cellular systems and growth of wireless communication technologies forced the development of fourth generation (4G) with multimode terminals requiring reconfigurable building blocks to fulfill the requirements of each standard. One of the most challenging building blocks of a multimode tranceiver is the Analog-to-Digital Converter (ADC), which requires a wide range of sampling rates and dynamic ranges (DRs) to digitize the input signals of different standards covered by 4G radios. Switched-capacitor (SC) delta-sigma modulators (DSMs) are good candidates for reconfigurable ADCs to be used in these multi-standard communication systems because on one hand there is an inherent trade-off between speed and accuracy in these ADCs and on the other hand they can be easily programmed by adjusting some of their parameters, such as the oversampling ratio (OSR), noise shaping order (L) or quantizer resolution (b).
In this dissertation, a high-level synthesis MATLAB toolbox for reconfigurable delta-sigma ADCs used in multi-standard wireless communication terminals is introduced. Then an optimum multi-standard delta-sigma modulator for five different communication standards is proposed and simulated using MATLAB and HSPICE softwares in a 90 nm CMOS technology with 1 V power supply. The modulator is configured as cascade 2-2 in Wi-Fi and WiMAX standards with 11 and 10 MHz signal bandwidths which has 11 bits of resolution using an oversamplplign ratio of 8. For WCDMA standard, it is reconfigured to casdcade 2-1 with an oversampling ratio of 16 which produces 12 bit of resolution. Finally, for Bluetooth and GSM standards with signal bandwidths of 0.5 and 0.2 MHz, the modulator architecture changes to an order of two, single stage modulator with an oversampling ratio of 64 and 128 having 12 bit and 14 bit of resolution, respectively.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfilment of the requirements for the degree of
Master of Science in
Electrical Engineering

Design and Simulation of Sigma-Delta Modulators for Multi-Standard Communication Applications with 90 Nano-meter CMOS Technology

By:
Bentolhoda Seyedhossseinzadeh

Under Supervision of:
Dr. Mohammad Yavari

June 2010