University of Zanjan
Faculty of Engineering
Deparmrnt of Electrical Engineering

A thesis presented for the degree of
Ph.D. in Electrical Engineering

Digital Calibration of SAR Analog-to-Digital Converters

By
Hamidreza Mafi

Supervisors
Mostafa Yargholi
Mohammad Yavari

Advisor
Shahriar Mirabbasi

August 2019

دانشکدهٔ مهندسی

گروه مهندسی برق

پایان‌نامه جهت دریافت درجهٔ دکتری (Ph.D.)

در مهندسی برق – الکترونیک

کالیبراسیون دیجیتال برای مبدل‌های آنالوگ به دیجیتال SAR

تحقیق و نگارش:

حمیدرضا مافی

اساتید راهنما:

دکتر مصطفی یارقلی

دکتر محمد یاوری

استاد مشاور:

دکتر شهریار میرعباسی

شهریور ۹۸

بسم الله الرحمن الرحيم

دانشگاه زنجان

شماره : 41449/ آ/ م
تاریخ : 1398/05/01

صورتجلسه دفاع از پایان نامه دکترا

با تاييدات خداوند متعال و با استعانت از حضرت ولي عصر (عج) جلسه دفاع از پايان نامه دکترا

آقاي : **حميدرضا ماقي** رشته: **مهندسي برق گرايش الكترونيك** -**94452105**

تحت عنوان: **كالیبراسیون دیجیتال براي مبدل‌هاي آنالوگ به دیجیتال SAR**

در تاريخ **1398/06/07** با حضور هيات محترم داوران در دانشگاه زنجان برگزار گرديد و نظر هيات داوران به شرح زير مي باشد:

قبول (با درجه: عالی ---------- امتياز: ---۲۰---------) دفاع مجدد☐ مردود☐

1- عالی(20-19)
2- بسیار خوب(18-99/18)
3- خوب(17-99/16)
4- قابل قبول(15-99/14)

عضو هيات داوران	نام و نام خانوادگي	مرتبه علمي	امضاء
استاد راهنما	مصطفي يارقلي	دانشيار	
استاد راهنما	محمد ياوري	دانشيار	
استاد مشاور	شهريار مير عباسي	استاد	
استاد داور	محمد مصطفوي	استاديار	
استاد داور	سيروس طوفان	دانشيار	
استاد داور	حسين شمسي	دانشيار	

دکتر سید مرتضی حسینی
معاون آموزشی و تحصیلات تکمیلی دانشکده مهندسی

دکتر افشین توکلی
مدیر تحصیلات تکمیلی و استعدادهای درخشان

دانشگاه زنجان

تعهدنامه اصالت اثر

اینجانب حمیدرضا مافی متعهد می شوم که مطالب مندرج در این پایان نامه با عنوان "کالیبراسیون دیجیتال برای مبدل آنالوگ به دیجیتال SAR" حاصل کار پژوهشی اینجانب است و به دستاوردهای پژوهشی دیگران که در این پژوهش از آنها استفاده شده است، مطابق مقررات ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم سطح یا بالاتر ارائه نشده است. در صورت اثبات تخلف (در هر زمان) مدرک تحصیلی صادر شده توسط دانشگاه از اعتبار ساقط خواهد شد. کلیه حقوق مادی و معنوی این اثر متعلق به دانشگاه زنجان می باشد.

حمیدرضا مافی

امضا

تقدیم

به یاد پدر گرانقدرم، به مادر عزیزم تقدیم می‌نمایم.

تقدیر و تشکر

از زحمات و راهنمایی‌های اساتید ارجمندم جناب آقای دکتر یارقلی و جناب آقای دکتر یاوری و جناب آقای دکتر میرعباسی تقدیر و تشکر می‌نمایم.

چکیده

در این رساله، ابتدا راهکار پیشنهادی برای بهبود تفکیک‌پذیری مبدل خطلوله‌ای ارائه شده است. در روش پیشنهادی، از توزیع آماری ولتاژ باقی‌مانده برای تخمین پیوستهٔ خطای بهره و غیرخطینگی مرتبهٔ سوم ناشی از تقویت‌کنندهٔ باقی‌مانده استفاده شده است. در راهکار ارائه شده، این خطاها در حوزهٔ دیجیتال جبران‌سازی شده‌اند. برای تخمین و جبران‌سازی خطاها، روش پیشنهادی توزیع آماری سیگنال باقی‌ماندهٔ دیجیتال را ارزیابی و تصحیح می‌نماید. نتایج شبیه‌سازی برای مبدل خطلوله‌ای ۱۲ بیت آورده شده است. بر اساس شبیه‌سازی‌ها، تعداد نمونه‌های دیجیتال مورد نیاز برای هم‌گرایی تقریبا برابر با 5×10^{6} است. با جبران‌سازی توسط الگوریتم پیشنهادی، SNDR از ٤٩/٩ به ٧٠/٩ دسی‌بل افزایش می‌یابد.

در ادامهٔ پژوهش، روش پیشنهادی مبتنی بر آمار برای تصحیح عدم‌تطبیق آفست، بهره، و انحراف زمان‌بندی میان زیرمبدل‌ها در مبدل جاسازی در زمان ارائه شده است. در راهکار ارائه شده، عدم‌تطبیق آفست‌ها و بهره در حوزهٔ دیجیتال اندازه‌گیری و تصحیح شده و نیز عدم‌تطبیق انحراف زمان‌بندی در حوزهٔ دیجیتال اندازه‌گیری شده و در حوزهٔ آنالوگ تصحیح می‌گردد. با استفاده از این راهکار، SNDR و SFDR مبدل، به ترتیب، از ٣٣/٧ و ٣٤/٥ دسی‌بل قبل از جبران‌سازی به ٦١ و ٧٠/٢ دسی‌بل بعد از جبران‌سازی بهبود یافته‌اند.

در نهایت، راهکار پیشنهادی برای بهبود عملکرد مبدل SAR پیش‌بین ارائه شده است. بدین منظور، یک ساختار چندنرخی برای غبله بر محدودیت سرعت بخش دیجیتال مبدل SAR پیش‌بین ارائه شده و راهکاری برای افزایش تفکیک‌پذیری این مبدل با جبران‌سازی هم‌زمان خطاهای ناشی از عدم‌تطبیق خازنی پیشنهاد شده است. مبدل SAR با ساختار پیشنهادی در حالت تک‌نرخی دارای SFDR و SNDR، به ترتیب، برابر با ٦٣ و ٥٥/٤ دسی‌بل بدون جبران‌سازی عدم‌تطبیق خازنی و برابر با ٨٤/٧ و ٦٩/٣ دسی‌بل به همراه جبران‌سازی را داراست. همچنین، مبدل پیشنهادی مختلط دارای SFDR و SNDR، به ترتیب، برابر با ٦٦/٣ و ٥٣/٩ دسی‌بل بدون جبران‌سازی عدم‌تطبیق خازنی و برابر با ٨٢/٣ و ٦٩/١ دسی‌بل به همراه جبران‌سازی می‌باشد. در نهایت، مبدل پیشنهادی در حالت چندنرخی SFDR و SNDR، به ترتیب، برابر با ٦٢/٧ و ٥٥ دسی‌بل بدون جبران‌سازی عدم‌تطبیق خازنی و برابر با ٨٦/٣ و ٧٣/٣ دسی‌بل به همراه جبران‌سازی را داراست.

کلیدواژه‌ها: مبدل‌های آنالوگ به دیجیتال، جبران‌سازی، سیستم‌های تطبیقی، عدم‌تطبیق، پیش‌بینی.

فهرست مطالب

فصل ۱ پیش‌گفتار ۱

۱-۱ انگیزهٔ این پژوهش ۲

۱-۲ هدف از این رساله ۵

۱-۳ ساختار این رساله ٦

فصل ۲ مبدل‌های آنالوگ به دیجیتال ۷

۲-۱ تبدیل آنالوگ به دیجیتال ۸

۲-۲ آهنگ نمونه‌برداری ۸

۲-۲-۱ تفکیک‌پذیری مبدل آنالوگ به دیجیتال ۹

۲-۲-۲ ملاحظات نمونه‌بردار در مبدل آنالوگ به دیجیتال ۱۲

۲-۲-۳ ملاحظات ساعت در مبدل آنالوگ به دیجیتال ۱٤

۲-۲-٤ آفست، بهره و خطای نویز ۱۵

۲-۲-۵ مشخصهٔ ایستای مبدل آنالوگ به دیجیتال ۱٦

۲-۲-٦ مشخصهٔ پویای مبدل آنالوگ به دیجیتال ۱۸

۲-۳ ضریب شایستگی مبدل‌های آنالوگ به دیجیتال ۲۰

۲-٤ مروری بر مبدل‌های آنالوگ به دیجیتال ۲۳

۲-٤-۱ مبدل آنالوگ به دیجیتال فلش ۲۵

۲-٤-۲ مبدل‌های آنالوگ به دیجیتال خط‌لوله‌ای ۲٦

۲-٤-۳ مبدل‌های آنالوگ به دیجیتال فرانمونه‌بردار و شکل‌دهی نویز ۳۰

۲-٤-٤ راه‌کار جاسازی در زمان (TI) ۳۳

فصل ۳ بهبود دیجیتالی تفکیک‌پذیری مبدل آنالوگ به دیجیتال خط‌لوله‌ای ۳۸

۳-۱ مروری بر راهکارهای جبران‌سازی دیجیتالی نقص‌های تقویت‌کنندهٔ باقی‌مانده ۳۹

۳-۲ بررسی مختصر نحوهٔ تصحیح خطا و ویژگی‌های آماری مورد استفاده ٤۱

۳-۳ راهکار پیشنهادی برای تخمین در حوزهٔ دیجیتال ٤٧

۳-۳-۱ روش تخمین خطای بهره ٤٨

۳-۳-۲ روش تخمین غیرخطینگی مرتبهٔ سوم پیشنهادی ٥٠

۳-۳-۳ ساختار کامل و پیاده‌سازی الگوریتم تخمین ٥٤

۳-٤ نتایج شبیه‌سازی و بحث ٥٦

۳-٤-۱ محدودیت سیگنال ورودی ٦١

۳-٤-۲ سایر نقص‌های موجود در مبدل خط‌لوله‌ای ٦١

۳-٤-۳ نتیجه‌گیری و مقایسه با روش‌های مشابه ٦٢

فصل ٤ مبدل آنالوگ به دیجیتال ثبت تقریب‌های متوالی و راهکارهای بهبود عملکرد آن ٦٤

٤-۱ ساختار مبدل آنالوگ به دیجیتال ثبت تقریب‌های متوالی ٦٦

٤-۲ محدودیت‌های اصلی در مبدل‌های آنالوگ به دیجیتال ٧٠

٤-۲-۱ مبدل دیجیتال به آنالوگ و عدم‌تطبیق خازن‌ها ٧٠

٤-۲-۲ ملاحظات مربوط به مقایسه‌گر ٧١

٤-۲-۳ ملاحظات مربوط به بخش نمونه‌بردار ٧٦

٤-۳ راهکارهای بهبود عملکرد مبدل آنالوگ به دیجیتال ثبت تقریب‌های متوالی ٧٨

٤-۳-۱ بهبود تفکیک‌پذیری با فرانمونه‌برداری و شکل‌دهی خطای کوانتش ٧٩

٤-۳-۲ بهبود عدم‌تطبیق خازن‌ها با راهکارهای فرانمونه‌برداری و شکل‌دهی خطا ٨١

٤-۳-۳ افزایش آهنگ نمونه‌برداری با راهکار زیرشاخه ٨٢

٤-۳-٤ افزایش آهنگ نمونه‌برداری با روش چند بیت بر گام ٨٣

٤-۳-٥ افزایش آهنگ نمونه‌برداری با روش خط‌لوله‌ای ٨٥

٤-۳-٦ کاهش پیچیدگی آرایهٔ خازنی با روش پل‌خازنی ٨٦

٤-۳-۷ جبران عدم‌تطبیق آرایهٔ خازنی با استفاده از کالیبراسیون ٨٨

٤-۳-۸ افزایش آهنگ نمونه‌برداری با روش جاسازی در زمان ٩٠

٤-٤ روش پیشنهادی برای بهبود تفکیک‌پذیری مبدل جاسازی در زمان ٩١

٤-٤-۱ مروری بر راهکارهای جبران‌سازی عدم‌تطبیق در مبدل جاسازی در زمان ٩١

٤-٤-۲ راهکار پیشنهادی برای جبران‌سازی عدم‌تطبیق در مبدل جاسازی در زمان ٩٣

٤-٤-٣ نتایج شبیه‌سازی ١٠١
٤-٤-٤ نتیجه‌گیری و مقایسه با کارهای مشابه ١٠٤
فصل ٥ راهکارهای پیشنهادی مبتنی بر پیش‌بینی برای بهبود دیجیتالی عملکرد مبدل آنالوگ به دیجیتال SAR ١٠٦
٥-١ مروری بر مبدل‌های ثبت تقریب‌های متوالی با راهکار پیش‌بین ١٠٧
٥-٢ ساختار پیشنهادی برای مبدل ثبت تقریب‌های متوالی پیش‌بین ١١٢
٥-٣ مبدل پیشنهادی پیش‌بین SAR مختلط ١١٧
٥-٤ پیاده‌سازی بلوکی با راهکار چندنرخی ١٢١
٥-٥ بهبود تفکیک‌پذیری با استفاده از جبران‌سازی عدم‌تطبیق خازن‌ها ١٢٤
٥-٦ ساختار کامل مبدل پیشنهادی ١٢٧
٥-٧ نتایج شبیه‌سازی ١٢٨
٥-٧-١ شبیه‌سازی برای حالت تک‌نرخی ١٢٩
٥-٧-٢ شبیه‌سازی برای مبدل پیش‌بین SAR مختلط ١٣٣
٥-٧-٣ شبیه‌سازی برای حالت چندنرخی ١٣٨
٥-٨ بحث و نتیجه‌گیری ١٤٣
فصل ٦ نتیجه‌گیری و پیشنهادات ١٤٦
٦-١ نتیجه‌گیری از رساله ١٤٧
٦-٢ پیشنهادات برای کارهای آینده ١٤٨
پیوست‌ها ١٤٩
پیوست ١ تصدیق صحت مدل رفتاری مبدل پیش‌بین توسط طرح مداری ١٥٠
پیوست ٢ پایداری پالاینده‌های ADPM ١٦٣

فهرست جدول‌ها

جدول ۳-۱ ضرایب تقویت‌کنندهٔ باقی‌مانده و اندازهٔ پله‌ها. ٥٦
جدول ۳-۲ مقایسهٔ روش پیشنهادی با راهکارهای مشابه برای جبران‌سازی مبدل خطلوله‌ای. ٦٣
جدول ٤-۱ مقایسهٔ روش پیشنهادی با راهکارهای مشابه برای جبران‌سازی عدم‌تطبیق در مبدل TI-ADC. . ۱۰٥
جدول ٥-۱ مقایسهٔ مبدل پیشنهادی SAR پیش‌بین با مبدل‌های مشابه. ۱٤۳

فهرست شکل‌ها

شکل ۲-۱ ساختار عمومی مبدل آنالوگ به دیجیتال ۸
شکل ۲-۲ (الف): توزیع احتمالی خطای کوانتش، (ب): چگالی طیف توان سیگنال دیجیتال خروجی. ۱۱
شکل ۲-۳ ساختار عمومی مبدل آنالوگ به دیجیتال. ۱۱
شکل ۲-٤ مدل ساده شدهٔ بخش نمونه‌بردار. ۱۳
شکل ۲-۵ ساعت مبدل آنالوگ به دیجیتال در حالت‌های ایده‌آل، با لرزش‌های تصادفی، و انحراف زمانی. ۱۵
شکل ۲-٦ منحنی مشخصهٔ مبدل آنالوگ به دیجیتال (الف): با آفست، (ب): با خطای بهره. ۱٦
شکل ۲-۷ ساختار عمومی مبدل آنالوگ به دیجیتال به همراه آفست، خطای بهره، خطای کوانتش و نویز حرارتی. ۱٦
شکل ۲-۸ منحنی مشخصهٔ ورودی و خروجی مبدل آنالوگ به دیجیتال، (الف): با تفکیک‌پذیری بالا، (ب): با تفکیک‌پذیری ۳ بیت. ۱۷
شکل ۲-۹ نمونه‌ای از خطای غیرخطی تفاضلی (DNL) و خطای غیرخطی تجمعی (INL) اندازه‌گیری شده در [۷]. ۱۸
شکل ۲-۱۰ نمونه‌ای از FFT اندازه‌گیری شده برای اندازه‌گیری SFDR و SNDR در [۷]. ۱۸
شکل ۲-۱۱ بررسی مشخصه‌های پویای مبدل ارائه شده در مرجع [۷]. ۱۹
شکل ۲-۱۲ نسبت توان مصرفی به آهنگ نمونه‌برداری بر حسب SNDR [٤۲]. ۲۰
شکل ۲-۱۳ کارآمدی مبدل‌های آنالوگ به دیجیتال بر اساس ضریب شایستگی FOMs [٤۵]. ۲۲
شکل ۲-۱٤ شمار انواع مهم مبدل‌های داده منتشر شده در بین سال‌های ۱۹۹۷ و ۲۰۱٤ در همایش‌های ISSCC و VLSI [٤۳]. ۲٤
شکل ۲-۱۵ شمار مقاله‌های منتشر شده در کنفرانس‌های معتبر که ساختار جاسازی در زمان را در نظر گرفته‌اند [٤۳]. ۲٤
شکل ۲-۱٦ ساختار مبدل آنالوگ به دیجیتال فلش. ۲۵
شکل ۲-۱۷ نحوهٔ عملکرد مبدل آنالوگ به دیجیتال خط‌لوله‌ای. ۲٦
شکل ۲-۱۸ ساختار طبقه‌ای از مبدل آنالوگ به دیجیتال خط‌لوله‌ای. ۲۷

شکل ۲-۱۹ ساختار کلی مبدل آنالوگ به دیجیتال خط‌لوله‌ای. ۲۸
شکل ۲-۲۰ ساختار عمومی مبدل آنالوگ به دیجیتال فرانمونه‌بردار. ۳۰
شکل ۲-۲۱ طیف سیگنال خروجی دیجیتال با استفاده از فرانمونه‌برداری. ۳۰
شکل ۲-۲۲ ساختار نمونهٔ مبدل دلتا–سیگما مرتبهٔ اول. ۳۱
شکل ۲-۲۳ طیف سیگنال خروجی دیجیتال با استفاده از فرانمونه‌برداری و شکل‌دهی نویز. ۳۱
شکل ۲-۲٤ ساختار نمونهٔ مبدل دلتا–سیگمای مرتبهٔ دوم. ۳۳
شکل ۲-۲۵ ساختار عمومی مبدل آنالوگ به دیجیتال جاسازی در زمان. ۳٤
شکل ۲-۲٦ زمان‌بندی ساعت زیرمبدل‌های و مبدل جاسازی در زمان. ۳٤
شکل ۲-۲۷ احتمال حالت کم‌پایدار برحسب نسبت زمان تصمیم‌گیری به زمان بازتولید [٤۱]. ۳٦
شکل ۳-۱ ساختار مبدل خط‌لوله‌ای به همراه راهکار پیشنهادی جبران‌سازی. ٤۲
شکل ۳-۲ (الف) توزیع آماری خطای کوانتش SADC، (ب) توزیع آماری ولتاژ باقی‌مانده بدون وجود سیگنال جبران‌ساز، (ج) توزیع آماری ولتاژ باقی‌مانده برای $PN=+1$، و (د) توزیع آماری ولتاژ باقی‌مانده برای $PN=-1$. ٤۵
شکل ۳-۳ (الف) احتمال $P(V_{res,1}<-\Delta/2 \mid PN=+1)$، (ب) احتمال $P(V_{res,1}<\Delta/2 \mid PN=-1)$. ٤٦
شکل ۳-٤ توزیع آماری خطای سیگنال باقی‌ماندهٔ دیجیتال برای حالت (الف) $e_1<0$ و (ب) $e_1>0$. ٤۹
شکل ۳-۵ $J_{res}(.)$ به عنوان تابعی از e_3 و $V_{res,1}$ و همچنین $D_{res,1}$. ۵۱
شکل ۳-٦ توزیع آماری سیگنال باقی‌ماندهٔ دیجیتال برای حالت (الف) $e_3<0$ و حالت (ب) $e_3>0$. ۵۳
شکل ۳-۷ ساختار الگوریتم پیشنهادی برای جبران‌سازی خطاهای ناشی از تقویت‌کنندهٔ باقی‌مانده. ۵۵
شکل ۳-۸ ساختار مبدل خط‌لوله‌ای در شبیه‌سازی. ۵٦
شکل ۳-۹ چگالی طیف توان قبل و بعد از جبران‌سازی دیجیتال. ۵۷
شکل ۳-۱۰ INL و DNL مبدل خط‌لوله‌ای شبیه‌سازی شده قبل و بعد از جبران‌سازی دیجیتال. ۵۸
شکل ۳-۱۱ هم‌گرایی ENOB مبدل خط‌لوله‌ای شبیه‌سازی شده با سیگنال‌های مختلف ورودی. ۵۹
شکل ۳-۱۲ هم‌گرایی ضرایب تصحیح دیجیتال. ۵۹
شکل ۳-۱۳ هسیتوگرام ولتاژ باقی‌مانده و ولتاژ خروجی در طبقهٔ اول. ٦۰
شکل ۳-۱٤ هسیتوگرام سیگنال باقی‌مانده دیجیتال در طبقهٔ اول قبل و بعد از جبران‌سازی دیجیتال. ٦۰

شکل ۳-۱۵ هسیتوگرام سیگنال خروجی دیجیتال در طبقهٔ اول قبل و بعد از جبران‌سازی دیجیتال. ٦٠
شکل ٤-۱ کارآمدی مبدل‌های آنالوگ به دیجیتال بر اساس ضریب شایستگی FOMs بر حسب آهنگ نمونه‌برداری است [٤٥]. ٦٥
شکل ٤-۲ (الف): آهنگ نمونه‌برداری سه نوع مبدل برحسب سال، (ب): آهنگ نمونه‌برداری سه نوع مبدل با استفاده از راهکار جاسازی در زمان برحسب سال [٤٥]. ٦٦
شکل ٤-۳ نمای کلی مبدل آنالوگ به دیجیتال ثبت تقریب‌های متوالی [٥٩]. ٦٧
شکل ٤-٤ زمان‌بندی در مبدل ثبت تقریب‌های متوالی [٥٩]. ٦٨
شکل ٤-٥ مدار پایهٔ مقایسه‌گر پویا [٤٠]. ٧٢
شکل ٤-٦ مدار ساده شدهٔ ثبات. ٧٤
شکل ٤-٧ نمایش منطقهٔ کم‌پایدار [١٦]. ٧٥
شکل ٤-٨ مدار سادهٔ نمونه‌بردار به همراه کلید NMOS [٥٩]. ٧٧
شکل ٤-٩ مدار سادهٔ نمونه‌بردار به همراه کلیدهای NMOS، بخش بوت‌استراپینگ، و نمونه‌برداری صفحهٔ پایینی [٥٩]. ٧٨
شکل ٤-۱۰ مبدل SAR به همراه فرانمونه‌برداری و شکل‌دهی نویز مرتبهٔ اول [٦٢]. ٧٩
شکل ٤-۱۱ راهکار سادهٔ شکل‌دهی نویز [٦٢]. ٧٩
شکل ٤-۱۲ ساختار مبدل SAR برای رفع عدم‌تطبیق با استفاده از فرانمونه‌برداری و شکل‌دهی نویز [٣٣]. ٨١
شکل ٤-۱۳ ساختار مبدل SAR با راهکار زیرشاخه [٦٦]. ٨٣
شکل ٤-۱٤ ساختار مبدل SAR چند بیت در هر گام [٦٧]. ٨٤
شکل ٤-۱٥ ساختار مبدل SAR خط‌لوله‌ای [٦٨]. ٨٥
شکل ٤-۱٦ آرایهٔ خازنی با پل خازنی [٥]. ٨٦
شکل ٤-۱۷ جبران‌سازی دیجیتالی عدم‌تطبیق خازنی [٤]. ٨٨
شکل ٤-۱۸ تابع چگالی احتمال ورودی و سیگنال‌های خروجی دیجیتال زیرمبدل‌ها [٤٨]. ٩٤
شکل ٤-۱۹ تابع چگالی احتمال سیگنال تفاضلی برای دو فاصلهٔ زمانی مختلف [٤٨]. ٩٤
شکل ٤-۲۰ تابع چگالی احتمال سیگنال‌های خروجی دیجیتال زیرمبدل‌ها با عدم‌تطبیق آفست و بهره [٤٨]... ٩٤
شکل ٤-۲۱ جبران‌سازی دیجیتالی عدم‌تطبیق آفست و بهره [٤٨]. ٩٥

شکل ٤-٢٢ تابع چگالی احتمال سیگنال‌های تفاضلی با عدم‌تطبیق انحراف زمان‌بندی [٤٨]. ٩٥
شکل ٤-٢٣ جبران‌سازی دیجیتالی عدم‌تطبیق انحراف زمان‌بندی [٤٨]. ٩٦
شکل ٤-٢٤ اندازه‌گیری عدم‌تطبیق آفست و بهره [٤٨]. ٩٧
شکل ٤-٢٥ ساختار الگوریتم LMS برای جبران‌سازی آفست و بهره [٤٨]. ٩٨
شکل ٤-٢٦ مقایسه و اندازه‌گیری عدم‌تطبیق انحراف زمان‌بندی [٤٨]. ٩٩
شکل ٤-٢٧ ساختار الگوریتم LMS برای جبران‌سازی عدم‌تطبیق انحراف زمان‌بندی [٤٨]. ١٠٠
شکل ٤-٢٨ طیف توان سیگنال خروجی دیجیتال مبدل جاسازی در زمان در قبل و بعد از جبران‌سازی [٤٨]. ١٠٠
شکل ٤-٢٩ توزیع تابع‌های چگالی احتمال سیگنال‌های خروجی دیجیتال و تفاضلی در قبل و بعد از جبران‌سازی [٤٨]. ١٠١
شکل ٤-٣٠ توزیع تابع‌های چگالی احتمال سیگنال‌های خروجی دیجیتال و تفاضلی در قبل و بعد از جبران‌سازی [٤٨]. ١٠٢
شکل ٤-٣١ هم‌گرایی SNDR، و ضرایب $g_{d,i}$، $o_{d,i}$ و $t_{d,i}$ [٤٨]. ١٠٣
شکل ٤-٣٢ هم‌گرایی SNDR [٤٨]. ١٠٤
شکل ٥-١ مبدل SAR با راهکار پیش‌بین. ١١٠
شکل ٥-٢ مبدل SAR پیش‌بین پیشنهادی. ١١٢
شکل ٥-٣ مبدل SAR مختلط ارائه شده. ١١٧
شکل ٥-٤ پالایندهٔ مختلط ارائه شده. ١١٨
شکل ٥-٥ الگوریتم LMS مختلط. ١١٩
شکل ٥-٦ پیاده‌سازی چندنرخی پالایندهٔ FIR با کاهش نمونه‌برداری با نرخ کاهش ٢. ..... ١٢١
شکل ٥-٧ پیاده‌سازی چندنرخی الگوریتم LMS با کاهش آهنگ ٢ را نشان می‌دهد. ١٢٣
شکل ٥-٨ مبدل SAR ارائه شده به همراه بخش جبران‌سازی عدم‌تطبیق خازنی در حوزهٔ دیجیتال. ١٢٤
شکل ٥-٩ ساختار کامل مبدل SAR مختلط ارائه شده به همراه جبران‌سازی عدم‌تطبیق. ١٢٧
شکل ٥-١٠ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی SNDR و SFDR بدون جبران‌سازی عدم‌تطبیق. ١٢٩

شکل ۵-۱۱ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی SNDR و SFDR با جبران‌سازی عدم‌تطبیق. ۱۳۰
شکل ۵-۱۲ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی زمان هم‌گرایی با جبران‌سازی عدم‌تطبیق. ... ۱۳۰
شکل ۵-۱۳ طیف توان خروجی‌های مبدل ارائه شده بدون جبران‌سازی و به همراه جبران‌سازی عدم‌تطبیق خازنی. ۱۳۱
شکل ۵-۱٤ ضرایب پالایندهٔ FIR در هنگام عملکرد مبدل ارائه شده. ۱۳۱
شکل ۵-۱۵ وزن‌های جبران‌سازی عدم‌تطبیق خازنی در حوزهٔ دیجیتال قبل و بعد از فعال‌سازی جبران‌سازی. ۱۳۱
شکل ۵-۱٦ طیف توان خروجی‌های مبدل ارائه شده بدون جبران‌سازی و به همراه جبران‌سازی عدم‌تطبیق خازنی. ۱۳۲
شکل ۵-۱۷ ضرایب پالایندهٔ FIR در هنگام عملکرد مبدل ارائه شده. ۱۳۲
شکل ۵-۱۸ وزن‌های جبران‌سازی عدمتطبیق خازنی در حوزهٔ دیجیتال قبل و بعد از فعال‌سازی جبران‌سازی. ۱۳۲
شکل ۵-۱۹ نسبت پهنای بیشینهٔ پهنای باند ورودی به طول پالاینده. ۱۳۳
شکل ۵-۲۰ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی SNDR و SFDR بدون جبران‌سازی عدم‌تطبیق. ۱۳٤
شکل ۵-۲۱ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی SNDR و SFDR با جبران‌سازی عدم‌تطبیق. ۱۳۵
شکل ۵-۲۲ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی زمان هم‌گرایی با جبران‌سازی عدم‌تطبیق. ... ۱۳۵
شکل ۵-۲۳ طیف توان خروجی‌های مبدل ارائه شده بدون جبران‌سازی و به همراه جبران‌سازی عدم‌تطبیق خازنی. ۱۳۵
شکل ۵-۲٤ ضرایب پالایندهٔ FIR در هنگام عملکرد مبدل ارائه شده. ۱۳٦
شکل ۵-۲۵ وزن‌های جبران‌سازی عدم‌تطبیق خازنی در حوزهٔ دیجیتال قبل و بعد از فعال‌سازی جبران‌سازی. ۱۳٦
شکل ۵-۲٦ طیف توان خروجی‌های مبدل ارائه شده بدون جبران‌سازی و به همراه جبران‌سازی عدم‌تطبیق خازنی. ۱۳۷
شکل ۵-۲۷ ضرایب پالایندهٔ FIR در هنگام عملکرد مبدل ارائه شده. ۱۳۷

شکل ۵-۲۸ وزن‌های جبران‌سازی عدمتطبیق خازنی در حوزهٔ دیجیتال قبل و بعد از فعال‌سازی جبران‌سازی. ۱۳۸
شکل ۵-۲۹ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی SNDR و SFDR بدون جبران‌سازی عدم‌تطبیق. ۱۳۹
شکل ۵-۳۰ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی SNDR و SFDR با جبران‌سازی عدم‌تطبیق. ۱٤۰
شکل ۵-۳۱ نتیجهٔ شبیه‌سازی با روش مونته‌کارلو برای ارزیابی زمان هم‌گرایی با جبران‌سازی عدم‌تطبیق. ... ۱٤۰
شکل ۵-۳۲ طیف توان خروجی‌های مبدل ارائه شده بدون جبران‌سازی و به همراه جبران‌سازی عدم‌تطبیق خازنی. ۱٤۱
شکل ۵-۳۳ ضرایب پالایندهٔ FIR در هنگام عملکرد مبدل ارائه شده. ۱٤۱
شکل ۵-۳٤ وزن‌های جبران‌سازی عدم‌تطبیق خازنی در حوزهٔ دیجیتال قبل و بعد از فعال‌سازی جبران‌سازی. ۱٤۱
شکل ۵-۳۵ طیف توان خروجی‌های مبدل ارائه شده بدون جبران‌سازی و به همراه جبران‌سازی عدم‌تطبیق خازنی. ۱٤۲
شکل ۵-۳٦ ضرایب پالایندهٔ FIR در هنگام عملکرد مبدل ارائه شده. ۱٤۲
شکل ۵-۳۷ وزن‌های جبران‌سازی عدمتطبیق خازنی در حوزهٔ دیجیتال قبل و بعد از فعال‌سازی جبران‌سازی. ۱٤۲
شکل ۵-۳۸ نسبت پهنای بیشینهٔ پهنای باند ورودی به طول پالاینده‌ها. ۱٤۳

شکل پ-۱ مبدل SAR استفاده شده. ۱۵۲
شکل پ-۲ مولد سیگنال و سیگنال‌های ساعت مورد استفاده. ۱۵۳
شکل پ-۳ سیگنال‌های ساعت و کنترلی مورد استفاده در طرح مداری. ۱۵٤
شکل پ-٤ کلید نمونه‌بردار نوع N با راهکار بوت‌استراپ شده. ۱۵۵
شکل پ-۵ نحوهٔ هم‌گرایی ولتاژهای باقی‌ماندهٔ بخش‌های مثبت و منفی در روش افزایش یکنواخت. ۱۵٦
شکل پ-٦ ترانزیستورهای کلیدهای مورد استفاده در آرایه‌های خازنی بخش‌های مثبت و منفی. ۱۵٦
شکل پ-۷ مقایسه‌گر مورد استفاده. ۱۵۷

شکل پ-۸ ساختار استفاده شده برای تصدیق صحت مدل رفتاری و تنظیم ضرایب خازنی. ۱۵۹
شکل پ-۹ سیگنال ورودی. ۱۶۱
شکل پ-۱۰ سیگنال پیش‌بین. ۱۶۱
شکل پ-۱۱ خطای مدل‌سازی. ۱۶۲
شکل پ-۱۲ خطای مدل‌سازی. ۱۶۲
شکل پ-۱۳ هم‌گرایی انحراف ضرایب خازنی. ۱۶۲

اصطلاحات

ADC	Analog-to-digital Conversion
ADPM	Adaptive Digital Prediction Machine
BCR-DAC	Bridged Charge Redistribution DAC
CR-DAC	Charge Redistribution DAC
DAC	Digital-to-Analog Converter
DEM	Dynamic Element Matching
DNL	Differential Nonlinearity Error
DPM	Digital Prediction Machine
DSP	Digital Signal Processing
ENOB	Effective Number of Bits
FFT	Fast Fourier Transform
FIR	Finite Impulse Response
FOM	Figure of Merit
IIR	Infinite Impulse Response
INL	Integral Nonlinearity Error
LMS	Least Mean Squares
LSB	Least Significant Bit
MSB	Most Significant Bit
OSR	Over Sampling Ratio
pdf	Probability Density Function

PSD	Power Spectral Density
SAR ADC	Successive-Approximation-Register ADC
SFDR	Spurious Free Dynamic Range
SNDR	Signal-to-Noise and Distortion Ratio
SNR	Signal-to-Noise Ratio
TI-ADC	Time-Interleaved ADC

فرهنگ لغت‌های اساسی

پردازش تطبیقی سیگنال	Adaptive Signal Processing
مبدل آنالوگ به دیجیتال	Analog-to-Digital Converter (ADC)
پس‌زمینه	Background
جبران‌سازی، کالیبراسیون	Calibration
مبدل آنالوگ به دیجیتال بازتوزیعی	Charge-Redistribution DAC (CR-DAC)
مبتنی بر همبستگی	Correlation-Based
مبدل‌های داده	Data Converters
خطای غیرخطینگی تفاضلی	Differential Nonlinearity Error (DNL)
پردازش سیگنال‌های دیجیتال	Digital Signal Processing (DSP)
مبدل دیجیتال به آنالوگ	Digital-to-Analog Converter (DAC)
بیت‌های موثر	Effective Number of Bits (ENOB)
ضریب شایستگی	Figure of Merit (FOM)
پس‌زمینه	Foreground
خطای غیرخطینگی تجمعی	Integral Nonlinearity Error (INL)
عدم‌تطبیق	Mismatch
تابع چگالی احتمال	pdf
پالایندهٔ پیش‌بین	Prediction Filter
کوانتش	Quantization
کوانتش‌کننده	Quantizer

افزونگی	Redundancy
تفکیک‌پذیری	Resolution
نمونه‌برداری	Sampling
آهنگ نمونه‌برداری	Sampling Rate
نسبت سیگنال به نویز و اعوجاج	Signal-to-Noise and Distortion Ratio (SNDR)
نسبت سیگنال به نویز	Signal-to-Noise Ratio (SNR)
مبتنی بر پرش و پر کردن	Skip-and-Fill-Based
محدودهٔ پویای بدون مولفه	Spurious Free Dynamic Range (SFDR)
آمارگان، آمار	Statistics
مبتنی بر آمار	Statistics-Based
مبدل SAR زیرشاخه	Subranged SAR ADC
مبدل آنالوگ به دیجیتال ثبت تقریب‌های متوالی	Successive-Approximation-Register ADC (SAR ADC)
مبدل آنالوگ به دیجیتال جاسازی در زمان	Time-Interleaved ADC (TI-ADC)

مراجع

[1] M. El-Chammas and B. Murmann, "A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration," *IEEE Journal of Solid-State Circuits,* vol. 46, no. 4, pp. 838-847, 2011.

[2] M. Van Elzakker, E. van Tuijl, P. Geraedts, D. Schinkel, E. A. Klumperink, and B. Nauta, "A 10-bit Charge-Redistribution ADC Consuming 1.9 uW at 1 MS/s," *IEEE Journal of Solid-State Circuits,* vol. 45, no. 5, pp. 1007-1015, 2010.

[3] M. Ding, P. Harpe, Y.-H. Liu, B. Busze, K. Philips, and H. De Groot, "A 46 μW 13 b 6.4 MS/s SAR ADC With Background Mismatch and Offset Calibration," *IEEE Journal of Solid-State Circuits,* vol. 52, no. 2, pp. 423-432, 2017.

[4] D. Stepanovic and B. Nikolic, "A 2.8 GS/s 44.6 mW time-interleaved ADC achieving 50.9 dB SNDR and 3 dB effective resolution bandwidth of 1.5 GHz in 65 nm CMOS," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 4, pp. 971-982, 2013.

[5] Y. Zhu, C.-H. Chan, S.-S. Wong, U. Seng-Pan, and R. P. Martins, "Histogram-based ratio mismatch calibration for bridge-DAC in 12-bit 120 MS/s SAR ADC," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 24, no. 3, pp. 1203-1207, 2016.

[6] J. Liu, Y. Zhu, C.-H. Chan, S.-W. Sin, U. Seng-Pan, and R. P. da Silva Martins, "Uniform Quantization Theory-Based Linearity Calibration for Split Capacitive DAC in an SAR ADC," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 24, no. 7, pp. 2603-2607, 2016.

[7] S. Lee, A. P. Chandrakasan, and H.-S. Lee, "A 1 GS/s 10b 18.9 mW time-interleaved SAR ADC with background timing skew calibration," *IEEE Journal of Solid-State Circuits,* vol. 49, no. 12, pp. 2846-2856, 2014.

[8] J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW Pipelined ADC Using Dynamic Source Follower Residue Amplification," *IEEE Journal of Solid-State Circuits,* vol. 44, no. 4, pp. 1057-1066, 2009.

[9] Y.-C. Huang and T.-C. Lee, "A 10-bit 100-MS/s 4.5-mW Pipelined ADC With a Time-Sharing Technique," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 58, no. 6, pp. 1157-1166, 2011.

[10] J. K.-R. Kim and B. Murmann, "A 12-b, 30-MS/s, 2.95-mW pipelined ADC using single-stage class-AB amplifiers and deterministic background calibration," *IEEE Journal of Solid-State Circuits,* vol. 47, no. 9, pp. 2141-2151, 2012.

[11] B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE Journal of Solid-State Circuits,* vol. 38, no. 12, pp. 2040-2050, 2003.

[12] A. Panigada and I. Galton, "A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction," *IEEE Journal of Solid-State Circuits,* vol. 44, no. 12, pp. 3314-3328, 2009.

[13] B. D. Sahoo and B. Razavi, "A 12-Bit 200-MHz CMOS ADC," *IEEE Journal of Solid-State Circuits,* vol. 44, no. 9, pp. 2366-2380, 2009.

[14] R. Sehgal, F. van der Goes, and K. Bult, "A 12 b 53 mW 195 MS/s pipeline ADC with 82 dB SFDR using split-ADC calibration," *IEEE Journal of Solid-State Circuits,* vol. 50, no. 7, pp. 1592-1603, 2015.

[15] J. Shan, D. Manh Anh, Y. Kiat Seng, and L. Wei Meng, "An 8-bit 200-MSample/s Pipelined ADC With Mixed-Mode Front-End S/H Circuit," *IEEE Transactions on*

Circuits and Systems I: Regular Papers, vol. 55, no. 6, pp. 1430-1440, 2008.

[16] T. Sundstrom, C. Svensson, and A. Alvandpour, "A 2.4 GS/s, Single-Channel, 31.3 dB SNDR at Nyquist, Pipeline ADC in 65 nm CMOS," *IEEE Journal of Solid-State Circuits,* vol. 46, no. 7, pp. 1575-1584, 2011.

[17] A. Verma and B. Razavi, "A 10-bit 500-ms/s 55-mw cmos adc," *IEEE Journal of Solid-State Circuits,* vol. 44, no. 11, pp. 3039-3050, 2009.

[18] Y. Zhu, C.-H. Chan, and R. P. Martins, "A 10-bit 500-MS/s Partial-Interleaving Pipelined SAR ADC With Offset and Reference Mismatch Calibrations," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 25, no. 1, pp. 354-363, 2017.

[19] U. Eduri and F. Maloberti, "Online calibration of a Nyquist-rate analog-to-digital converter using output code-density histograms," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 51, no. 1, pp. 15-24, 2004.

[20] I. Galton, "Digital cancellation of D/A converter noise in pipelined A/D converters," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 47, no. 3, pp. 185-196, 2000.

[21] J. P. Keane, P. J. Hurst, and S. H. Lewis, "Background interstage gain calibration technique for pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 52, no. 1, pp. 32-43, 2005.

[22] H. Mafi, R. Mohammadi, and H. Shamsi, "A statistics-based digital background calibration technique for pipelined ADCs," *Integration, the VLSI Journal,* vol. 51, pp. 149-157, 2015.

[23] H. Mafi, M. Yavari, and S. S. Behzadi, "Digital background calibration of residue amplifier non-idealities in pipelined ADCs," *Circuits, Systems, and Signal Processing,* vol. 35, no. 10, pp. 3675-3699, 2016.

[24] H. Mafi, M. Yavari, and H. Shamsi, "Digital calibration of DAC unit elements mismatch in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 63, no. 1, pp. 34-45, 2016.

[25] J. A. McNeill, M. C. Coln, D. R. Brown, and B. J. Larivee, "Digital background-calibration algorithm for “Split ADC” architecture," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 56, no. 2, pp. 294-306, 2009.

[26] T. Moosazadeh and M. Yavari, "A Calibration Technique for Pipelined ADCs Using Self-Measurement and Histogram-Based Test Methods," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 62, no. 9, pp. 826-830, 2015.

[27] B. Murmann and B. E. Boser, "Digital domain measurement and cancellation of residue amplifier nonlinearity in pipelined ADCs," *Ieee transactions on instrumentation and measurement,* vol. 56, no. 6, pp. 2504-2514, 2007.

[28] A. Panigada and I. Galton, "Digital background correction of harmonic distortion in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 53, no. 9, pp. 1885-1895, 2006.

[29] N. Rakuljic and I. Galton, "Suppression of quantization-induced convergence error in pipelined ADCs with harmonic distortion correction," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 60, no. 3, pp. 593-602, 2013.

[30] N. Sun, "Exploiting process variation and noise in comparators to calibrate interstage gain nonlinearity in pipelined ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 59, no. 4, pp. 685-695, 2012.

[31] Y. Zhou, B. Xu, and Y. Chiu, "A 12 bit 160 MS/s two-step SAR ADC with background

bit-weight calibration using a time-domain proximity detector," *IEEE Journal of Solid-State Circuits,* vol. 50, no. 4, pp. 920-931, 2015.

[32] P. Harpe, E. Cantatore, and A. van Roermund, "A 10b/12b 40 kS/s SAR ADC with data-driven noise reduction achieving up to 10.1 b ENOB at 2.2 fJ/conversion-step," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 12, pp. 3011-3018, 2013.

[33] J. A. Fredenburg and M. P. Flynn, "A 90-MS/s 11-MHz-Bandwidth 62-dB SNDR Noise-Shaping SAR ADC," *IEEE Journal of Solid-State Circuits,* vol. 47, no. 12, pp. 2898-2904, 2012.

[34] P. J. Harpe, B. Busze, K. Philips, and H. de Groot, "A 0.47–1.6 mW 5-bit 0.5–1 GS/s time-interleaved SAR ADC for low-power UWB radios," *IEEE Journal of Solid-State Circuits,* vol. 47, no. 7, pp. 1594-1602, 2012.

[35] H. Wei *et al.*, "An 8-b 400-MS/s 2-b-per-cycle SAR ADC with resistive DAC," *IEEE Journal of Solid-State Circuits,* vol. 47, no. 11, pp. 2763-2772, 2012.

[36] R. Kapusta, J. Shen, S. Decker, H. Li, E. Ibaragi, and H. Zhu, "A 14b 80 MS/s SAR ADC With 73.6 dB SNDR in 65 nm CMOS," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 12, pp. 3059-3066, 2013.

[37] M. El-Chammas and B. Murmann, "General analysis on the impact of phase-skew in time-interleaved ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 56, no. 5, pp. 902-910, 2009.

[38] A. V. Oppenheim, *Discrete-time signal processing*. Pearson Education India, 2010.

[39] F. Maloberti, *Data converters*. Springer Science & Business Media, 2007.

[40] D. A. Johns and K. Martin, *Analog integrated circuit design*. John Wiley & Sons, 2008.

[41] B. Razavi, "Design Considerations for Interleaved ADCs," *IEEE Journal of Solid-State Circuits,* vol. 48, no. 8, pp. 1806-1817, 2013.

[42] B. Murmann, "ADC Performance Survey 1997-2016."

[43] B. Murmann, "The Race for the Extra Decibel: A Brief Review of Current ADC Performance Trajectories," *IEEE Solid-State Circuits Magazine,* vol. 7, no. 3, pp. 58-66, 2015.

[44] B. Murmann, "Energy limits in A/D converters," in *Faible Tension Faible Consommation (FTFC), 2013 IEEE*, 2013, pp. 1-4: IEEE.

[45] B. Murmann, "The successive approximation register ADC: a versatile building block for ultra-low-power to ultra-high-speed applications," *IEEE Communications Magazine,* vol. 54, no. 4, pp. 78-83, 2016.

[46] L. L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin, "Analog Circuit Design in Nanoscale CMOS Technologies," *Proceedings of the IEEE,* vol. 97, no. 10, pp. 1687-1714, 2009.

[47] S. Rapuano *et al.*, "ADC parameters and characteristics," *IEEE Instrumentation & Measurement Magazine,* vol. 8, no. 5, pp. 44-54, 2005.

[48] H. Mafi, M. Yargholi, and M. Yavari, "Digital blind background calibration of imperfections in time-interleaved ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 64, no. 6, pp. 1504-1514, 2017.

[49] H. Mafi, M. Yargholi, and M. Yavari, "Statistics-Based Digital Background Calibration of Residue Amplifier Nonlinearity in Pipelined ADCs," *IEEE Transactions on Circuits Systems I: Regular Papers,* vol. 65, no. 12, pp. 4097-4109, 2018.

[50] B. Zeinali, T. Moosazadeh, M. Yavari, and A. Rodriguez-Vazquez, "Equalization-based digital background calibration technique for pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 22, no. 2, pp. 322-333, 2014.

[51] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A Single Channel Split ADC Structure for Digital Background Calibration in Pipelined ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 25, no. 4, pp. 1563-1567, 2017.

[52] H. Adel, M. Sabut, and M.-M. Louerat, "Split ADC Based Fully Deterministic Multistage Calibration for High Speed Pipeline ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 62, no. 6, pp. 1481-1488, 2015.

[53] L. Brooks and H.-S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 55, no. 10, pp. 2969-2979, 2008.

[54] P. Gholami and M. Yavari, "Digital Background Calibration with Histogram of Decision Points in Pipelined ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs,* 2017.

[55] A. J. Ginés, E. Peralías, and A. Rueda, "Background digital calibration of comparator offsets in pipeline ADCs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 23, no. 7, pp. 1345-1349, 2015.

[56] L. Shi, W. Zhao, J. Wu, and C. Chen, "Digital background calibration techniques for pipelined ADC based on comparator dithering," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 59, no. 4, pp. 239-243, 2012.

[57] I. Ahmed, J. Mulder, and D. A. Johns, "A low-power capacitive charge pump based pipelined ADC," *IEEE Journal of Solid-State Circuits,* vol. 45, no. 5, pp. 1016-1027, 2010.

[58] Y. Oh and B. Murmann, "System embedded ADC calibration for OFDM receivers," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 53, no. 8, pp. 1693-1703, 2006.

[59] P. Harpe, "Successive Approximation Analog-to-Digital Converters: Improving Power Efficiency and Conversion Speed," *IEEE Solid-State Circuits Magazine,* vol. 8, no. 4, pp. 64-73, 2016.

[60] D. Zhang, C. Svensson, and A. Alvandpour, "Power consumption bounds for SAR ADCs," in *Circuit Theory and Design (ECCTD), 2011 20th European Conference on*, 2011, pp. 556-559: IEEE.

[61] B. Razavi and B. A. Wooley, "Design techniques for high-speed, high-resolution comparators," *IEEE journal of solid-state circuits,* vol. 27, no. 12, pp. 1916-1926, 1992.

[62] K. Kim, J. Kim, and S. Cho, "nth-order multi-bit ΣΔ ADC using SAR quantiser," *Electronics letters,* vol. 46, no. 19, pp. 1315-1316, 2010.

[63] B. G. Lee and S. G. Lee, "Input-tracking DAC for low-power high-linearity SAR ADC," *Electronics Letters,* vol. 47, no. 16, p. 911, 2011.

[64] Y.-S. Shu, L.-T. Kuo, and T.-Y. Lo, "An oversampling SAR ADC with DAC mismatch error shaping achieving 105 dB SFDR and 101 dB SNDR over 1 kHz BW in 55 nm CMOS," *IEEE Journal of Solid-State Circuits,* vol. 51, no. 12, pp. 2928-2940, 2016.

[65] S. M. Jamal, D. Fu, N.-J. Chang, P. J. Hurst, and S. H. Lewis, "A 10-b 120-Msample/s time-interleaved analog-to-digital converter with digital background calibration," *IEEE Journal of Solid-State Circuits,* vol. 37, no. 12, pp. 1618-1627, 2002.

[66] Y.-Z. Lin, C.-C. Liu, G.-Y. Huang, Y.-T. Shyu, and S.-J. Chang, "A 9-bit 150-MS/s 1.53-mW subranged SAR ADC in 90-nm CMOS," in *VLSI Circuits (VLSIC), 2010 IEEE Symposium on*, 2010, pp. 243-244: IEEE.

[67] B. Razavi, "A Tale of Two ADCs: Pipelined Versus SAR," *IEEE Solid-State Circuits*

Magazine, vol. 7, no. 3, pp. 38-46, 2015.
[68] C. C. Lee and M. P. Flynn, "A SAR-assisted two-stage pipeline ADC," *IEEE Journal of Solid-State Circuits,* vol. 46, no. 4, pp. 859-869, 2011.
[69] Y. Chen *et al.*, "Split capacitor DAC mismatch calibration in successive approximation ADC," *IEICE transactions on electronics,* vol. 93, no. 3, pp. 295-302, 2010.
[70] B. Razavi, *Design of analog CMOS integrated circuits*. McGraw-Hill Education, 2001.
[71] L. Kull *et al.*, "22.1 A 90GS/s 8b 667mW 64× interleaved SAR ADC in 32nm digital SOI CMOS," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International*, 2014, pp. 378-379: IEEE.
[72] J. Song, K. Ragab, X. Tang, and N. Sun, "A 10-b 800-MS/s Time-Interleaved SAR ADC With Fast Variance-Based Timing-Skew Calibration," *IEEE Journal of Solid-State Circuits,* vol. 52, no. 10, pp. 2563-2575, 2017.
[73] A. Bonnetat, J.-M. Hode, G. Ferre, and D. Dallet, "Correlation-Based Frequency-Response Mismatch Compensation of Quad-TIADC Using Real Samples," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 62, no. 8, pp. 746-750, 2015.
[74] A. Bonnetat, J.-M. Hode, G. Ferre, and D. Dallet, "An Adaptive All-Digital Blind Compensation of Dual-TIADC Frequency-Response Mismatch Based on Complex Signal Correlations," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 62, no. 9, pp. 821-825, 2015.
[75] J. Elbornsson, F. Gustafsson, and J.-E. Eklund, "Blind adaptive equalization of mismatch errors in a time-interleaved A/D converter system," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 51, no. 1, pp. 151-158, 2004.
[76] H.-K. Hong *et al.*, "An 8.6 ENOB 900MS/s time-interleaved 2b/cycle SAR ADC with a 1b/cycle reconfiguration for resolution enhancement," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International*, 2013, pp. 470-471: IEEE.
[77] H. Johansson, "A Polynomial-Based Time-Varying Filter Structure for the Compensation of Frequency-Response Mismatch Errors in Time-Interleaved ADCs," *IEEE Journal of Selected Topics in Signal Processing,* vol. 3, no. 3, pp. 384-396, 2009.
[78] D. Li, Z. Zhu, R. Ding, M. Liu, Y. Yang, and N. Sun, "A 10-bit 600-MS/s Time-Interleaved SAR ADC With Interpolation-Based Timing Skew Calibration," *IEEE Transactions on Circuits and Systems II: Express Briefs,* pp. 1-1, 2018.
[79] J. Li, S. Wu, Y. Liu, N. Ning, and Q. Yu, "A digital timing mismatch calibration technique in time-interleaved ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 61, no. 7, pp. 486-490, 2014.
[80] J. Matsuno, T. Yamaji, M. Furuta, and T. Itakura, "All-Digital Background Calibration Technique for Time-Interleaved ADC Using Pseudo Aliasing Signal," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 60, no. 5, pp. 1113-1121, 2013.
[81] Y. Qiu, Y.-J. Liu, J. Zhou, G. Zhang, D. Chen, and N. Du, "All-Digital Blind Background Calibration Technique for Any Channel Time-Interleaved ADC," *IEEE Transactions on Circuits and Systems I: Regular Papers,* pp. 1-12, 2018.
[82] B. Xu and Y. Chiu, "Comprehensive Background Calibration of Time-Interleaved Analog-to-Digital Converters," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 62, no. 5, pp. 1306-1314, 2015.
[83] Y. M. Greshishchev *et al.*, "A 40gs/s 6b adc in 65nm cmos," in *2010 IEEE International Solid-State Circuits Conference-(ISSCC)*, 2010, pp. 390-391: IEEE.

[84] K. Poulton, R. Neff, A. Muto, W. Liu, A. Burstein, and M. Heshami, "A 4 Gsample/s 8b ADC in 0.35/spl mu/m CMOS," in *2002 IEEE International Solid-State Circuits Conference. Digest of Technical Papers (Cat. No. 02CH37315)*, 2002, vol. 1, pp. 166-457: IEEE.

[85] S. Vitali, G. Cimatti, R. Rovatti, G. J. I. T. o. C. Setti, and S. I. E. Briefs, "Adaptive time-interleaved ADC offset compensation by nonwhite data chopping," vol. 56, no. 11, pp. 820-824, 2009.

[86] Y. Wang, H. Johansson, and H. Xu, "Adaptive Background Estimation for Static Nonlinearity Mismatches in Two-Channel TIADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 62, no. 3, pp. 226-230, 2015.

[87] C.-Y. Wang, J.-T. J. I. T. O. C. Wu, and S. I.-R. PAPERS, "A multiphase timing-skew calibration technique using zero-crossing detection," vol. 56, no. 6, pp. 1102-1114, 2009.

[88] H. Wei, P. Zhang, B. D. Sahoo, and B. J. I. J. o. S.-S. C. Razavi, "An 8 Bit 4 GS/s 120 mW CMOS ADC," vol. 49, no. 8, pp. 1751-1761, 2014.

[89] K. W. Rigby, R. G. Wodnicki, K. Sundaresan, and N. K. Rao, "Predictive analog-to-digital converter and methods thereof," ed: Google Patents, 2011.

[90] N. Wood and N. Sun, "Predicting ADC: A new approach for low power ADC design," in *Circuits and Systems Conference (DCAS), 2014 IEEE Dallas*, 2014, pp. 1-4: IEEE.

[91] S. S. Haykin, *Adaptive filter theory*. Pearson Education India, 2014.

[92] P. Vaidyanathan, "The theory of linear prediction," vol. 2, no. 1, pp. 1-184, 2007.

[93] H. Mafi, M. Yargholi, M. Yavari, and S. Mirabbasi, "Digital Calibration of Elements Mismatch in Multirate Predictive SAR ADCs " *IEEE Transactions on Circuits and Systems-I: Regular Papers,* 2019.

[94] Z. Yang and J. Van der Spiegel, "Extrapolating analog-to-digital converter," in *Circuits and Systems, 2005. 48th Midwest Symposium on*, 2005, pp. 847-850: IEEE.

[95] L. L. Lewyn, "Recursive multi-bit ADC with predictor," ed: Google Patents, 2000.

[96] C.-C. Liu and M.-C. Huang, "A 0.46 mW 5MHz-BW 79.7 dB-SNDR noise-shaping SAR ADC with dynamic-amplifier-based FIR-IIR filter," in *Solid-State Circuits Conference (ISSCC), 2017 IEEE International*, 2017, pp. 466-467: IEEE.

[97] J. Mitrovic, Y. Zhang, and Z. Ignjatovic, "Predictive Successive Approximation ADC," in *Circuits and Systems (ISCAS), 2018 IEEE International Symposium on*, 2018, pp. 1-5: IEEE.

[98] I. Volkov, S. Rumyantsev, and Y. M. Fokin, "High-speed, high-resolution analog-to-digital converter with prediction," *Russian Microelectronics,* vol. 40, no. 5, pp. 343-351, 2011.

[99] S. A. Jantzi, K. W. Martin, and A. S. J. I. J. o. S.-S. C. Sedra, "Quadrature bandpass/spl Delta//spl Sigma/modulation for digital radio," vol. 32, no. 12, pp. 1935-1950, 1997.

[100] T. Yi, C. Kuang-Wei, S. Gupta, J. Paramesh, and D. J. Allstot, "Cascaded Complex ADCs With Adaptive Digital Calibration for I/Q Mismatch," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 55, no. 3, pp. 817-827, 2008.

[101] R. Khoini-Poorfard, L. B. Lim, and D. A. Johns, "Time-interleaved oversampling A/D converters: Theory and practice," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 44, no. 8, pp. 634-645, 1997.

[102] J. Pham and A. C. Carusone, "A Time-Interleaved $\Delta\Sigma$-DAC Architecture Clocked at the Nyquist Rate," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 55, no. 9, pp. 858-862, 2008.

[103] D. Zhang and A. Alvandpour, "Analysis and calibration of nonbinary-weighted capacitive DAC for high-resolution SAR ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 61, no. 9, pp. 666-670, 2014.

[104] *40 nm Standard Cell ASIC*. Available: http://www.onsemi.com/PowerSolutions/content.do?id=17099

[105] B. C. Lim and M. J. I. T. o. V. L. S. I. S. Horowitz, "An Analog Model Template Library: Simplifying Chip-Level, Mixed-Signal Design Verification," vol. 27, no. 1, pp. 193-204, 2018.

[106] R. M. Hasani, D. Haerle, C. F. Baumgartner, A. R. Lomuscio, and R. Grosu, "Compositional neural-network modeling of complex analog circuits," in *2017 International Joint Conference on Neural Networks (IJCNN)*, 2017, pp. 2235-2242: IEEE.

[107] X. Li *et al.*, "Behavioral modeling for analog system-level simulation by wavelet collocation method," vol. 50, no. 6, pp. 299-314, 2003.

[108] L. Hedrich and E. Barke, "A formal approach to nonlinear analog circuit verification," in *Proceedings of the 1995 IEEE/ACM international conference on Computer-aided design*, 1995, pp. 123-127: IEEE Computer Society.

[109] R. M. Hasani, D. Haerle, and R. Grosu, "Efficient modeling of complex analog integrated circuits using neural networks," pp. 1-4: IEEE.

[110] C.-C. Liu, S.-J. Chang, G.-Y. Huang, and Y.-Z. Lin, "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure," *IEEE Journal of Solid-State Circuits,* vol. 45, no. 4, pp. 731-740, 2010.

Abstract

In this dissertation, a digital calibration technique is firstly proposed to improve the resolution of the pipelined ADCs. In the proposed method, the statistical distribution of the residue voltage is utilized to estimate the gain error and the third-order non-linearity ariasing from the residue amplifier. In the proposed method, these errors are compensated in the digital domain. To estimate and compensate for these errors, the proposed method evaluates and corrects the statistical distribution of the digital residue. The simulation results are presented for a 12-bit pipelined ADC. Based on these simulations, the number of digital samples required for convergence is approximately equal to 5×10^6. By exploiting the proposed mechanism, the SNDR is enhanced from 49.9 to 70.9 dB.

Additionaly, a statistics-based method is proposed to correct offset, gain, and time-skew mismatch between sub-ADCs in the time-interleaved ADC. In the proposed technique, the offset and gain mismatch is measured and corrected in the digital domain, and the time skew mismatch is measured in the digital domain and corrected in the analog domain. By employing this mechanism, SNDR and SFDR have been improved from 33.7 and 34.5 to 61 dB and 70.7 dB, respectively, after calibration.

Finally, a digital mechanism is proposed to improve the performance of the predictive SAR ADC. For this purpose, a multirate structure has been proposed to relieve the sampling-rate of the predictive SAR ADCs and to increase the resolution of this ADC by compensating for the errors caused by capacitive mismatch in the CR-DAC. The SFDR and SNDR of the proposed single-rate SAR ADC are 63 dB and 55 dB, respectively, before calibration and equal to 84.7 dB and 69.3 dB, respectively, after calibration. Also, the SFDR and SNDR of the proposed complex SAR ADC are equal to 66.3 dB and 53.9 dB, respectively, before calibration and identical to 82.3 dB and 69.1 dB, respectively, after calibbration. Finally, the SFDR and SNDR of the proposed multirate SAR ADC are equal to 62.7 dB and 55 dB, respectively, before calibration and equal to 86.3 dB and 73.73 dB, respectively, after calibration.

Keywords: Analog-to-digital converter, calibration, adaptive systems, mismatch, prediction.

University of Zanjan
Faculty of Engineering
Deparmrnt of Electrical Engineering

A thesis presented for the degree of
Ph.D. in Electrical Engineering

Digital Calibration of SAR Analog-to-Digital Converters

By
Hamidreza Mafi

Supervisors
Mostafa Yargholi
Mohammad Yavari

Advisor
Shahriar Mirabbasi

August 2019