Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Title of Thesis
Performance Improvement of Pipelined-SAR Analog-to-Digital Converters

By
Hamidreza Ebrahimnezhad
(93123010)

Supervisor
Dr. Mohammad Yavari

June 2017

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

گرایش الکترونیک

عنوان

بهبود عملکرد مبدل‌های آنالوگ به دیجیتال با معماری Pipelined-SAR

نگارش

حمیدرضا ابراهیم نژاد

(۹۳۱۲۳۰۱۰)

استاد راهنما

دکتر محمد یاوری

تیر ۱۳۹۶

به نام خدا

تاریخ:

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

این‌جانب حمیدرضا ابراهیم نژاد متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی این‌جانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آن‌ها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادرشده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

حمیدرضا ابراهیم نژاد

امضا

این پایان‌نامه را تقدیم می‌کنم ...

به پدر و مادر عزیز و مهربانم

که در سختی‌ها و دشواری‌های زندگی همواره یاوری

دلسوز و فداکار

و پشتیبانی محکم و مطمئن برایم بوده‌اند.

تشکر و قدردانی

از استاد ارجمند، جناب آقای دکتر محمد یاوری به‌عنوان استاد راهنما که بستر انجام هر چه دقیق‌تر این پژوهش را فراهم آورده‌اند، کمال تشکر و قدردانی را دارم. همچنین، از زحمات دوستانم در آزمایشگاه مدار مجتمع تشکر می‌نمایم که از تجربیات ارزشمند خود، بنده را بهره‌مند ساختند. ضمن آن‌که از جناب آقای دکتر کاتوزیان و جناب آقای دکتر معزی که زحمت داوری این پایان‌نامه را متقبل شدند، نهایت سپاسگزاری را دارم.

خداوند را به خاطر توفیق استفاده از محضر اساتید و دوستان گران‌قدر شاکرم و سربلندی و توفیق آنان را از خداوند منان مسئلت می‌نمایم.

حمیدرضا ابراهیم نژاد

تیر ۱۳۹۶

چکیده

در چند سال گذشته، برای کاهش توان مصرفی مبدل‌های آنالوگ به دیجیتال Pipeline، در ساختار Sub-ADC هر طبقه از مبدل‌های SAR به‌جای مبدل‌های Flash استفاده شده است. این کار موجب کاهش توان مصرفی، کاهش پیچیدگی پیاده‌سازی و کاهش مساحت اشغالی تراشه می‌گردد، ولی سرعت نمونه‌برداری نسبت به ساختارهای متداول کاهش می‌یابد که البته می‌توان آن را به کمک روش‌هایی نظیر چند کانالِ کردن مبدل‌ها تا حدود زیادی بهبود بخشید. در این پایان‌نامه، جهت افزایش سرعت مبدل آنالوگ به دیجیتال Pipelined-SAR از روش Time-Interleaved (TI) استفاده شده است. در این روش دو کانال تقریباً مجزا و مشابه در تولید بیت‌های دیجیتال خروجی نقش دارند. به‌کارگیری این روش موجب افزایش سرعت نمونه‌برداری مبدل آنالوگ به دیجیتال Pipelined-SAR گردیده و یکی از معایب این ساختار نسبت به مبدل آنالوگ به دیجیتال Pipeline را تا حد زیادی برطرف می‌سازد. همچنین با توجه به مشکل عدم تطبیق دو کانال، که ایراد اصلی TI کردن دو مبدل محسوب می‌شود، روشی پیشنهاد و پیاده‌سازی شده است که در آن ۴ بیت پرارزش هر ورودی آنالوگ، توسط یک مبدل آنالوگ به دیجیتال SAR ۴-بیتی مشترک بین دو کانال استخراج می‌شود و سایر بیت‌های دیجیتال توسط کانال اول و یا دوم تولید می‌گردند. به‌کارگیری این روش در کنار کاهش مساحت اشغالی و توان مصرفی مبدل، موجب می‌شود اثرات عدم تطبیق دو کانال تا حد زیادی رفع گردد. همچنین تقویت‌کننده سیگنال باقی‌مانده موجود در هر یک از کانال‌ها، به‌صورت مشترک بین دو کانال مورد استفاده قرار گرفته است که این امر علاوه بر کاهش اثرات عدم تطبیق کانال‌ها، موجب کاهش توان کل مصرفی مبدل آنالوگ به دیجیتال پیشنهادی می‌گردد. مبدل آنالوگ به دیجیتال پیشنهادی در تکنولوژی 90nm 1P9M CMOS با ولتاژ منبع تغذیه $1V$ در نرم‌افزار HSpice شبیه‌سازی شده است و در فرکانس نایکوئیست دارای SNDR = 69.35 dB، SFDR = 79.34 dB و معیار شایستگی مبدل FOM=31.43 fJ/conversion-step می‌باشد.

واژه‌های کلیدی:

مبدل آنالوگ به دیجیتال Pipelined-SAR، مبدل آنالوگ به دیجیتال Time-Interleaved، مبدل آنالوگ به دیجیتال Pipeline، مبدل آنالوگ به دیجیتال SAR.

فهرست مطالب

صفحه

۱ فصل اول: مقدمه..... ۱
۱-۱ مقدمه..... ۲
۱-۲ اهداف پایان‌نامه..... ۳
۱-۳ ساختار کلی پایان‌نامه..... ۴
۲ فصل دوم: مبدل‌های آنالوگ به دیجیتال و مشخصه‌های عملکردی آن..... ۶
۲-۱ اساس کار مبدل‌های آنالوگ به دیجیتال..... ۷
۲-۱-۱ فیلتر ضد تاشدگی..... ۸
۲-۱-۲ مدار نمونه‌بردار..... ۸
۲-۱-۳ کوانتایزر..... ۹
۲-۱-۴ فیلتر دیجیتال..... ۱۲
۲-۲ معیارهای عملکردی مبدل‌های آنالوگ به دیجیتال..... ۱۳
۲-۲-۱ پارامترهای استاتیکی..... ۱۳
۲-۲-۲ پارامترهای دینامیکی..... ۱۴
۲-۲-۳ ضریب شایستگی..... ۱۶
۲-۳ انواع مبدل‌های آنالوگ به دیجیتال نرخ نایکوئیست..... ۱۷
۲-۳-۱ مبدل آنالوگ به دیجیتال Flash..... ۱۷
۲-۳-۲ مبدل آنالوگ به دیجیتال Pipeline..... ۱۸
۲-۳-۳ مبدل آنالوگ به دیجیتال SAR..... ۲۱
۲-۳-۳-۱ مدار نمونه‌بردار و نگه‌دار..... ۲۳
۲-۳-۳-۲ مقایسه‌گر ولتاژ..... ۲۳
۲-۳-۳-۳ منطق SAR..... ۲۵
۳ فصل سوم: مروری بر مبدل‌های آنالوگ به دیجیتال Pipelined-SAR..... ۲۶
۳-۱ انگیزه ابداع مبدل‌های آنالوگ به دیجیتال Pipelined-SAR..... ۲۷
۳-۲ ساختارهای ارائه‌شده مبدل آنالوگ به دیجیتال Pipelined-SAR..... ۲۸
۳-۳ جمع‌بندی روش‌های ارائه‌شده..... ۳۹
۴ فصل چهارم: ساختار پیشنهادی نحوه کلید زنی آرایه خازنی در مبدل آنالوگ به دیجیتال SAR..... ۴۱
۴-۱ مقدمه..... ۴۲
۴-۲ معرفی روش پیشنهادی..... ۴۲
۵ فصل پنجم: ساختار پیشنهادی مبدل آنالوگ به دیجیتال Pipelined-SAR..... ۵۱

۵-۱ معرفی اجمالی روش پیشنهادی ۵۲
۵-۲ بهینه‌سازی دقت طبقات مبدل آنالوگ به دیجیتال Pipelined-SAR پیشنهادی ۵۳
۵-۲-۱ بهینه‌سازی دقت طبقات بر اساس افزایش خطینگی ۵۴
۵-۲-۲ بهینه‌سازی دقت طبقات بر اساس کاهش توان مصرفی ۵۵
۵-۲-۳ بهینه‌سازی دقت طبقات بر اساس کاهش نویز ۵۷
۵-۳ ساختار کلی مبدل آنالوگ به دیجیتال Pipelined-SAR پیشنهادی ۵۹
۵-۳-۱ طراحی و پیاده‌سازی طبقه اول ۶۱
۵-۳-۱-۱ طراحی و پیاده‌سازی مدار نمونه‌بردار و نگه‌دار ۶۳
۵-۳-۱-۲ طراحی و پیاده‌سازی مقایسه‌گر ولتاژ ۶۶
۵-۳-۲ طراحی و پیاده‌سازی طبقه بهره ۷۱
۵-۳-۲-۱ انتخاب ساختار، طراحی و شبیه‌سازی تقویت‌کننده حلقه باز ۷۳
۵-۳-۳ طراحی و پیاده‌سازی طبقه دوم ۸۱

۶ فصل ششم: نتایج شبیه‌سازی مبدل آنالوگ به دیجیتال پیشنهادی ۸۸

۶-۱ شبیه‌سازی مداری ۸۹

۷ فصل هفتم: جمع‌بندی، نتیجه‌گیری و پیشنهادات ۹۳

۷-۱ نتیجه‌گیری ۹۴
۷-۲ پیشنهادات ۹۵

۸ فصل هشتم: منابع و مراجع ۹۶

فهرست شکل‌ها

صفحه

شکل (۲–۱): نمودار بلوکی مبدل آنالوگ به دیجیتال ۷
شکل (۲–۲): ساده‌ترین مدار نمونه‌بردار (مدار نمونه‌بردار و نگه‌دارنده) ۹
شکل (۲–۳): مدل‌سازی بلوک کوانتایزر ۱۰
شکل (۲–۴): منحنی انتقالی یک کوانتایزر n بیتی ۱۰
شکل (۲–۵): خطای کوانتیزاسیون برحسب سیگنال ورودی ۱۱
شکل (۲–۶): (الف) منحنی انتقال ایده آل (ب) خطای آفست (ج) خطای بهره (د) غیر خطینگی DNL و INL. ۱۵
شکل (۲–۷): مبدل آنالوگ به دیجیتال Flash با دقت n بیت ۱۸
شکل (۲–۸): مبدل آنالوگ به دیجیتال Pipeline با دقت n بیت ۲۰
شکل (۲–۹): مبدل آنالوگ به دیجیتال SAR با دقت n بیت ۲۲
شکل (۲–۱۰): مدل ساختاری مدار نمونه‌بردار و نگه‌دار ۲۳
شکل (۲–۱۱): (الف) نماد مقایسه‌گر ولتاژ (ب) مشخصه مقایسه‌گر ایده آل (ج) مشخصه مقایسه‌گر غیر ایده آل. ۲۴
شکل (۲–۱۲): ساختار داخلی مقایسه‌گر ولتاژ متداول ۲۴
شکل (۳–۱): نمودار بلوکی مبدل آنالوگ به دیجیتال Pipelined-SAR ارائه‌شده در [۲] ۲۹
شکل (۳–۲): نمودار بلوکی مبدل آنالوگ به دیجیتال SAR طبقه دوم ۳۰
شکل (۳–۳): ساختار تقویت‌کننده طبقه بهره و نمودار زمان‌بندی مربوط ۳۱
شکل (۳–۴): نمودار بلوکی مبدل آنالوگ به دیجیتال Pipelined-SAR ارائه‌شده در [۳] ۳۲
شکل (۳–۵): ساختار MDAC ۶-بیتی طبقه اول با پیاده‌سازی بهره نصف و نمودار زمان‌بندی مربوط ۳۳
شکل (۳–۶): نمودار بلوکی مبدل آنالوگ به دیجیتال Pipelined-SAR ارائه‌شده در [۴] ۳۴
شکل (۳–۷): نمودار بلوکی مبدل آنالوگ به دیجیتال Pipelined-SAR ارائه‌شده در [۱] ۳۴
شکل (۳–۸): ساختار مبدل آنالوگ به دیجیتال SAR ۴-بیتی طبقه اول و تقویت‌کننده باقی‌مانده ۳۵
شکل (۳–۹): مبدل آنالوگ به دیجیتال SAR طبقه دوم با روشSplit-Capacitor DAC ۳۶
شکل (۳–۱۰): نمودار بلوکی مبدل آنالوگ به دیجیتال Pipelined-SAR ارائه‌شده در [۶] ۳۷
شکل (۳–۱۱): ساختار تقویت‌کننده باقی‌مانده ۳۷
شکل (۳–۱۲): نمودار بلوکی مبدل آنالوگ به دیجیتال Pipelined-SAR ارائه‌شده در [۹] ۳۸
شکل (۳–۱۳): نمودار بلوکی طبقه اول با روش پیشنهادی برای کاهش انرژی کلیدزنی مبدل ۳۸
شکل (۳–۱۴): تقویت‌کننده باقی‌مانده با مدار تشخیص مدمشترک جهت تعیین زمان انتگرال‌گیری ۳۹
شکل (۴–۱): نمودار بلوکی مبدل آنالوگ به دیجیتال SAR N-بیتی پیشنهادی ۴۴
شکل (۴–۲): روندنمای الگوریتم روش کلیدزنی پیشنهادی در مبدل SAR N-بیتی ۴۶

شکل (۴–۳): شکل موج ولتاژ خروجی DAC در فاز استخراج بیت های کم ارزش (n=5) ۴۷
شکل (۴–۴): نمودار DNL و INL در مبدل SAR ۱۰-بیتی پیشنهادی ۴۸
شکل (۴–۵): نمودار انرژی کلیدزنی به ازای تغییرات n در مبدل SAR ۱۰-بیتی پیشنهادی ۴۸
شکل (۴–۶): نمودار انرژی کلیدزنی به ازای تغییر کد دیجیتال خروجی در مبدل SAR ۱۰-بیتی پیشنهادی ۴۹
شکل (۵–۱): نمودار بلوکی مبدل آنالوگ به دیجیتال Pipelined-SAR متداول و زمان‌بندی آن ۵۳
شکل (۵–۲): مدل معادل MDAC طبقه اول ۵۶
شکل (۵–۳): توان مصرفی MDAC طبقه اول برحسب M_1 ۵۷
شکل (۵–۴): نویز ارجاع داده‌شده به ورودی برحسب M_1 ۵۸
شکل (۵–۵): نمودار بلوکی مبدل آنالوگ به دیجیتال با معماری Pipelined-SAR پیشنهادی ۵۹
شکل (۵–۶): نمودار زمان‌بندی مبدل آنالوگ به دیجیتال پیشنهادی ۶۰
شکل (۵–۷): ساختار داخلی طبقه اول مبدل آنالوگ به دیجیتال پیشنهادی ۶۱
شکل (۵–۸): مفهوم اصلی سوئیچ بوت استرپ ۶۴
شکل (۵–۹): ساختار داخلی سوئیچ بوت استرپ ۶۵
شکل (۵–۱۰): طیف ولتاژ خروجی سوئیچ بوت استرپ ۶۶
شکل (۵–۱۱): ساختار مقایسه‌گر پویا با سرعت‌بالا و توان مصرفی کم ۶۷
شکل (۵–۱۲): آزمون Overdrive مقایسه‌گر طراحی‌شده ۶۸
شکل (۵–۱۳): زمان‌بندی کارکرد مقایسه‌گرهای روش ارائه‌شده با مقایسه‌گر روش متداول ۶۹
شکل (۵–۱۴): ساختار گیت AND ۷۰
شکل (۵–۱۵): ساختار گیت XNOR ۷۱
شکل (۵–۱۶): ساختار تقویت‌کننده ۷۳
شکل (۵–۱۷): ساختار تقویت‌کننده‌های کمکی (الف) GB_n (ب) GB_p ۷۴
شکل (۵–۱۸): ساختار نیم مدار تفاضلی تقویت‌کننده ۷۵
شکل (۵–۱۹): نمودار بهره تقویت‌کننده کلی ۷۸
شکل (۵–۲۰): نمودار فاز تقویت‌کننده کلی ۷۸
شکل (۵–۲۱): ساختار مدار CMFB سوئیچ شونده خازنی ۷۹
شکل (۵–۲۲): ساختار مدار بایاس تقویت‌کننده اصلی ۸۰
شکل (۵–۲۳): مدل‌سازی طبقه بهره ۸۱
شکل (۵–۲۴): ساختار مبدل آنالوگ به دیجیتال SAR ۶-بیتی طبقه دوم ۸۲
شکل (۵–۲۵): ساختار کلید S پیاده‌سازی شده با گیت انتقالی ۸۳
شکل (۵–۲۶): قاعده تصحیح خطای دیجیتال با توجه به یک بیت افزونگی ۸۶
شکل (۵–۲۷): بیت‌های دیجیتال خروجی ۸۷
شکل (۶–۱): طیف خروجی مبدل پیشنهادی به ازای فرکانس ورودی f_{in} = 3.6010742 MHz ۹۰
شکل (۶–۲): مقادیر SFDR و SNDR برحسب فرکانس ورودی ۹۰

فهرست جدول‌ها

صفحه

جدول (۴-۱): مقایسه عملکردی روش های کلید زنی ارائه شده در یک مبدل SAR ۱۰-بیتی..... ۵۰
جدول (۵-۱): بهینه‌سازی انتخاب دقت طبقه اول..... ۵۸
جدول (۵-۲): ابعاد ترانزیستور سوئیچ بوت استرپ..... ۶۵
جدول (۵-۳): ابعاد مقایسه‌گر طراحی‌شده..... ۶۹
جدول (۵-۴): مشخصات عملکردی مقایسه‌گر طراحی‌شده..... ۷۰
جدول (۵-۵): ابعاد گیت AND و XNOR طراحی‌شده..... ۷۱
جدول (۵-۶): ابعاد تقویت‌کننده طراحی‌شده..... ۷۷
جدول (۵-۷): مشخصات عملکردی تقویت‌کننده کلی..... ۷۹
جدول (۵-۸): ابعاد مدار بایاس تقویت‌کننده اصلی..... ۸۰
جدول (۵-۹): ابعاد کلید S پیاده‌سازی شده با گیت انتقالی..... ۸۳
جدول (۵-۱۰): روند استخراج ۴ بیت پرارزش در مبدل SAR ۴-بیتی..... ۸۴
جدول (۵-۱۱): روند استخراج ۳ بیت کم‌ارزش طبقه اول توسط مبدل SAR ۷-بیتی..... ۸۵
جدول (۵-۱۲): نحوه استخراج ۶ بیت کم‌ارزش خروجی کل توسط مبدل SAR ۶-بیتی طبقه دوم..... ۸۶
جدول (۶-۱): خلاصه عملکرد مبدل پیشنهادی..... ۹۱
جدول (۶-۲): مقایسه مبدل طراحی‌شده با سایر کارها..... ۹۲

اختصارنامه

ADC: Analog-to-Digital Converter

CMOS: Complementary Metal-Oxide-Semiconductor

DAC: Digital-to-Analog Converter

DNL: Differential Non-Linearity

DR: Dynamic Range

ENOB: Effective Number of Bits

FFT: Fast Fourier Transform

FoM: Figure of Merit

IC: Integrated Chip

INL: Integral Non-Linearity

LSB: Least Significant Bit

NMOS: N Type CMOS Transistor

MDAC: Multiplying DAC

MSB: Most Significant Bit

PMOS: P Type CMOS Transistor

SAR: Successive Approximation Register

SFDR: Spurious Free Dynamic Range

S/H: Sample and Hold

SNDR: Signal to Noise and Distortion Ratio

SNR: Signal to Noise Ratio

T/H: Track and Hold

THD: Total Harmonic Distortion

TI: Time-Interleaved

واژه‌نامه

Anti-Aliasing Filter	فیلتر ضد تاشدگی
Band-Width	پهنای باند
Boltzmann Constant	ثابت بولتزمن
Common-Mode Feedback	پس‌خورد حالت مشترک
Digital-to-Analog Converter	مبدل دیجیتال به آنالوگ
Dynamic	پویا
Dynamic Range	محدوده پویایی
Figure of Merit	معیار شایستگی
Full Scale	تمام مقیاس
Nyquist-Rate Converters	مبدل‌های نرخ نایکوئیست
Offset	آفست
Over Sampling	بیش نمونه‌برداری
Signal to Noise and Distortion Ratio	نسبت سیگنال به نویز و اعوجاج
Signal to Noise Ratio	نسبت سیگنال به نویز
Static	ایستا
Total Harmonic Distortion	مجموع اعوجاج هارمونیکی

۸

فصل هشتم:

منابع و مراجع

[1] X. Shen, H. Zhou, H. Chen, F. Ye, N. Li, and J. Ren, “A 12-bit 100-MSps pipelined-SAR ADC with a time-interleaved second-stage,” in *Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference on*, 2014, pp. 1–3.

[2] M. Furuta, M. Nozawa, and T. Itakura, “A 0.06 mm 2 8.9 b ENOB 40MS/s pipelined SAR ADC in 65nm CMOS,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, 2010, vol. 41, no. 12, pp. 382–383.

[3] C. C. Lee and M. P. Flynn, “A SAR-Assisted Two-Stage Pipeline ADC,” *IEEE J. Solid-State Circuits*, vol. 46, no. 4, pp. 859–869, Apr. 2011.

[4] Y. Jeon *et al.*, “A 9.15 mW 0.22 mm 2 10b 204MS/s pipelined SAR ADC in 65nm CMOS,” in *Custom Integrated Circuits Conference (CICC), 2010 IEEE*, 2010, pp. 1–4.

[5] Y. Zhu, C.-H. Chan, S.-W. Sin, U. Seng-Pan, R. P. Martins, and F. Maloberti, “A 50-fJ 10-b 160-MS/s pipelined-SAR ADC decoupled flip-around MDAC and self-embedded offset cancellation,” *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2614–2626, 2012.

[6] V. Tripathi and B. Murmann, “A 160 MS/s, 11.1 mW, single-channel pipelined SAR ADC with 68.3 dB SNDR,” in *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference*, 2014, pp. 1–4.

[7] Y. Lim and M. P. Flynn, “A 1 mW 71.5 dB SNDR 50 MS/s 13 bit Fully Differential Ring Amplifier Based SAR-Assisted Pipeline ADC,” *IEEE J. Solid-State Circuits*, vol. 50, no. 12, pp. 2901–2911, Dec. 2015.

[8] B. Verbruggen, M. Iriguchi, and J. Craninckx, “A 1.7 mW 11b 250 MS/s 2-times interleaved fully dynamic pipelined SAR ADC in 40 nm digital CMOS,” *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 2880–2887, 2012.

[9] F. van der Goes *et al.*, “A 1.5mW 68dB SNDR 80MS/s 2x interleaved SAR-assisted pipelined ADC in 28nm CMOS,” in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2014, vol. 57, pp. 200–201.

[10] Y. Zhu, C.-H. Chan, S.-P. U, and R. P. Martins, “An 11b 900 MS/s time-interleaved sub-ranging pipelined-SAR ADC,” in *ESSCIRC 2014 - 40th European Solid State Circuits Conference (ESSCIRC)*, 2014, pp. 211–214.

[11] T. Kim, S. Kim, J.-K. Woo, H. Lee, and S. Kim, “A 9-bit, 110-MS/s pipelined-SAR ADC using time-interleaved technique with shared comparator,” in *System-on-Chip Conference (SOCC), 2015 28th IEEE International*, 2015, pp. 170–174.

[12] W. Guo, S. Liu, and Z. Zhu, “An asynchronous 12-bit 50MS/s rail-to-rail Pipeline-SAR ADC in 0.18μm CMOS,” *Microelectronics J.*, vol. 52, pp. 23–30, Jun. 2016.

[13] C.-C. Liu, S.-J. Chang, G.-Y. Huang, and Y.-Z. Lin, “A 0.92 mW 10-bit 50-MS/s SAR ADC in 0.13 μm CMOS process,” in *VLSI Circuits, 2009 Symposium on*, 2009, pp. 236–237.

[14] V. Giannini, P. Nuzzo, V. Chironi, A. Baschirotto, G. Van der Plas, and J. Craninckx, “An 820μW 9b 40MS/s noise-tolerant dynamic-SAR ADC in 90nm digital CMOS,”

in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 238–610.

[15] L. Brooks and H.-S. Lee, "A 12b 50MS/s fully differential zero-crossing-based ADC without CMFB," in *Solid-State Circuits Conference-Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, 2009, pp. 166–167.

[16] W. Yang, D. Kelly, L. Mehr, M. T. Sayuk, and L. Singer, "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1931–1936, 2001.

[17] B.-G. Lee, B.-M. Min, G. Manganaro, and J. W. Valvano, "A 14-b 100-MS/s pipelined ADC with a merged SHA and first MDAC," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2613–2619, 2008.

[18] S. Devarajan, L. Singer, D. Kelly, S. Decker, A. Kamath, and P. Wilkins, "A 16-bit, 125 ms/s, 385 mw, 78.7 db snr cmos pipeline adc," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3305–3313, 2009.

[19] V. Tripathi and B. Murmann, "An 8-bit 450-MS/s single-bit/cycle SAR ADC in 65-nm CMOS," in *ESSCIRC (ESSCIRC), 2013 Proceedings of the*, 2013, pp. 117–120.

[20] D. G. Chen, F. Tang, and A. Bermak, "A low-power pilot-DAC based column parallel 8b SAR ADC with forward error correction for CMOS image sensors," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 60, no. 10, pp. 2572–2583, 2013.

[21] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 10-bit 50 MS/s SAR ADC with a monotonic capacitor switching procedure," IEEE J. Solid-State Circuits, vol. 45, pp. 731-740, Apr. 2010.

[22] Y. Zhu, C. H. Chan, U. F. Chiu, S. W. Sin, S. P. U, R. P. Martins, and F. Maloberti, "A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS," IEEE J. Solid-State Circuits, vol. 45, no. 6, pp. 1111-1121, Jun. 2010.

[23] E. Rahimi and M. Yavari, "Energy-efficient high-accuracy switching method for SAR ADCs," Electron. Lett. , vol. 50, no. 7, pp. 499-501, Mar. 2014.

[24] C. Yuan and Y. Lam, "Low-energy and area-efficient tri-level switching scheme for SAR ADC," Electron. Lett. , vol. 48, no. 9, pp. 482-483, Apr. 2012.

[25] Z. Zhu, Y. Xiao, and X. Song, "VCM-based monotonic capacitor switching scheme for SAR ADC," Electron. Lett. , vol. 49, no. 5, pp. 327-329, Feb. 2013.

[26] D. Li, Q. Meng, and F. Li, "Improved dual-capacitive arrays DAC architecture for SAR ADC," Electron. Lett. , vol. 52, no. 12, pp. 1013-1015, Jun. 2016.

[27] A. Sanyal and N. Sun, "SAR ADC architecture with 98% reduction in switching energy over conventional scheme," Electron. Lett. , vol. 49, no. 4, pp. 248-250, Feb. 2013.

[28] X. Tong and Y. Zhang, "98.8% switching energy reduction in SAR ADC for bioelectronics application," Electron. Lett. , vol. 51, no. 14, pp. 1052-1054, Jul. 2015.

[29] X. Tong and M. Ghovanloo, "Energy-efficient switching scheme in SAR ADC for biomedical electronics," Electron. Lett. , vol. 51, no. 9, pp. 676-678, Apr. 2015.

[30] L. Xie, G. Wen, J. Liu, and Y. Wang, "Energy-efficient hybrid capacitor switching scheme for SAR ADC," Electron. Lett. , vol. 50, no. 1, pp. 22-23, Jan. 2014.

[31] L. Xie, J. Su, Y. Wang, J. Liu, and G. Wen, "Switching scheme with 98.4% switching energy reduction and high accuracy for SAR ADCs," Analog Integrated Circuits and Signal Processing, vol. 90, no. 3, pp. 681-686, Mar. 2017.

[32] D. Osipov and S. Paul, "Two advanced energy-back SAR ADC architectures with 99.21 and 99.37% reduction in switching energy," Analog Integrated Circuits and Signal Processing, vol. 87, no. 1, pp. 81-91, Apr. 2016.

[33] Y. Shen and Z. Zhu, "Analysis and optimization of the two-stage pipelined SAR ADCs," *Microelectronics J.*, vol. 47, pp. 40–44, Jan. 2016.

[34] M. Rui, B. Wenbin, and Z. Zhangming, "An energy-efficient and highly linear switching capacitor procedure for SAR ADCs," *J. Semicond.*, vol. 36, no. 5, p. 55014, 2015.

[35] Y. Zhu *et al.*, "Split-SAR ADCs: Improved linearity with power and speed optimization," *IEEE Trans. very large scale Integr. Syst.*, vol. 22, no. 2, pp. 372–383, 2014.

[36] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599–606, 1999.

[37] M. Waltari and K. Halonen, "Bootstrapped switch without bulk effect in standard CMOS technology," *Electron. Lett.*, vol. 38, no. 12, pp. 555–557, 2002.

[38] A. M. Abo, "Design for reliability of low-voltage, switched-capacitor circuits." University of California, Berkeley, 1999.

[39] C.-Y. Yang and C.-C. Hung, "A low-voltage low-distortion MOS sampling switch," in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, 2005, pp. 3131–3134.

[40] H. Chen, L. He, H. Deng, Y. Yin, and F. Lin, "A high-performance bootstrap switch for low voltage switched-capacitor circuits," in *Radio-Frequency Integration Technology (RFIT), 2014 IEEE International Symposium on*, 2014, pp. 1–3.

[41] C.-H. Chan, Y. Zhu, U.-F. Chio, S.-W. Sin, U. Seng-Pan, and R. P. Martins, "A reconfigurable low-noise dynamic comparator with offset calibration in 90nm CMOS," in *Solid State Circuits Conference (A-SSCC), 2011 IEEE Asian*, 2011, pp. 233–236.

[42] G. Van der Plas, S. Decoutere, and S. Donnay, "A 0.16 pJ/conversion-step 2.5 mW 1.25 GS/s 4b ADC in a 90nm digital CMOS process," in *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, 2006, p. 2310.

[43] D. Xu, S. Xu, and G. Chen, "High-speed low-power and low-power supply voltage dynamic comparator," *Electron. Lett.*, vol. 51, no. 23, pp. 1914–1916, 2015.

[44] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A low-noise self-calibrating dynamic comparator for high-speed ADCs," in *Solid-State Circuits Conference,*

2008. A-SSCC'08. IEEE Asian, 2008, pp. 269–272.

[45] Y. Zhu, C. Chan, S.-W. Sin, U. Seng-Pan, R. P. Martins, and F. Maloberti, "A 35 fJ 10b 160 MS/s pipelined-SAR ADC with decoupled flip-around MDAC and self-embedded offset cancellation," in *IEEE Asian Solid-State Circuits Conference 2011*, 2011, pp. 61–64.

[46] K. Bult and G. J. G. M. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. 1379–1384, 1990.

[47] J. Ou and P. M. Ferreira, "A gm/ID Based Noise Optimization for CMOS Folded-Cascode Operational Amplifier," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 61, no. 10, pp. 783–787, Oct. 2014.

Abstract

Using SAR Converter instead of Flash in sub-ADC of pipeline Analog-to-Digital Converters enhances their performance because of low power consumption, reduced complexing and die area. On the other hand it limits sampling rate of converter. In this thesis, Time-Interleaved (TI) structure has been used to increase sampling rate of Pipelined-SAR ADCs. In this structure two seprate but identical channels are involved to generate output bits of ADC. Also a method has been proposed to resolve the channels mismatsh effect, which is the main problem of TI structure. In this method the 4 most significant bits of each analog input are extracted using a common 4-bit SAR ADC and the other bits are generated by channel one or two. Also the required amplifier of channels is implemented using a shared amplifier. This technique not only resolve mismatch problem, but also reduces the total power consumption os proposed converter. The proposed ADC has been simulated in 90 nm 1P9M CMOS technology using HSpice, and achived SNDR = 69.35 dB, SFDR = 79.34 dB and FoM = 31.43 fJ/conv.-step at Nyquist frequency.

Key Words: Pipelined-SAR ADCs, Time-Inteleaved ADCs, Pipeline ADC, SAR ADCs.

Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

MSc Thesis

Title of Thesis
Performance Improvement of Pipelined-SAR Analog-to-Digital Converters

By
Hamidreza Ebrahimnezhad
(93123010)

Supervisor
Dr. Mohammad Yavari

June 2017