



Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

Microelectronics MSc Thesis

Title

Power Reduction in SAR Analog to Digital Converters
(SAR ADCs)

By

Fatemeh Zare

Advisor

Dr. Mohammad Yavari

October 2016



دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان نامه کارشناسی ارشد

گرایش میکروالکترونیک

عنوان

کاهش توان مصرفی در مبدل‌های آنالوگ به دیجیتال با معماری SAR

نگارش

فاطمه زارع

استاد راهنما

دکتر محمد یآوری

مهر ۱۳۹۵

به نام خدا



شماره: ۲۲۷، ص ۵۸
تاریخ: ۹۵، ۷، ۲

برگ ارزیابی پایان نامه کارشناسی ارشد

بر اساس رای کمیسیون موارد خاص مورخ
مقرر شد نمره پایان نامه دانشجوی به صورت
قبول / مردود ارزیابی شود.

شماره دانشجویی: ۹۲۱۲۳۱۷۵

نام و نام خانوادگی: فاطمه زارع

دانشکده: مهندسی برق

رشته و گرایش تحصیلی: مهندسی برق - الکترونیک - میکروالکترونیک

عنوان پایان نامه: مبدل های آنالوگ به دیجیتال توان پایین و سرعت بالا با معماری Time-Interleaved SAR

تاریخ دفاع: ۱۳۹۵/۷/۲۶

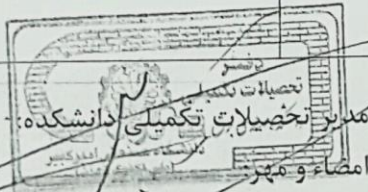
تاریخ تصویب: ۱۳ / /

امضاء	نظر هیات داوران	رتبه علمی	کد انفورماتیک	نام و نام خانوادگی	هیات داوران
			۱۱۳۳۵	دکتر محمد یآوری	استاد راهنمای اول
	<input checked="" type="checkbox"/> قبول <input type="checkbox"/> مردود	--			استاد راهنمای دوم
		--			استاد مشاور اول
		--			استاد مشاور دوم
		--	۱۰۷۹۱	دکتر حسن کاتوزیان	نماینده تحصیلات تکمیلی دانشگاه
	<input checked="" type="checkbox"/> قبول <input type="checkbox"/> مردود	--	۱۰۷۹۱	دکتر حسن کاتوزیان	داور داخلی (دانشکده)
	<input type="checkbox"/> قبول <input type="checkbox"/> مردود	--			داور خارجی (دانشگاه)
	<input checked="" type="checkbox"/> قبول <input type="checkbox"/> مردود	--	مدعو	دکتر اشتیانی	داور خارجی (خارج از دانشگاه)

این قسمت توسط تحصیلات تکمیلی
دانشکده تنظیم خواهد شد.

نتیجه نهایی

مردود قبول



با عنوان: مبدل توان پایین و سرعت بالا با معماری Time-Interleaved SAR
کمیسیون توان پایین و سرعت بالا با معماری Time-Interleaved SAR

تأیید کارشناس: _____
مدیر تحصیلات تکمیلی دانشگاه: _____ امضاء و مهر:



به نام خدا

تاریخ: ۱۳۹۵/۷/۲۶

تعهدنامه اصالت اثر

اینجانب فاطمه زارع متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

فاطمه زارع

امضاء

در این گزارش اساس کار مبدل‌های آنالوگ به دیجیتال و انواع این مبدل‌ها بیان شده و در ادامه مبدل SAR به عنوان ساختار پایه مورد بررسی معرفی می‌شود. مبدل SAR به دلیل کم‌توان بودن و طبیعت دیجیتالی آن انتخاب شده‌است. به منظور بهبود عملکرد مبدل یک مدار مقایسه‌گر و دو روش کلیدزنی پیشنهاد داده می‌شود. مدار مقایسه‌گر پیشنهادی دارای سرعت بالا، توان مصرفی و مساحت پائین بوده و تنها به یک سیگنال کلاک نیاز دارد. علاوه بر این موارد در مقایسه با مدارهای مشابه دارای نویز ضربه به عقب (kick-back noise) پائین می‌باشد. شبیه‌سازی‌های مورد نیاز برای بررسی صحت عملکرد و استخراج مشخصه‌های مقایسه‌گر پیشنهادی و ساختار پایه بوسیله‌ی ابزار Virtuoso متعلق به Cadence در تکنولوژی ۹۰ نانومتر انجام شده‌است. مقدار تاخیر (با انجام شبیه‌سازی مونت کارلو)، توان مصرفی و نویز ضربه به عقب ساختار مرجع به ترتیب 117ps ، $48\mu\text{W}$ و $6/9\text{mV}$ و برای ساختار پیشنهادی 187ps ، $47\mu\text{W}$ و $3/3\text{mV}$ می‌باشد. مقدار مساحت مدار پیشنهادی نیز $0/86$ برابر مساحت مقایسه‌گر پایه می‌باشد.

با توجه به سهم بالای بخش DAC در مساحت و توان مبدل SAR، در انتها دو روش کلیدزنی که نسبت به ساختار سنتی بطور قابل توجهی سربار انرژی و مساحت کمتری اعمال می‌کنند ارائه شده است. مدلسازی این دو ساختار و همچنین ساختارهای مرجع در نرم‌افزار MATLAB انجام شده و تمامی مشخصه‌های عملکردی اساسی آن‌ها با هم مقایسه و گزارش شده‌است. در این روش‌ها مساحت نسبت به ساختار سنتی انرژی کلیدزنی $99/2$ و $96/1$ درصد کاهش می‌یابد. همچنین در هر دو روش نسبت به شیوه‌ی سنتی به چهار برابر خازن کمتر (معادل کاهش 75 درصدی مساحت خازنی) نیاز دارد.

واژه‌های کلیدی:

مبدل آنالوگ به دیجیتال، مبدل SAR، توان مصرفی، سرعت، مقایسه‌گر، کلیدزنی.

۱	فصل اول مقدمه	۱
۱	۱-۱ انگیزه	۱
۲	۲-۱ هدف	۲
۲	۳-۱ ساختار گزارش	۲
۳	فصل دوم مروری بر مبدل‌های آنالوگ به دیجیتال	۳
۳	۱-۲ اساس کار مبدل‌های آنالوگ به دیجیتال	۳
۴	۱-۱-۲ مدار نمونه‌بردار	۴
۴	۲-۱-۲ فیلتر پایین‌گذر	۴
۴	۳-۱-۲ کوانتایزر	۴
۵	۲-۲ معیارهای عملکردی مبدل‌های آنالوگ به دیجیتال	۵
۵	۱-۲-۲ معیارهای استاتیک یا ایستا	۵
۵	۱-۱-۲-۲ آفست	۵
۶	۲-۱-۲-۲ غیرخطینگی تفاضلی یا DNL	۶
۶	۳-۱-۲-۲ غیرخطینگی تجمعی یا INL	۶
۶	۲-۲-۲ معیارهای دینامیک یا پویا	۶
۶	۱-۲-۲-۲ محدوده‌ی پویا یا DR	۶
۷	۲-۲-۲ نسبت سیگنال به نویز یا SNR	۷
۷	۳-۲-۲ نسبت سیگنال به نویز و اعوجاج یا SNDR	۷
۷	۴-۲-۲ محدوده‌ی پویای خالی از اعوجاج یا SFDR	۷
۷	۳-۲ انواع مبدل‌های آنالوگ به دیجیتال	۷
۸	۱-۳-۲ مبدل Flash	۸
۸	۲-۳-۲ مبدل دومرحله‌ای	۸
۹	۳-۳-۲ مبدل پایپ‌لاین	۹
۹	۴-۳-۲ مبدل رجیستر تقریب متوالی (SAR)	۹
۱۲	فصل سوم مبدل آنالوگ به دیجیتال SAR	۱۲
۱۲	۱-۳ اساس کار مبدل آنالوگ به دیجیتال SAR	۱۲
۱۳	۲-۳ مزایای مبدل آنالوگ به دیجیتال SAR	۱۳
۱۳	۳-۳ ساختار مبدل و موارد موثر بر عملکرد آن	۱۳
۱۵	۴-۳ روش‌های بهبود عملکرد مبدل SAR	۱۵
۱۵	۱-۴-۳ استفاده از معماری‌های ترکیبی	۱۵
۱۶	۲-۴-۳ تغییر روش کلیدزنی	۱۶
۱۶	۳-۴-۳ روش جاگذاری زمانی	۱۶

۱۶ ۱-۳-۴-۳ مفهوم مداری جاگذاری زمانی
۱۷ ۲-۳-۴-۳ مزایای روش جاگذاری زمانی
۱۹ ۳-۳-۴-۳ معایب روش جاگذاری زمانی
۲۷	۴ فصل چهارم طراحی مبدل آنالوگ به دیجیتال SAR.....
۲۷ ۱-۴ مشخصه‌ی کلی مبدل آنالوگ به دیجیتال SAR
۲۹ ۲-۴ مدار نمونه‌بردار
۳۱ ۳-۴ مدار مقایسه‌گر
۳۳ ۴-۴ مدار مقایسه‌گر پیشنهادی
۳۴ ۱-۴-۴ نحوه‌ی عملکرد
۳۵ ۲-۴-۴ طراحی و بررسی صحت عملکرد
۳۶ ۳-۴-۴ آزمون بازیابی اضافه بار
۳۷ ۴-۴-۴ بررسی نویز ضربه به عقب
۴۰ ۵-۴-۴ مقدار تاخیر
۴۱ ۵-۴ مبدل دیجیتال به آنالوگ DAC
۴۲ ۶-۴ منطق رجیستر تقریب متوالی یا SAR
۴۲ ۷-۴ روش‌های کلیدزنی
۴۳ ۱-۷-۴ محاسبه انرژی کلیدزنی
۴۳ ۲-۷-۴ روش سنتی کلیدزنی
۴۸ ۸-۴ روش کلیدزنی پیشنهادی ۱
۴۸ ۱-۸-۴ محاسبه‌ی انرژی
۵۳ ۲-۸-۴ بررسی عملکرد روش کلیدزنی پیشنهادی اول
۵۴ ۱-۲-۸-۴ مساحت
۵۴ ۲-۲-۸-۴ انرژی مصرفی
۵۵ ۳-۲-۸-۴ ولتاژ حالت مشترک
۵۶ ۴-۲-۸-۴ خطینگی
۵۸ ۹-۴ روش کلیدزنی پیشنهادی ۲
۵۹ ۱-۹-۴ محاسبه‌ی انرژی
۶۰ ۲-۹-۴ بررسی عملکرد روش کلیدزنی پیشنهادی دوم
۶۲ ۱-۲-۹-۴ مساحت
۶۲ ۲-۲-۹-۴ انرژی مصرفی
۶۲ ۳-۲-۹-۴ ولتاژ حالت مشترک
۶۴ ۱۰-۴ مقایسه‌ی روش‌های کلیدزنی پیشنهادی با مراجع اخیر
۶۸	۵ فصل پنجم نتیجه‌گیری و پیشنهادات.....
۷۱	منابع و مراجع.....

شکل (۱-۲): بلوک‌های تشکیل‌دهنده مبدل A/D [۲]	۳
شکل (۲-۲): نمونه برداری با فرکانس‌های کمتر، برابر و بیشتر از نرخ نایکویست [۱]	۵
شکل (۳-۲): معیارهای استاتیک یک مبدل A/D [۲]	۶
شکل (۴-۲): مبدل دومرحله‌ای [۲]	۸
شکل (۵-۲): مبدل پایپ‌لاین [۲]	۹
شکل (۶-۲): مبدل SAR [۱]	۱۰
شکل (۷-۲): الگوریتم جستجوی باینری برای استخراج نمایش باینری	۱۱
شکل (۱-۳): جاگذاری زمانی M مبدل آنالوگ به دیجیتال و سیگنال کلاک هر کانال [۵]	۱۸
شکل (۲-۳): نمودار انرژی به ازای تبدیل برای مبدل تک‌کاناله و مبدل جاگذاری زمانی شده [۷]	۱۸
شکل (۳-۳): نمودار طیف توان یک مبدل جاگذاری زمانی شده [۹]. الف: کانال‌هایی با عدم تطبیق کاملاً مشابه. ب: کانال‌هایی با عدم تطبیق متفاوت و غیرمنطبق	۲۰
شکل (۴-۳): خطای بهره [۹]	۲۱
شکل (۵-۳): اثر عدم تطبیق بهره بر طیف و سیگنال خروجی مبدل به ازای ورودی سینوسی [۹]	۲۲
شکل (۶-۳): اثر عدم تطبیق افسست بر طیف و سیگنال خروجی مبدل به ازای ورودی سینوسی [۹]	۲۲
شکل (۷-۳): اثر عدم تطبیق غیرخطی بر طیف و سیگنال خروجی مبدل به ازای ورودی سینوسی [۹]	۲۳
شکل (۸-۳): اثر عدم تطبیق فاز خطی بر طیف و سیگنال خروجی مبدل به ازای ورودی سینوسی [۹]	۲۴
شکل (۹-۳): اثر جیت‌ر زمانی بر طیف و سیگنال خروجی مبدل به ازای ورودی سینوسی [۹]	۲۵
شکل (۱-۴): مقدار معیار شایستگی مبدل‌های آنالوگ به دیجیتال بر حسب فرکانس نایکوئیست (گزارش شده در منابع VLSI و ISSCC در بازه‌ی زمانی سال ۱۹۹۷ تا ۲۰۱۵) [۱۹]	۳۰
شکل (۲-۴): ساختار مقایسه‌گرهای مورد بررسی: الف) مدارمقایسه‌گر ارائه شده در [۲۳]، ب) مدار مقایسه‌گر پیشنهادی	۳۴
شکل (۳-۴): صحت عملکرد مدار پیشنهادی به ازای ورودی سینوسی با فرکانس ۵۰MHz	۳۶
شکل (۴-۴): آزمون بازیابی اضافه بار برای مقایسه‌گر پیشنهادی	۳۷
شکل (۵-۴): مدار مورد استفاده برای مدلسازی مقدار نویز ضربه به عقب [۳۱]	۳۸
شکل (۶-۴): شبیه‌سازی اثر نویز ضربه به عقب بر ورودی تفاضلی مقایسه‌گر پیشنهادی و پایه	۳۹
شکل (۷-۴): اثر نویز ضربه به عقب بر ولتاژ ورودی تفاضلی مقایسه‌گرهای مورد بررسی (فاصله‌ی زمانی صفر تا ۱ ns شکل (۶-۴))	۳۹
شکل (۸-۴): ولتاژ خروجی بر حسب زمان برای محاسبه تاخیر مقایسه‌گر مدار پیشنهادی و مدار معرفی شده در [۲۳] (نتیجه مربوط به انجام شبیه‌سازی مونت کارلو)	۴۰
شکل (۹-۴): ساختار مبدل SAR با دقت N بیت در روش کلیدزنی سنتی	۴۴
شکل (۱۰-۴): کلیدزنی بلوک DAC خازنی به روش سنتی برای یک مبدل ۳بیتی	۴۵
شکل (۱۱-۴): بهبود کلیدزنی سنتی. الف): کلیدزنی سنتی، ب): کلیدزنی دومرحله‌ای	۴۶

- شکل (۴-۱۲): بهبود کلیدزنی سنتی. (الف): روش تقسیم بار، (ب): روش جداسازی خازنی..... ۴۷
- شکل (۴-۱۳): ساختار مبدل SAR با دقت N بیت در روش‌های کلیدزنی پیشنهادی..... ۴۸
- شکل (۴-۱۴): نمایش کلیدزنی بلوک DAC به روش پیشنهادی ۱ برای یک مبدل ۴ بیتی..... ۵۲
- شکل (۴-۱۵): نمودار مقدار انرژی کلیدزنی برحسب کد خروجی برای یک مبدل SAR ۱۰ بیتی (روش کلیدزنی پیشنهادی ۱)..... ۵۵
- شکل (۴-۱۶): بررسی تغییرات ولتاژ حالت مشترک ورودی مقایسه‌گر در حالت استفاده از روش کلیدزنی پیشنهادی ۱ برای یک مبدل ۵ بیتی..... ۵۷
- شکل (۴-۱۷): شیوه‌ی کلیدزنی بلوک DAC خازنی به روش پیشنهادی ۲ برای یک مبدل ۴ بیتی..... ۶۱
- شکل (۴-۱۸): نمودار مقدار انرژی کلیدزنی برحسب کد خروجی برای یک مبدل SAR ۱۰ بیتی (روش کلیدزنی پیشنهادی ۲)..... ۶۲
- شکل (۴-۱۹): نحوه‌ی تغییرات ولتاژ حالت مشترک ورودی مقایسه‌گر در حالت استفاده از روش کلیدزنی پیشنهادی ۲ برای یک مبدل ۵ بیتی..... ۶۴

واژه‌نامه

غیرخطینگی تجمعی	INL	آنالوگ به دیجیتال	A/D
غیرخطینگی تفاضلی	DNL	ایستا	Static
محدوده‌ی پویا	Dynamic Range	بهینگی انرژی	Energy Efficiency
مدل رفتاری	Behavioural Model	کلیدزنی	Switching
معیار شایستگی	Figure of Merit	پویا	Dynamic
مقیاس فناوری	Technology Scaling	ثبات (رجیستر) تقریب متوالی	SAR
نسبت سیگنال به نویز	SNR	نویز ضربه به عقب	Kick-Back Noise
نمونه‌برداری	Sampling	خطینگی	Linearity
نمونه‌برداری بر صفحه‌ی بالا	Top-Plate Sampling	دقت	Resolution
نمونه‌برداری بر صفحه‌ی پایین	Bottom-Plate Sampling	سرعت بازتولید	Regeneration Speed
نویز ارجاع داده شده به ورودی	Input-Referred Noise	تقسیم بار	Charge Sharing
سنتی	Conventional	دیجیتال به آنالوگ	D/A
ولتاژ حالت مشترک	Common-Mode Voltage	آزمون بازیابی اضافه بار	Overdrive Recovery Test
سرعت تبدیل	Conversion Speed	کم ثباتی	Metastability

اختصارنامه

معنی	عبارت اصلی	اختصار
بیت پرارزش	Most Significant Bit	MSB
بیت کم‌ارزش	Least Significant Bit	LSB
ثبات (رجیستر) تقریب متوالی	Successive Approximation Register	SAR
غیرخطینگی تفاضلی	Differential Non-Linearity	DNL
غیرخطینگی تجمعی	Integral Non-Linearity	INL
(مبدل) آنالوگ به دیجیتال	Analog to Digital (Converter)	A/D (ADC)
(مبدل) دیجیتال به آنالوگ	Digital to Analog (Converter)	D/A (DAC)
مبدل دیجیتال به آنالوگ خازنی	Capacitor Digital to Analog Converter	CDAC
محدوده‌ی پویای خالی از اعوجاج	Spurious Free Dynamic Range	SFDR
معیار شایستگی	Figure of Merit	FoM
نسبت سیگنال به نویز و اعوجاج	Signal to Noise and Distortion Ratio	SNDR
نسبت سیگنال به نویز	Signal to Noise Ratio	SNR
(تعداد) نمونه بر ثانیه	Sample per Second	S/s

منابع و مراجع

1. M. Pelgrom, "Analog-to-Digital Conversion," Springer, 2010.
2. B. Razavi, "Introduction to Data Conversion and Processing," in *Principles of Data Conversion System Design*, NY: IEEE Press, 1995.
3. F. Maloberti, "Data Converters Specifications," in *Data Converters*, Netherlands: Springer, 2007.
4. W. Black and D. Hodges, "Time Interleaved Converter Arrays," *IEEE J. Solid-State Circuits*, vol. 15, no.6, pp. 1022-1029, Dec. 1980.
5. B. Murmann, "Digitally assisted data converter design," in *ESSCIRC (ESSCIRC), 2013 Proceedings of the* , vol., no., pp.24-31, 16-20 Sept. 2013.
6. B. Razavi, "Design Considerations for Interleaved ADCs," in *Solid-State Circuits, IEEE Journal of* , vol.48, no.8, pp.1806-1817, Aug. 2013.
7. D. Stepanović and B. Nikolić, "A 2.8 GS/s 44.6mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5GHz in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no.4, pp. 971-982, Apr. 2013.
8. R. Khalil, M. Louërat and R. Petigny, "Background analog and mixed signal calibration system for time-interleaved ADC", *Microelectronics Journal*, vol. 46, no. 7, pp. 656-667, 2015.
9. S. Gupta, et al., "A 1GS/s 11b Time-Interleaved ADC in 0.13 μ m CMOS", in *ISSCC Tech. Dig.*, pp. 2360–2369, Feb. 2006. .
10. M. El-Chammas and B. Murmann, "A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 838-847, 2011.
11. S. M. Jamal, et al., "A 10-b 120- Msample/s time-interleaved analog-to-digital converter with digital background calibration," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 12, pp. 1618-1627, 2002.
12. V. Divi and G. W. Wornell, "Blind calibration of timing skew in time-interleaved analog-to-digital converters," *IEEE Journal on Selected Topics in Signal Processing*, vol. 3, no. 3, pp. 509-522, 2009.

13. C. Y. Wang and J. T. Wu, "A multiphase timing-skew calibration technique using zero-crossing detection," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 6, pp. 1102-1114, 2009.
14. C. C. Huang, C. Y. Wang, and J. T. Wu, "A CMOS 6-Bit 16-GS/s timeinterleaved ADC using digital background calibration techniques," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 848-858, 2011.
15. M. El-Chammas and B. Murmann, "A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 838-847, 2011.
16. S. Lee, A. P. Chandrakasan, and H. S. Lee, "22.4 A 1GS/s 10b 18.9mW time-interleaved SAR ADC with background timing-skew calibration," *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*, vol. 57, pp. 384-385, 2014. .
17. R. J. van de Plassche, *Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer, 2003.
18. R. Walden, "Analog-to-Digital converter survey and analysis," *IEEE J. Select. Areas Commun.*, pp. 539–550, Apr. 1999.
19. B. Murmann, "ADC Performance Survey 1997-2015," [Online]. Available: <http://web.stanford.edu/~murmann/adcsurvey.html>.
20. T. Kobayashi, K. Nogami, T. Shirotori and Y. Fujimoto, "A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture", *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 523-527, 1993.
21. B. Razavi, "The StrongARM Latch [A Circuit for All Seasons]", *IEEE Solid-State Circuits Magazine*, vol. 7, no. 2, pp. 12-17, 2015.
22. D. Shinkel, E. Mensink, E. Klumperink, E. van Tuijl, and B. Nauta, "A double-tail latch-type voltage sense amplifier with 18ps Setup+Hold time", in *Proc. IEEE Int. Solid-State Circuits Conf., Dig. Tech. Papers*, Feb. 2007, pp. 314–315.
23. S. Babayan-Mashhadi and R. Lotfi, "Analysis and Design of a Low-Voltage Low-Power Double-Tail Comparator", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 2, pp. 343-352, 2014.
24. M. Abbas, Y. Furukawa, S. Komatsu, T. J. Yamaguchi, and K. Asada, "Clocked Comparator for High-Speed Applications in 65nm Technology," *2010 IEEE Asian Solid State Circuits Conf. (A-SSCC)*, November 2010, pp. 1–4.
25. D. Xu, S. Xu and G. Chen, "High-speed low-power and low-power supply voltage dynamic comparator", *Electronics Letters*, vol. 51, no. 23, pp. 1914-1916, 2015.
26. C. H. Chan, Y. Zhu, U. F. Chio, S. W. Sin, U. Seng-Pan and R. P. Martins, "A reconfigurable low-noise dynamic comparator with offset calibration in 90nm CMOS," *Solid State Circuits Conference (A-SSCC)*, 2011 IEEE Asian, Jeju, 2011, pp. 233-236.
27. J. Gao, Q. Li and G. Li, "High-speed low-power common-mode insensitive dynamic comparator", *Electronics Letters*, vol. 51, no. 2, pp. 134-136, 2015.

28. A. Khorami and M. Sharifkhani, "Low-power technique for dynamic comparators", *Electronics Letters*, vol. 52, no. 7, pp. 509-511, 2016.
29. P. Figueiredo and J. Vital, "Kickback noise reduction techniques for CMOS latched comparators", *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 7, pp. 541-545, 2006.
30. V. Deepika and S. Singh, "Design and Implementation of a Low-Power, High-Speed Comparator", *Procedia Materials Science*, vol. 10, pp. 314-322, 2015.
31. P. Bahmanyar, M. Maymandi-Nejad, S. Hosseini-Khayat and M. Berekovic, "Design and analysis of an ultra-low-power double-tail latched comparator for biomedical applications", *Analog Integrated Circuits and Signal Processing*, vol. 86, no. 2, pp. 159-169, 2015.
32. B. Sedighi, "Design of low-power SAR ADCs using hybrid DACs", *Analog Integrated Circuits and Signal Processing*, vol. 77, no. 3, pp. 459-469, 2013.
33. A. Rossi and G. Fucili, "Nonredundant successive approximation register for A/D converters", *Electron. Lett.*, vol. 32, no. 12, p. 1055, 1996.
34. B. P. Ginsburg and A. P. Chandrakasan, "An energy-efficient charge recycling approach for a SAR converter with capacitive DAC," *IEEE Int. Symp. on Circuits and Systems*, pp. 184-187, May 2005.
35. X. Tong and M. Ghovanloo, "Energy-efficient switching scheme in SAR ADC for biomedical electronics", *Electronics Letters*, vol. 51, no. 9, pp. 676-678, 2015.
36. A. Sanyal and N. Sun, "SAR ADC architecture with 98% reduction in switching energy over conventional scheme", *Electronics Letters*, vol. 49, no. 4, pp. 248-250, 2013.
37. X. Tong and Y. Zhang, "98.8% switching energy reduction in SAR ADC for bioelectronics application", *Electronics Letters*, vol. 51, no. 14, pp. 1052-1054, 2015.
38. R. Ding, Q. Wu, Y. Liang and Z. Zhu, "Ultra-low energy switching scheme for SAR ADC", *IEICE Electron. Express*, vol. 12, no. 13: 20150439, 2015.
39. Z. Ding, W. Bai and Z. Zhu, "Trade-off between energy and linearity switching scheme for SAR ADC", *Analog Integrated Circuits and Signal Processing*, vol. 86, no. 1, pp. 121-125, October 2015.
40. Y. Zhang, F. Maloberti and E. Bonizzoni, "Energy-efficient switching method for SAR ADCs with bottom plate sampling", *Electronics Letters*, vol. 52, no. 9, pp. 690-692, 2016.
41. E. Rahimi and M. Yavari, "Energy-efficient high-accuracy switching method for SAR ADCs", *Electronics Letters*, vol. 50, no. 7, pp. 499-501, 2014.
42. H. Wang, Z. Zhu and R. Ding, "Energy-efficient and area-efficient tri-level floating capacitor switching scheme for SAR ADC", *Analog Integrated Circuits and Signal Processing*, vol. 85, no. 2, pp. 373-377, 2015.
43. Z. Zhu, X. Song and Y. Xiao, "VCM-based monotonic capacitor switching scheme for SAR ADC", *Electronics Letters*, vol. 49, no. 5, pp. 327-329, 2013.

44. L. Xie, J. Liu, G. Wen and Y. Wang, "Energy-efficient hybrid capacitor switching scheme for SAR ADC", *Electronics Letters*, vol. 50, no. 1, pp. 22-23, 2014.
45. C. Liu, S. Chang, G. Huang and Y. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure", *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 731-740, 2010.
46. V. Hariprasath, J. Guerber, S. Lee and U. Moon, "Merged capacitor switching based SAR ADC with highest switching energy-efficiency", *Electron. Lett.*, vol. 46, no. 9, p. 620, 2010.
47. C. Yuan and Y. Lam, "Low-energy and area-efficient tri-level switching scheme for SAR ADC", *Electron. Lett.*, vol. 48, no. 9, p. 482, 2012.
48. Y. Ni, S. Xu and L. Liu, "Mixed capacitor switching scheme for SAR ADC with highest switching energy efficiency", *Electronics Letters*, vol. 51, no. 6, pp. 466-467, 2015.
49. L. Xie, G. Wen, J. Su and J. Liu, "Energy-efficient capacitor-splitting DAC scheme with high accuracy for SAR ADCs", *Electronics Letters*, vol. 51, no. 6, pp. 460-462, 2015.
50. B. Yazdani, M. Sharifkhani and A. Khorami, "Low-power DAC with charge redistribution sampling method for SAR ADCs", *Electronics Letters*, vol. 52, no. 3, pp. 187-188, 2016.
51. D. Osipov and S. Paul, "Two advanced energy-back SAR ADC architectures with 99.21 and 99.37 % reduction in switching energy", *Analog Integrated Circuits and Signal Processing*, vol. 87, no. 1, pp. 81-91, 2016.

Abstract

In this report the basic concepts of these convertors and their different types are briefly stated and SAR will be used as the basic structure throughout the rest. They are selected because of their low-power and highly digital nature. In order to enhance the performance of the convertor one comparator and two switching schemes are proposed. The high-speed low-power comparator consumes low area and needs only one clock signal. In comparison to similar circuits it has also low kick-back noise. The functional verification simulations and the extraction of the properties for the proposed structure and the reference are executed using Virtuoso tool in Cadence using TSMC 90nm library. The delay (calculated using Monte-Carlo simulation), power consumption and the kick-back noise of the reference circuit were 117ps, 48 μ W and 6.9mV and for the proposed circuit are 187ps, 47 μ W and 3.3mV, accordingly. The area reduction is also 0.86.

The two new switching methods significantly improve area and energy consumption comparing the conventional one. They are all modeled and simulated using MATLAB and all the functional specifications are reported. The capacitive area reduction using these methods is %75 and the switching energy is reduced up to %99.2 and %96.1.

Key Words: Analog-to-Digital Convertor, SAR ADC, power consumption, speed, comparator, switching.



Amirkabir University of Technology
(Tehran Polytechnic)

Electrical Engineering Department

Microelectronics MSc Thesis

Title

Power Reduction in SAR Analog to Digital Converters
(SAR ADCs)

By

Fatemeh Zare

Advisor

Dr. Mohammad Yavari

October 2016