Amirkabir University of Technology

Department of Electrical Engineering

A dissertation submitted in partial fulfillment of the requirements for the degree of

Master of Science

Analysis, Design, and Structural Improvement of CMOS Multi Stage Amplifiers in Switched-Capacitor Circuits

By:

Farshad Alizadeh Arand

Under supervision of:

Dr. Mohammad Yavari

April 2018

بسم الله الرحمن الرحيم

دانشگاه صنعتی امیرکبیر

دانشکده مهندسی برق

کارشناسی ارشد الکترونیک- مدارهای مجتمع

تحلیل طراحی و بهبود ساختاری تقویت کننده های چند طبقه CMOS در مدارهای سوئیچ شونده خازنی

نگارش:

فرشاد علیزاده آرند

استاد راهنمای:

دکتر محمد یاوری

بهمن ماه ۱۳۹۶

تقدیم به پدر عزیزم و مادرم مهربانم :

خدای را بسی شاکرم که از روی کرم، پدر و مادری فداکار نسیبم ساخته تا در سایه درخت پربار وجودشان بیاسایم و از ریشه آنها شاخ و برگ گیرم و از سایه وجودشان در راه کسب علم و دانش تلاش نمایم .والدینی که بودنشان تاج افتخاری است بر سرم ونامشان دلیلی است بر بودنم، چرا که این دو وجود، پس از پروردگار، مایه هستی ام بوده اند دستم را گرفتند و راه رفتن را در این وادی زندگی پر از فراز و نشیب آموختند.آموزگارانی که برایم زندگی، بودن و انسان بودن را معنا کردند.

با تشکر:

از استاد با کمالات و شایسته؛ جناب آقای دکتر محمد یاوری که به عنوان استاد راهنما در کمال سعه صدر، با حسن خلق و فروتنی، از هیچ کمکی در این عرصه بر من دریغ ننمودند و زحمت راهنمایی این رساله را بر عهده گرفتند.از دانشجوهای آزمایشگاه مدارهای مجتمع به دلیل یاری‌ها و راهنمایی‌های بی‌چشم‌داشت‌شان که بسیاری از سختی‌ها را برایم آسان‌تر نمودند.

چکیده

در این پایان‌نامه ابتدا با استفاده از بررسی توان نویز و زمان نشست خطی، روشی برای طراحی تقویت کننده‌های سه طبقه پیشنهاد شده است. در ادامه با طراحی تقویت‌کننده‌های سه طبقه با ساختار جبران‌سازی RNMC و DFCFC با استفاده از الگوریتم ژنتیک چند هدفه، انعطاف پذیری الگوریتم ژنتیک و مفید بودن آن برای طراحی تقویت‌کننده‌ها نشان داده شده است. و همچنین بررسی کامل و دقیقی برای توان نویز طبقات هر تقویت‌کننده انجام شده است. در نهایت نشان داده شده است که روش طراحی پیشنهاد شده برای تقویت‌کننده سه طبقه با ساختار جبران‌سازی DFCFC قابل اجرا برای هر تقویت‌کننده ای با تابع تبدیلی مشابه با تابع تبدیل تقویت‌کننده DFCFC باشد، می‌باشد. و با نشان دادن این موضوع که تقویت‌کننده دوطبقه با جبران‌سازی کسکود نیز دارای تابع تبدیلی همانند تقویت‌کننده DFCFC می‌باشد، به طراحی تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود پرداخته شده است. در همه طراحی های انجام شده در این پایان‌نامه، بررسی کاملی بر روی معیارهای عملکردی مهم تقویت‌کننده‌ها که مناسب برای کاربردهای سوئیچ شونده خازنی می‌باشند، انجام شده است. این معیارها عبارتند از: زمان نشست خطی و غیرخطی ، نویز، سطح اشغالی تراشه و توان مصرفی. در این طراحی ها برای یافتن جواب بهینه پارامترهای مدار، طراحی تقویت‌کننده به یک مسئله بهینه‌سازی تبدیل می‌شود.

یکی از مشکلات تقویت‌کننده‌های سه طبقه سرعت چرخش کم آن‌ها است که زمان نشست را محدود می‌کند، در نتیجه باید جریان بایاس بیش‌تری مصرف گردد که باعث افزایش توان مصرفی می‌شود. برای رفع این مشکل از یک تقویت کننده کلاس AB در طبقه ورودی تقویت‌کننده NMC استفاده شده است که باعث بهبود سرعت چرخش طبقه اول و در نتیجه سرعت چرخش کلی تقویت‌کننده خواهد شد. با مقایسه سرعت چرخش تقویت کننده کلاس AB پیشنهادی با تقویت‌کننده کلاس A، ۱۹۱٪ بهبود در سرعت چرخش تقویت کننده کلاس AB نسبت به کلاس A مشاهده شده است.

جواب مسئله بهینه‌سازی با استفاده از نرم‌افزار MATLAB به دست آمده و شبیه‌سازی های مداری با استفاده از نرم‌افزار HSPICE و تکنولوژی ۹۰ نانومتر CMOS انجام شده است.

واژه‌های کلیدی

تقویت‌کننده‌های عملیاتی، جبران‌سازی فرکانسی، زمان نشست، سرعت چرخش، توان نویز، توان مصرفی، بهینه‌سازی، مدارهای سوئیچ شونده خازنی

فهرست مطالب

عنوان صفحه

فصل اول مقدمه ۱

۱-۱-مشکلات پیش رو در طراحی آنالوگ..... ۲

۱-۲-هدف و انگیزه پایان‌نامه..... ۳

۱-۳-ضرورت استفاده از بهینه‌سازی در طراحی تقویت‌کننده‌های دوطبقه و سه طبقه ۵

۱-۴-ساختار پایان‌نامه..... ۶

۲-فصل دوم تقویت‌کننده‌های عملیاتی ترارسانایی و مفاهیم کلی آن‌ها ۷

۲-۱-ملزومات تقویت‌کننده‌ها..... ۷

۲-۱-۱- بهره DC..... ۸

۲-۱-۲-سرعت ۸

۲-۱-۳-حاشیه فاز ۹

۲-۲-تقویت‌کننده تک طبقه..... ۹

۲-۳-تقویت‌کننده دوطبقه ۱۰

۲-۳-۱-جبران‌سازی میلر..... ۱۲

۲-۳-۲-جبران‌سازی کسکود ۱۳

۲-۴-تقویت‌کننده سه طبقه ۱۴

۲-۴-۱-جبران‌سازی NMC و انواع آن..... ۱۴

۲-۴-۲-جبران‌سازی فرکانسی DFCFC..... ۱۷

۲-۴-۳-جبران‌سازی فرکانسی با فیدبک فعال ۱۹

۳-فصل سوم روش‌های طراحی تقویت‌کننده‌های دوطبقه و سه طبقه..... ۲۰

۳-۱-روش‌های طراحی تقویت‌کننده سه طبقه ۲۰

۳-۱-۱-طراحی مبتنی بر داشتن هموارترین پاسخ فرکانسی حلقه بسته ۲۰

۳-۱-۲-طراحی بر اساس پارامترهای حلقه باز..... ۲۱

۳-۱-۳-طراحی بر اساس دقت نشست مشخص ۲۲

۳-۱-۴-بهینه‌سازی زمان نشست و نویز تقویت‌کننده‌های سه طبقه..... ۲۷

۳-۱-۵-روش طراحی با استفاده از الگوریتم‌های بهینه سازی ۲۷

۳-۲-روش‌های طراحی تقویت‌کننده‌های دوطبقه ۳۰
۳-۲-۱-روش بهینه‌سازی برای تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود ۳۰
۳-۲-۲-روش بهینه‌سازی برای تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود مختلط ۳۴

۴-فصل چهارم طراحی و بهبود ساختاری تقویت‌کننده‌های سه طبقه ۳۵

۴-۱-طراحی یک تقویت‌کننده عملیاتی سه طبقه با ساختار جبران‌سازی NMC برای داشتن بهترین عملکرد نویز و زمان نشست..... ۳۵
۴-۱-۱-پیاده‌سازی ترانزیستوری تقویت‌کننده NMC ۳۹
۴-۱-۲-ملزومات طراحی تقویت کننده ۴۰
۴-۱-۳-شبیه‌سازی مداری تقویت‌کننده NMC ۴۱
۴-۱-۴-نتایج شبیه‌سازی ۴۲
۴-۲-روش‌های طراحی تقویت‌کننده عملیاتی سه طبقه با استفاده از الگوریتم‌های بهینه‌سازی ۴۴
۴-۲-۱-الگوریتم ژنتیک چند هدفه ۴۶
۴-۲-۲-تحلیل معیارهای عملکردی تقویت‌کننده NMC..... ۴۸
۴-۲-۲-۱-زمان نشست خطی ۴۸
۴-۲-۲-۲-زمان نشست غیرخطی (زمان نشست سیگنال بزرگ) ۴۸
۴-۲-۲-۳-تحلیل نویز تقویت‌کننده NMC ۴۹
۴-۲-۲-۴-توان مصرفی تقویت‌کننده ۵۰
۴-۲-۳-روند طراحی تقویت‌کننده‌ی سه طبقه با ساختار جبران‌سازی NMC ۵۰
۴-۲-۴-شبیه‌سازی مداری تقویت‌کننده NMC ۵۱
۴-۲-۵-نتایج شبیه‌سازی تقویت‌کننده NMC..... ۵۲
۴-۳-طراحی تقویت‌کننده‌های سه طبقه RNMC و DFCFC با استفاده از روش پیشنهادی ۵۵
۴-۳-۱-ساختار جبران‌سازی DFCFC..... ۵۶
۴-۳-۱-۱-پیاده‌سازی ترانزیستوری تقویت‌کننده DFCFC ۵۸
۴-۳-۲-ساختار جبران‌سازی RNMC ۵۹
۴-۳-۳-رفتار غیرخطی پاسخ زمانی تقویت‌کننده‌های RNMC و DFCFC ۶۰
۴-۳-۴-بررسی دقیق نویز تقویت‌کننده‌های RNMC و DFCFC..... ۶۱
۴-۳-۵-توان مصرفی تقویت‌کننده‌ها ۶۶
۴-۳-۶-طراحی تقویت‌کننده‌ها با استفاده از الگوریتم ژنتیک چندهدفه ۶۷
۴-۳-۷-طراحی سیستمی تقویت‌کننده‌ها ۶۹
۴-۳-۸-شبیه‌سازی مداری تقویت‌کننده‌ها ۷۰
۴-۳-۹-نتایج شبیه‌سازی تقویت‌کننده‌ها ۷۱
۴-۴-بهبود ساختاری تقویت‌کننده سه طبقه NMC..... ۸۰

۴-۴-۱-تقویت‌کننده سه طبقه کلاس AB پیشنهادی ۸۱
۴-۴-۲-نتایج شبیه سازی ۸۲

۵- فصل پنجم طراحی تقویت‌کننده‌های دوطبقه ۸۸

۵-۱-ساختار تقویت‌کننده دوطبقه با جبران‌سازی کسکود ۸۸
۵-۲-پیاده‌سازی ترانزیستوری تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود ۸۹
۵-۳-تحلیل معیارهای عملکردی تقویت‌کننده ۹۱
۵-۳-۱-زمان نشست سیگنال کوچک ۹۱
۵-۳-۲-زمان نشست سیگنال بزرگ ۹۲
۵-۳-۳-تحلیل نویز تقویت‌کننده ۹۲
۵-۳-۴-توان مصرفی تقویت‌کننده ۹۴
۵-۴-طراحی تقویت‌کننده ۹۵
۵-۵-نتایج شبیه سازی ۹۶

۶- فصل ششم نتیجه‌گیری و ارائه پیشنهادات ۱۰۱

۶-۱-نتیجه گیری ۱۰۱
۶-۲-پیشنهادات ۱۰۲

مراجع ۱۰۳

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام یک تقویت‌کننده تک طبقه..... ۱۰

شکل (۲-۲): بلوک دیاگرام یک تقویت‌کننده دوطبقه (الف) و مدل سیگنال کوچک تقویت‌کننده دوطبقه (ب)..... ۱۱

شکل (۲-۳): بلوک دیاگرام یک تقویت‌کننده دوطبقه با ساختار جبران‌سازی میلر..... ۱۲

شکل (۲-۴): بلوک دیاگرام یک تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود با استفاده از بافر جریان..... ۱۳

شکل (۲-۵): مدل سیگنال کوچک تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود..... ۱۳

شکل (۲-۶): جبران‌سازی NMC..... ۱۵

شکل (۲-۷): تقویت‌کننده سه طبقه با ساختار جبران‌سازی RNMC..... ۱۵

شکل (۲-۸): بلوک دیاگرام تقویت‌کننده سه طبقه با ساختار DFCFC..... ۱۸

شکل (۲-۹): جبران‌سازی فرکانسی با فیدبک فعال..... ۱۹

شکل (۳-۱): خطای نشست برای مقادیر مختلفξ بر حسب$\omega_n t_{ss}$ [۲۵]..... ۲۵

شکل (۳-۲): خطای نشست برای مقادیر مختلفα بر حسب $\omega_n t_{ss}$ [۲۵]..... ۲۶

شکل (۳-۳): خطای نشست برای مقادیر مختلف z_1 بر حسب$\omega_n t_{ss}$ [۲۵]..... ۲۶

شکل (۳-۴): پیاده‌سازی ترانزیستوری تقویت‌کننده NMC [۹]..... ۲۸

شکل (۳-۵): پیاده‌سازی ترانزیستوری تقویت‌کننده دوطبقه با ساختار کسکود [۲۹]..... ۳۱

شکل (۳-۶): مقادیر تقریبی پارامترهای سیستمی بر حسب دقت نشست تقویت‌کننده برای (الف)ρ، (ب)ξ و (ج) T_s[۲۹]..... ۳۳

شکل (۴-۱): نویز خروجی بر حسبξ ، به ازای مقادیر مختلفα..... ۳۷

شکل (۴-۲): نویز خروجی بر حسبξ ، به ازای مقادیر مختلفz_1..... ۳۸

شکل (۴-۳): نویز خروجی بر حسبα ، به ازای مقادیر مختلفξ ۳۸

شکل (۴-۴): مدار بایاس استفاده شده برای تقویت کننده [۶]..... ۴۰

شکل (۴-۵): مدارهای CMFB تقویت کننده سه طبقه شکل (۳-۴) [۶]. ۴۰
شکل (۴-۶): مدار نمونه بردار سوئیچ شونده خازنی flip-around ۴۰
شکل (۴-۷): پاسخ فرکانسی تقویت‌کننده NMC..... ۴۳
شکل (۴-۸): پاسخ خروجی به ازای پله ورودی 1V (پاسخ زمانی سیگنال بزرگ)..... ۴۳
شکل (۴-۹): پاسخ خروجی به ازای پله ورودی 100 mV (پاسخ زمانی سیگنال کوچک)..... ۴۴
شکل (۴-۱۰): شبیه‌سازی مونت‌کارلو برای زمان نشست..... ۴۴
شکل (۴-۱۱): پاسخ فرکانسی تقویت‌کننده NMC..... ۵۳
شکل (۴-۱۲): پاسخ پله خروجی به ازای پله ورودی 100 mV (پاسخ زمانی سیگنال کوچک). ۵۳
شکل (۴-۱۳): پاسخ پله خروجی به ازای پله ورودی 1V (پاسخ زمانی سیگنال بزرگ). ۵۴
شکل (۴-۱۴): نمودار مونت‌کارلو برای زمان نشست ۵۴
شکل (۴-۱۵): پیاده‌سازی ترانزیستوری یک تقویت‌کننده سه طبقه با ساختارDFCFC ۵۸
شکل (۴-۱۶): مدل سیگنال کوچک نویز برای (الف) تقویت‌کننده RNMC و (ب) تقویت‌کننده DFCFC ۶۳
شکل (۴-۱۷): مسئله بهینه‌سازی ۶۷
شکل (۴-۱۸): پاسخ پله خروجی تقویت‌کننده RNMC به ورودی ۱ ولت. ۷۲
شکل (۴-۱۹): پاسخ پله خروجی تقویت DFCFC به ازای پله ورودی 1V (پاسخ زمانی سیگنال بزرگ). ۷۲
شکل (۴-۲۰): پاسخ پله خروجی تقویت DFCFC به ازای پله ورودی 100 mV (پاسخ زمانی سیگنال کوچک)..... ۷۳
شکل (۴-۲۱):پاسخ فرکانسی تقویت‌کننده RNMC ۷۳
شکل (۴-۲۲): پاسخ فرکانسی تقویت‌کننده DFCFC..... ۷۳
شکل (۴-۲۳): شبیه‌سازی مونت‌کارلو برای زمان نشست تقویت‌کننده RNMC..... ۷۴
شکل (۴-۲۴): شبیه‌سازی مونت‌کارلو برای زمان نشست تقویت‌کننده DFCFC. ۷۴
شکل (۴-۲۵): چگالی طیف توان نویز طبقات (الف) اول (ب) دوم و (ج) سوم در خروجی تقویت‌کننده NMC [۹]..... ۷۶

شکل (۴-۲۶): چگالی طیف توان نویز طبقات (الف) اول (ب) دوم و (ج) سوم در خروجی تقویت‌کننده RNMC ۷۷

شکل (۴-۲۷): چگالی طیف توان نویز طبقات (الف) اول (ب) دوم و (ج) سوم در خروجی تقویت‌کننده DFCFC ۷۸

شکل (۴-۲۸): شماتیک تقویت‌کننده سه طبقه NMC با ساختار کلاس AB پیشنهادی(خازن های جبران سازی،مدار بایاس و مدار CMFB در شکل نشان داده نشده اند). ۸۱

شکل (۴-۲۹): تغییرات جریان ترانزیستورهای ورودی وجریان خروجی طبقه اول تقویت‌کننده پیشنهادی در فاز Slewing. ۸۴

شکل (۴-۳۰): تغییرات ولتاژ گره‌های VR و VL در تقویت‌کننده پیشنهادی در فاز Slewing. ۸۴

شکل (۴-۳۱): پاسخ پله تقویت‌کننده کلاس A به ورودی ۱ ولت. ۸۵

شکل (۴-۳۲): پاسخ پله تقویت‌کننده کلاس AB پیشنهاد شده به ورودی ۱ ولت. ۸۵

شکل (۴-۳۳): پاسخ فرکانسی تقویت‌کننده کلاس AB پیشنهاد شده. ۸۶

شکل (۴-۳۴): شبیه سازی مونت کارلو برای زمان نشست تقویت‌کننده پیشنهاد داده شده. ۸۷

شکل (۵-۱): بلوک دیاگرام یک تقویت‌کننده دوطبقه با ساختار کسکود ۸۹

شکل (۵-۲): پیاده‌سازی ترانزیستوری برای تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود ۹

شکل (۵-۳): مدار بایاس استفاده شده برای تقویت کننده دو طبقه نشان داده شده در شکل (۵-۲) [۴۷]. ۹۰

شکل (۵-۴): مدار CMFB استفاده شده برای تعیین کردن ولتاژ مدمشترک خروجی طبقات شکل ۹

شکل (۵-۵): مدل نویز تقویت‌کننده دوطبقه با ساختار جبران‌سازی کسکود ۹۳

شکل (۵-۶): پاسخ زمانی تقویت‌کننده به ازای پله ورودی 1V (پاسخ زمانی سیگنال بزرگ)..... ۹۷

شکل (۵-۷): پاسخ زمانی تقویت‌کننده به ازای پله ورودی 100 mV (پاسخ زمانی سیگنال کوچک).. ۹۷

شکل (۵-۸): پاسخ فرکانسی تقویت‌کننده. ۹۸

شکل (۵-۹): شبیه‌سازی مونت‌کارلو برای زمان نشست ۹۹

شکل (۵-۱۰): چگالی طیف توان نویز (الف) طبقه اول و (ب) طبقه دوم در خروجی..... ۹۹

فهرست جدول‌ها

جدول (۴-۱): مقادیر نهایی به دست آمده از روش طراحی پیشنهادی برای تقویت‌کننده NMC..... ۳۹
جدول (۴-۲):ابعاد نهایی ترانزیستورها بعد از شبیه‌سازی ۴۱
جدول (۴-۳): نتایج شبیه‌سازی در سه گوشه تکنولوژی برای دو طراحی مختلف. ۴۲
جدول (۴-۴): مقادیر پارامترهای سیستمی و مداری به دست آمده از الگوریتم ژنتیک. ۵۱
جدول (۴-۵): ابعاد نهایی ترانزیستورها بعد از شبیه‌سازی ۵۲
جدول (۴-۶): نتایج شبیه‌سازی در سه گوشه تکنولوژی برای دو طراحی مختلف ۵۲
جدول (۴-۷): مقایسه انواع روش های طراحی شده ۵۵
جدول (۴-۸): ملزومات تقویت‌کننده‌های طراحی شده ۶۹
جدول (۴-۹): مقادیر پارامترهای سیستمی و مداری به دست آمده بعد از طراحی ۷۰
جدول (۴-۱۰): ابعاد نهایی ترانزیستورها در تقویت‌کننده RNMC..... ۷۰
جدول (۴-۱۱): ابعاد نهایی ترانزیستورها در تقویت‌کننده DFCFC..... ۷۱
جدول (۴-۱۲): نتایج شبیه‌سازی برای دو تقویت‌کننده RNMC و DFCFC در سه گوشه تکنولوژی ۷۱
جدول (۴-۱۳): توان نویز در خروجی تقویت‌کننده‌ها ناشی از هر طبقه تقویت‌کننده..... ۷۵
جدول (۴-۱۴): مقایسه نتایج نهایی شبیه‌سازی برای هر سه تقویت‌کننده ۷۹
جدول (۴-۱۵): ابعاد ترانزیستورهای به کار رفته در تقویت‌کننده‌ها..... ۸۳
جدول (۴-۱۶): خلاصه نتایج شبیه‌سازی تقویت‌کننده‌ها. ۸۶
جدول (۵-۱): مقادیر پارامترهای سیستمی و مداری به دست آمده از طراحی ۹۵
جدول (۵-۲): ابعاد نهایی ترانزیستورهای تقویت‌کننده..... ۹۵
جدول (۵-۳): خلاصه نتایج شبیه‌سازی تقویت‌کننده. ۹۶
جدول (۵-۴): سهم نویز هر طبقه در خروجی تقویت‌کننده ۹۸
جدول (۵-۵): مقایسه انواع روش‌های طراحی برای تقویت‌کننده‌های دو طبقه ۱۰۰

واژه نامه

جبران سازی میلر تودرتو	Nested Miller Compesation
جبران سازی میلر تودرتو معکوس	Reverse Nested Miller Compesation
جبران سازی کنترل ضریب میرایی	Damping Factor Control Frequency Compensation
رگولاتورهای ولتاژ	Low drop-out regulator
شبیه سازی های نمادین	Symbolic simulations
تقویت‌کننده هدایت انتقالی	Operational Transconductance Amplifier
سرعت چرخش	Slew rate
افزایش بهره	Gain Boosting
تاشده	Folded
جبران‌سازی میلر	Miller compensation
حاشیه فاز	Phase Margin
جبران‌سازی کسکود	Cascode Compensation
جبران‌سازی کسکود مختلط	Hybrid Cascode Compesation
فرکانس طبیعی	Natural-Frequecy
ضریب میرایی	Damping-Factor
جبران‌سازی میلری تودرتو با مقاومت صفرساز	Nested Miller Compensation with Nulling Resistor
جبران‌سازی میلری تودرتو با طبقه مستقیم g_m	Nested Miller Compensation with Feedforward g_m Stage
قطب حقیقی نرمالیزه شده	Normalized real pole
صفر LHP نرمالیزه شده	Normalized LHP zero
صفر RHP نرمالیزه شده	Normalized RHP zero
توان مصرفی	Power dissipation
نویز کلی	Total noise
زمان نشست سیگنال کوچک	small signal settling time
ژنتیک چند هدفه	multi objective genetic
ضریب شایستگی	Figure-of-merit

Pareto Front	مرز پرتو
Slew-Rate Enhancement	بهبود نرخ چرخش
Settling Time	زمان نشست
Folded Cascode	کسکود تا شده

اختصارنامه

NMC	Nested Miller Compesation
RNMC	Reverse Nested Miller Compesation
DFCFC	Damping Factor Control Frequency Compensation
SR	Slew Rate
OTA	Operational Transconductance Amplifier
PM	Phase Margin
NMCNR	Nested Miller Compensation with Nulling Resistor
NMCF	Nested Miller Compensation with Feedforward g_m Stage
NGCC	Nested Gm-C Compensation
LHP	Left Half Plane
RHP	Right Half Plane
FOM	Figure-of-merit

مراجع

[1] J. Huijsing, Frequency Compensation Techniques for Low-Power Operational Amplifiers: Kluwer Academic Pulisher, 1995.

[2] A. Garimella, M. W. Rashid, and P. M. Furth, "Reverse nested miller compensation using current buffers in a three-stage LDO," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 4, pp. 250-254, March 2010.

[3] S. Guo and H. Lee, "Single-capacitor active-feedback compensation for small-capacitive-load three-stage amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 10, pp. 758-762, Aug. 2009.

[4] K. N. Leung and P. K. Mok, "Nested Miller compensation in low-power CMOS design," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, no. 4, pp. 388-394, Apr. 2001.

[5] M. Yavari, "Active-feedback single Miller capacitor frequency compensation techniques for three-stage amplifiers," *Journal of Circuits, Systems, and Computers*, vol. 19, no. 07, pp. 1381-1398, Nov.2010.

[6] S. Golabi, *Analysis, Design, and Structural Improvement of CMOS Operational Amplifiers for Switched-Capacitor Circuits*, Masters of Thesis, Dept. of Electrical Engineering, Amirkabir University of Technology, Oct. 2013.

[7] A. Pugliese, G. Cappuccino, and G. Cocorullo, "Design procedure for settling time minimization in three-stage nested-Miller amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 1, pp. 1-5, Jan. 2008.

[8] F. Fernandez, A. Rodriguez-Vazquez, J. Huertas, and G. Gielen, Symbolic analysis techniques. Applications to analog design automation, *Symbolic Analysis Techniques. Applications to Dnalog Design Automation:* Wiley-IEEE Press. 1997.

[9] S. Golabi and M. Yavari, "Design of CMOS three-stage amplifiers for fast-settling switched-capacitor circuits," *Analog Integrated Circuits and Signal Processing*, vol. 80, no. 2, pp. 195-208, May 2014.

[10] B. K. Ahuja, "An improved frequency compensation technique for CMOS operational amplifiers," *IEEE journal of solid-state circuits*, vol. 18, no. 6, pp. 629-633, Dec. 1983.

[11] P. J. Hurst, S. H. Lewis, J. P. Keane, F. Aram, and K. C. Dyer, "Miller compensation using current buffers in fully differential CMOS two-stage operational amplifiers,"

IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 51, no. 2, pp. 275-285, Apr. 2004.

[12] J. Mahattanakul, "Design procedure for two-stage CMOS operational amplifiers employing current buffer," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 52, no. 11, pp. 766-770, Nov. 2005.

[13] G. Palmisano and G. Palumbo, "A compensation strategy for two-stage CMOS opamps based on current buffer," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications,* vol. 44, no. 3, pp. 257-262, Mar. 1997.

[14] K. N. Leung, P. K. T. Mok, and W.-H. Ki, "Right-half-plane zero removal technique for low-voltage low-power nested Miller compensation CMOS amplifier," in *Electronics, Circuits and Systems, 1999. Proceedings of ICECS'99. The 6th IEEE International Conference on*, 1999, vol. 2, pp. 599-602.

[15] F. You, S. H. Embabi, and E. Sanchez-Sinencio, "Multistage amplifier topologies with nested G/sub m/-C compensation," *IEEE Journal of solid-state circuits,* vol. 32, no. 12, pp. 2000-2011, Dec. 1997.

[16] K. N. Leung and P. K. Mok, "Analysis of multistage amplifier-frequency compensation," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications,* vol. 48, no. 9, pp. 1041-1056, Sept. 2001.

[17] H. Lee and P. K. Mok, "Active-feedback frequency-compensation technique for low-power multistage amplifiers," *IEEE Journal of Solid-State Circuits,* vol. 38, no. 3, pp. 511-520, March 2003.

[18] H. Lee and P. K. Mok, "Advances in active-feedback frequency compensation with power optimization and transient improvement," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 51, no. 9, pp. 1690-1696, Sept. 2004.

[19] M. Jalalifar, M. Yavari, and F. Raissi, "A Novel Frequency Compensation Technique in Three Stage Amplifiers with Active Feedback," *Majlesi Journal of Electrical Engineering,* vol. 4, no. 1, March 2010.

[20] H. Lee, K. N. Leung, and P. K. Mok, "A dual-path bandwidth extension amplifier topology with dual-loop parallel compensation," *IEEE Journal of Solid-State Circuits,* vol. 38, no. 10, pp. 1739-1744, Sept. 2003.

[21] C. Qin, L. Zhang, C. Zhou, L. Zhang, Y. Wang, and Z. Yu, "Dual AC Boosting Compensation Scheme for Multi-Stage Amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol.64, no. 8, pp. 882-886, Sept. 2017.

[22] V. Saxena and R. J. Baker, "Indirect compensation techniques for three-stage fully-differential op-amps," in *Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on*, 2010, pp. 588-591: IEEE.

[23] C. Song, Z. Zhu, and Y. Yang, "A fast-settling three-stage amplifier using regular Miller plus reversed indirect compensation," *Circuits, Systems, and Signal Processing,* vol. 36, no. 2, pp. 795-810, Apr. 2017.

[24] A. Pugliese, G. Cappuccino, and G. Cocorullo, "Nested Miller compensation capacitor sizing rules for fast-settling amplifier design," *Electronics Letters,* vol. 41, no. 10, pp. 573-575, May 2005.

[25] M. Yavari, "A design procedure for CMOS three-stage NMC amplifiers," *IEICE*

Transactions on Fundamentals, vol. 94, no. 2, pp. 639-645, Feb. 2011.

[26] S. Seth and B. Murmann, "Settling time and noise optimization of a three-stage operational transconductance amplifier," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 60, no. 5, pp. 1168-1174, May 2013.

[27] S. O. Cannizzaro, A. D. Grasso, R. Mita, G. Palumbo, and S. Pennisi, "Design procedures for three-stage CMOS OTAs with nested-Miller compensation," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 54, no. 5, pp. 933-940, May 2007.

[28] R. Nguyen and B. Murmann, "The design of fast-settling three-stage amplifiers using the open-loop damping factor as a design parameter," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 57, no. 6, pp. 1244-1254, Jan. 2010.

[29] A. Pugliese, F. Amoroso, G. Cappuccino, and G. Cocorullo, "Design approach for fast-settling two-stage amplifiers employing current-buffer Miller compensation," *Analog Integrated Circuits and Signal Processing,* vol. 59, no. 2, pp. 151-159, Sept.2009.

[30] M. Yavari, O. Shoaei, and A. Rodriguez-Vazquez, "Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation," in *Design, Automation and Test in Europe,* 2006, vol. 1, p. 6 pp.: IEEE.

[31] F. A. Amoroso, A. Pugliese, and G. Cappuccino, "Design considerations for fast-settling two-stage Miller-compensated operational amplifiers," in *Electronics, Circuits, and Systems, 2009. ICECS 2009. 16th IEEE International Conference on,* 2009, pp. 5-8: IEEE.

[32] G. Palmisano, G. Palumbo, and S. Pennisi, "Design procedure for two-stage CMOS transconductance operational amplifiers: A tutorial," *Analog Integrated Circuits and Signal Processing,* vol. 27, no. 3, pp. 179-189, May 2001.

[33] A. D. Grasso, D. Marano, G. Palumbo, and S. Pennisi, "Analytical comparison of reversed nested Miller frequency compensation techniques," *International Journal of Circuit Theory and Applications,* vol. 38, no. 7, pp. 709-737,May 2010.

[34] A. D. Grasso, D. Marano, G. Palumbo, and S. Pennisi, "Improved reversed nested Miller frequency compensation technique with voltage buffer and resistor," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 54, no. 5, pp. 382-386,May 2007.

[35] A. D. Grasso, G. Palumbo, and S. Pennisi, "Advances in reversed nested Miller compensation," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 54, no. 7, pp. 1459-1470, July 2007.

[36] K.-P. Ho, C.-F. Chan, C.-S. Choy, and K.-P. Pun, "Reversed nested Miller compensation with voltage buffer and nulling resistor," *IEEE Journal of Solid-State Circuits,* vol. 38, no. 10, pp. 1735-1738,Sept. 2003.

[37] M. Jalalifar, M. Yavari, and F. Raissi, "A novel topology in reversed nested miller compensation using dual-active capacitance," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on,* 2008, pp. 2270-2273: IEEE.

[38] M. Jalalifar, M. Yavari, and F. Raissi, "A novel topology in RNMC amplifiers with single Miller compensation capacitor," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on,* 2008, pp. 296-299: IEEE.

[39] A. Dastgheib and B. Murmann, "Calculation of total integrated noise in analog circuits," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 55, no. 10, pp. 2988-2993,Apr. 2008.

[40] M. Figueiredo, R. Santos-Tavares, E. Santin, J. Ferreira, G. Evans, and J. Goes, "A two-stage fully differential inverter-based self-biased CMOS amplifier with high efficiency," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 58, no. 7, pp. 1591-1603, June 2011.

[41] R. Santos-Tavares, N. Paulino, J. Higino, J. Goes, and J. P. Oliveira, "Optimization of multi-stage amplifiers in deep-submicron CMOS using a distributed/parallel genetic algorithm," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, 2008, pp. 724-727: IEEE.

[42] M. Yavari, "Single-stage class AB operational amplifier for SC circuits," *Electronics letters,* vol. 46, no. 14, pp. 977-979, July.2010.

[43] M. Yavari and T. Moosazadeh, "A single-stage operational amplifier with enhanced transconductance and slew rate for switched-capacitor circuits," *Analog Integrated Circuits and Signal Processing,* vol. 79, no. 3, pp. 589-598, Jun. 2014.

[44] M. Yavari and O. Shoaei,"Low-voltage low-power fast-settling CMOS operational transconductance amplifiers for switched-capacitor applications," *IEE Proceedings-Circuits, Devices and Systems,* vol. 151, no. 6, pp. 573-578,Dec. 2004.

[45] S. Golabi and M. Yavari, "A three-stage class AB operational amplifier with enhanced slew rate for switched-capacitor circuits," *Analog Integrated Circuits and Signal Processing,* vol. 83, no. 1, pp. 111-118, Apr.2015.

[46] P. Pérez-Nicoli, F. Veirano, P. C. Lisboa, and F. Silveira, "Low-power operational transconductance amplifier with slew-rate enhancement based on non-linear current mirror, " *Analog Integrated Circuits and Signal Processing,* vol. 89, no. 3, pp. 521-529,Aug. 2016.

[47] B. Razavi, *Design of analog CMOS integrated circuits*: McGraw-Hill Professioal, 2001.

Abstract:

In this thesis, an analysis of the noise power, and linear settling time for three stage OTAs is firstly introduced, and then OTAs are designed based on this analysis. In the following, three-stage OTAs with RNMC and DFCFC compensation schemes are designed using multi-objective genetic algorithm. Genetic algorithm flexibility and usability to design OTAs are demonstrated in this research. Furthermore, a complete and accurate analysis of noise power of each stage in OTAs is performed. Eventually, it is shown that the proposed method to design three-stage OTAs with DFCFC compensation technique is applicable to any OTA with a similar transfer function. Also, a conclusion has been made that two-stage OTA with cascode compensation structure has similar transfer function to DFCFC. For this aim, a two-stage OTA with cascode compensation structure is designed. In all designs, linear and non-linear settling times, noise, area and power consumption are evaluated because they are important for SC circuits. Optimum value of circuit parameters are achieved by optimization methods.

One of the most problems of three-stage OTAs is small slew rate which limits the settling time. To resolve this problem, a class AB OTA is used at the input of NMC OTA which improves the slew rate of the first stage, and hence, the OTA overall slew rate. By comparing slew rate of proposed class AB with class A, 191% slew rate is improved.

The optimization problem is solved using MATLAB global optimization toolbox and circuit level simulation results are provided using a 90 nm CMOS technology.

Keywords: Multi stage Operational amplifiers, frequency compensation, settling time, slew rate, noise power, optimization, switched capacitor circuits

Amirkabir University of Technology

Department of Electrical Engineering

A dissertation submitted in partial fulfillment of the requirements for the degree of

Master of Science

Analysis, Design, and Structural Improvement of CMOS Multi Stage Amplifiers in Switched-Capacitor Circuits

By:

Farshad Alizadeh Arand

Under supervision of:

Dr. Mohammad Yavari

April 2018