Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc. Thesis

Title

Highly Linear Low Noise Amplifier with Harmonic Rejection

By
Farzaneh Jalali Bidgoli

Supervisor
Dr.Mohammad Yavari

January 2016

دانشگاه صنعتی امیرکبیر

(پلی‌تکنیک تهران)

دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد

گرایش الکترونیک

عنوان

تقویت کننده های کم نویز CMOS با دقت خطی بالا و قابلیت حذف هارمونیک

نگارش

فرزانه جلالی بیدگلی

استاد راهنما

دکتر محمد یاوری

بهمن ماه ۱۳۹۴

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

اینجانب فرزانه جلالی بیدگلی متعهد می‌شوم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی این‌جانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آن‌هااستفاده‌شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان‌نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادرشده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

امضا

چکیده

تقویت‌کننده های کم نویز نوع خاصی از تقویت کننـده‌هـای الکترونیکـی هسـتند کـه در سیسـتم‌هـای مخابراتی برای تقویت سیگنال‌های گرفته شده از آنتن به کار می‌روند. از آنجایی که LNA[1] اولین طبقه از مدار گیرنده است، عملکرد آن تا حد زیادی بر عملکرد کلی گیرنده تـاثیر مـی‌گـذارد. یـک LNA بـا پارامترهایی نظیر عدد نویز، بهره، خطی بودن، تطبیق ورودی و خروجی وتوان مصرفی ارزیابی مـی‌شـود. یک چالش بزرگ در طراحی LNAها مشکل هارمونیک‌های LO می‌باشد که باعث خراب شدن سیگنال اصلی در حضور مسدود کننده[2]های قوی می‌شود. در این پایان نامه یک تقویت کننده کم نویز درمحدوده فرکانسی 1-2 GHz با قابلیت حذف هارمونیک‌ها بـدون اسـتفاده از فیلتـر SAW[3] ارائـه شـده اسـت. تکنیک استفاده شده در طراحی این تقویت کننده بر پایه اضـافه کـردن یـک درجـه آزادی بـه مـدار بـا استفاده ازتکنیک فیدفووارد[4] است. در این روش یک فیلتر میان نگذر با قابلیت تغییر فرکانس ایجاد مـی شود و هارمونیک‌های مرتبه سوم و مرتبه بالاتر را حذف می‌کند. مدار پیشنهادی با استفاده از شبیه سـاز Spectre RF در تکنولوژی 90 نانومتر CMOS و با ولتاژ تغذیه 1.2 ولت شـبیه سـازی شـده اسـت. نتایج شبیه سازی نشان می‌دهد که هارمونیک ها تقریبا 35 دسیبل تضعیف می شـوند و عـدد نـویز آن 3.1-3.6 دسیبل می‌باشد. مقدار IIP3 آن حدودا 4.05-4.5 دسـیبل و تطبیـق ورودی کمتـر از 16- دسیبل می‌باشد. لی‌آوت مدار پیشنهادی نیز ترسیم شده است که مساحت طراحـی $0.318mm^2$ مـی-باشد و شبیه سازی post-layout نیز انجام شـده اسـت. همچنـین شـبیه سـازی مـدار پیشـنهادی در بدترین گوشه‌های تکنولوژی و دما، صحت عملکرد مدار پیشنهادی را تایید می‌کند.

واژه‌های کلیدی:

تقویت‌کننده کم‌نویز، خطینگی، عدد نویز، حذف هارمونیک، فیلتر قابل تنظیم.

---

[1] Low Noise Amplifier

[2] blocker

[3] Surface acoustic wave filter

[4] Feedforward

فهرست مطالب

عنوان **صفحه**

فصل اول: مقدمه..... ۱
۱-۱- انگیزه..... ۱
۱-۲- هدف..... ۲
۱-۳- ساختار پایان‌نامه..... ۲
فصل دوم: تقویت‌کننده‌های کم نویز..... ۴
۲-۱- موقعیت تقویت کننده‌های کم نویز در گیرنده‌های بی سیم..... ۴
۲-۲- تقویت کننده کم نویز و پارامترهای سنجش عملکرد آن..... ۵
۲-۲-۱- پارامترهای پراکندگی..... ۶
۲-۲-۲- تطبیق ورودی..... ۷
۲-۲-۳- تطبیق خروجی..... ۷
۲-۲-۴- بهره..... ۸
۲-۲-۵- عدد نویز..... ۸
۲-۲-۶- خطینگی..... ۱۰
۲-۲-۷- اعوجاج هارمونیکی..... ۱۱
۲-۲-۸- اینترمدولاسیون..... ۱۲
۲-۲-۹- نقطه تقاطع مرتبه سوم (*IIP3*)..... ۱۳
۲-۲-۱۰- نقطه تقاطع مرتبه دوم (*IIP2*)..... ۱۵
۲-۲-۱۱- نقطه فشردگی یک دسیبل..... ۱۶
۲-۳- تکنیک های بهبود خطینگی..... ۱۶
۲-۳-۱- حذف هارمونیک..... ۱۸
۲-۳-۲- تکنیک بایاس بهینه..... ۱۹
۲-۳-۳- تکنیک جمع آثار مشتقات..... ۲۰
۲-۳-۴- تکنیک تزریق *IM2*..... ۲۲
۲-۳-۵- تکنیک خطی‌سازی با ایجاد اعوجاج..... ۲۳
۲-۳-۶- پهنای باند..... ۲۵
۲-۳-۷- توان مصرفی..... ۲۵
۲-۴- تکنیکهای حذف مسدودکنندهها..... ۲۵
۲-۴-۱- تکنیک فیدبک..... ۲۷
۲-۴-۲- تکنیک N-Path..... ۲۸
۲-۴-۲-۱-N-Path ایده آل..... ۲۸
۲-۴-۲-۲- تابع انتقال باند پایه و پهنای باند..... ۲۹

۲-۴-۳- تکنیک فیدفوروارد ۳۱
۲-۵- تکنیک حذف نویز ۳۲
۲-۵-۱- حذف نویز در مدار سورس مشترک ۳۲
۲-۶- نتیجه گیری ۳۴

فصل سوم: مروری بر ساختارهای موجود ۳۵
۳-۱- تقویت کننده کمنویز توزیع شده ۳۵
۳-۲- تکنیک افزایش G_m ۳۷
۳-۳- تکنیک فیدبک ۳۸
۳-۳-۱-استفاده از فیدبک مقاومتی در مدار سورس مشترک ۳۹
۳-۳-۲-استفاده از فیدبک در ساختار گیت مشترک ۴۰
۳-۴- تکنیک حذف مسدود کنندهها برای گیرنده های بیسیم بدون فیلتر SAW ۴۱
۳-۵- تکنیک حذف مسدودکننده در گیرندههای رادیو جلویی[19] ۴۵
۳-۶- LNA پهن باند با قابلیت حذف هارمونیک[40] ۴۹

فصل چهارم: تکنیک پیشنهادی حذف هارمونیک در تقویت کننده کم‌نویز ۵۳
۴-۱-ایده اولیه ۵۴
۴-۲-تکنیک فیدفوروارد ۵۶
۴-۲-۱- اثرات غیرخطی ۵۶
۴-۲-۲- خراب شدن عدد نویز LNA ۵۶
۴-۲-۳- عدم تطابق بهره ۵۷
۴-۲-۴- عدم تطابق فاز ۵۷
۴-۳-ساختار پیشنهادی ۵۸
۴-۴-تطبیق ورودی ۶۶
۴-۵-بهره ۶۹
۴-۶-مدار بایاس ۷۲
۴-۷-مدار نهایی و نتایج شبیه سازی ۷۵
۴-۷-۱-شبیه سازی در گوشه‌های تکنولوژی و دما ۸۴
۴-۸-جانمایی و لی‌آوت ۸۷
۴-۸-۱-جانمایی و لی‌آوت LNA پیشنهادی ۸۷
۴-۸-۲- نتایج شبیه سازی بعد از لی‌آوت LNA پیشنهادی ۸۹

فصل پنجم: نتیجه گیری و پیشنهادات ۹۳
۵-۱-نتیجه‌گیری ۹۴
۵-۲-پیشنهادات ۹۵

مراجع ۹۶

فهرست شکل‌ها

شکل **صفحه**

شکل (۲-۱): بلوک دیاگرام یک گیرنده بی سیم[1] ۵
شکل(۲-۲): توصیف موج های تابشی و بازگشتی در ورودی وخروجی یک شبکه دو قطبی[2] ۷
شکل (۲-۳): تولید مولفه های مختلف اینترمدولاسیون در آزمایش دوتون. ۱۳
شکل (۲-۴): آزمایش دوتون بر روی مدار یکه اعوجاج مرتب سوم دارد. ۱۴
شکل (۲-۵): استفاده از تکنیک حذف هارمونیک در تقویت کننده کم نویز[8] ۱۸
شکل (۲-۶): نمودار g_3 بر حسب V_{g3} ۱۹
شکل (۲-۷): پیاده سازی تکنیک جمع آثار مشتقات ۲۱
شکل (۲-۸):اعوجاج مرتبه سوم ترانزیستورهای اصلی و کمکی و خروجی در روش جمع آثار با دو ترانزیستور NMOS. ۲۲
شکل (۲-۹): تکنیک خطی سازی با ایجاد اعوجاج ۲۴
شکل (۲-۱۰): رادیو جهانی برای استانداردهای چند گانه ۲۶
شکل (۲-۱۱): تکنیک فیدبک [12]. ۲۷
شکل(۲-۱۲): نمای کلی فیلتر N-Path. ۲۸
شکل (۲-۱۳): عملکرد فیلتر N-Path در حوزه فرکانس ۲۹
شکل (۲-۱۴): فیلتر ۴ مسیره ۳۰
شکل (۲-۱۵): تکنیک فیدفوروارد ۱۳
شکل (۲-۱۶): ایده حذف نویز در ساختار سورس مشترک ۳۳
شکل (۲-۱۷): پیاده سازی مداری تکنیک حذف نویز توسط ترانزیستور مشترک ۳۳
شکل (۳-۱): تقویت کننده کم نویز باند وسیع با استفاده از ساختار توزیع شده[25]. ۳۶
شکل (۳-۲): تقویت کننده کم نویز با تکنیک افزایش G_m [33] ۳۸
شکل (۳-۳): تقویت کننده کم نویز سورس مشترک با تکنیک فیدبک مقاومتی[5]. ۳۹
شکل (۳-۴): تقویت کننده کم نویز گیت مشترک با فیدبک مثبت و افزایش G_m [39] ۴۱
شکل (۳-۵): بلوک دیاگرام مرجع [40]. ۴۲
شکل (۳-۶): جزئیات دقیق فیلتر طراحی شده. ۴۲
شکل (۳-۷): LNA استفاده شده در مرجع [20]. ۴۴
شکل (۳-۸): میکسر پایین برنده استفاده شده در مرجع [20]. ۴۴
شکل (۳-۹): میکسر بالا برنده استفاده شده در مرجع [20]. ۴۵
شکل (۳-۱۰): بلوک دیاگرام مدار پیشنهادی در مرجع [19]. ۴۶

شکل (۳-۱۱): نمودار برداری جمع خطا در تکنیک فیدبک[19]. ۴۷
شکل (۳-۱۲): تابع انتقال فیلتر[19]. ۴۷
شکل (۳-۱۳): LNA استفاده شده در مرجع [19]. ۴۸
شکل (۳-۱۴): میکسرهای بالابرنده و پایین برنده استفاده شده در مرجع [19]. ۴۸
شکل (۳-۱۵): بلوک دیاگرام مدار مرجع [40]. ۴۹
شکل (۳-۱۶): LNA و فیلتر طراحی شده در مرجع [40]. ۵۱
شکل (۳-۱۷): نمودار بهره در مرجع[40]. ۵۱
شکل (۴-۱): بلوک دیاگرام تکنیک فیدبک ۵۴
شکل (۴-۲): عملکرد تکنیک فیدبک ۵۵
شکل (۴-۳): بلوک دیاگرام پیشنهادی با تکنیک فیدبک ۵۵
شکل (۴-۴): تاثیر عدم تطابق بین بهره میکسر و LNA[23] ۵۷
شکل (۴-۵): طراحی با استفاده از فیلترهای اکتیو. ۵۹
شکل (۴-۶): سلف اکتیو ۵۹
شکل (۴-۷): طبقه ورودی. ۶۱
شکل (۴-۸): ساختار اولیه مدار پیشنهادی. ۶۲
شکل (۴-۹): طراحی با استفاده از فیلترهای اکتیو.. ..... ۶۳
شکل (۴-۱۰): ساختمان خازن ساده ۶۳
شکل (۴-۱۱): مدل استفاده شده خازن در مدار.. ..... ۶۴
شکل (۴-۱۲): بانک خازنی ۶۴
شکل (۴-۱۳): نمودار بهره در فرکانس GHz ۱.۱. ..... ۶۵
شکل (۴-۱۴): LNA همراه با دو مسیر فیدفوروارد. ۶۵
شکل (۴-۱۵): تقویت کننده کم نویز باند وسیع با استفاده از فیلتر میان گذر [7]. ۶۷
شکل (۴-۱۶): فیدبک اکتیو. ۶۸
شکل (۴-۱۷): مدار تطبیق ورودی. ۶۹
شکل (۴-۱۸): مدار مسیر اصلی ۷۰
شکل (۴-۱۹): معادل سیگنال کوچک مسیر اصلی ۷۰
شکل (۴-۲۰): مسیر کمکی ۷۱
شکل (۴-۲۱): مدار اولیه بایاس ۷۲
شکل (۴-۲۲): مدار بایاس استفاده شده. ۷۳
شکل (۴-۲۳): مدار start up. ۷۴
شکل (۴-۲۴): مدار بایاس نهایی استفاده شده. ۷۵

شکل (۴-۲۵): مدار کامل LNA پیشنهادی ۷۶
شکل (۴-۲۶): شبیه سازی بهره در فرکانس GHz ۱.۲. ..... ۷۷
شکل (۴-۲۷): شبیه سازی بهره. ۷۸
شکل (۴-۲۸): شبیه سازی عدد نویز در فرکانس GHz ۱.۳. ..... ۷۹
شکل (۴-۲۹): شبیه سازی عدد نویز. ۷۹
شکل (۴-۳۰): شبیه سازی S11. ..... ۸۰
شکل (۴-۳۱): IIP3 در فرکانس GHz ۱.۳ ..... ۸۱
شکل (۴-۳۲): شبیه سازی IIP3 بدون مدار حذف مسدود کننده ۸۱
شکل (۴-۳۳): شبیه سازی IIP3. ..... ۸۲
شکل (۴-۳۴): شبیه سازی ضریب پایداری ۸۳
شکل (۴-۳۵): شبیه سازی ضریب دلتا ۸۴
شکل (۴-۳۶): شبیه سازی بهره در گوشه‌های دما و تکنولوژی ۸۵
شکل (۴-۳۷): شبیه سازی IIP3 در گوشه‌های دما و تکنولوژی ۸۵
شکل (۴-۳۸): شبیه سازی عدد نویز در گوشه‌های دما و تکنولوژی ۸۶
شکل (۴-۳۹): شکل جانمایی و لی‌آوت ۸۸
شکل (۴-۴۰): بهره LNA پیشنهادی بعد از لی‌آوت ۸۹
شکل (۴-۴۱): شبیه سازی بهره در فرکانسهای مختلف ۹۰
شکل (۴-۴۲): عدد نویزLNA پیشنهادی بعد از لی‌آوت. ۹۰
شکل (۴-۴۳): S11 مدار پیشنهادی بعد از لی‌آوت. ۹۱
شکل (۴-۴۴): IIP3 مدار پیشنهادی بعد از لی‌آوت..... ۹۱

فهرست جدول‌ها

جدول **صفحه**

جدول (۴-۱): ابعاد ترانزیستورهای LNA پیشنهادی ۷۶
جدول (۴-۲): مقادیر عناصرLNA پیشنهادی ۷۶
جدول (۴-۳): ابعاد ترانزیستورهای مدار بایاس ۷۷
جدول (۴-۴): نتایج شبیه‌سازی LNA پیشنهادی در گوشه‌های دما و تکنولوژی ۸۶
جدول (۴-۵): نتایج شبیه سازی LNA پیشنهادی و مقایسه کارهای انجام شده. ۸۷
جدول (۴-۶): نتایج شبیه سازی قبل و بعد از لی اوت LNA پیشنهادی. ۹۲

مراجع

[1] B. Razavi, "*RF microelectronics,*" 2nd edition, Prentice Hall, 2012.

[2] T. H. Lee, "*The design of CMOS radio-frequency integrated circuits,*"2nd edition, Cambridge university press, 2005.

[3] H. Zhang, E. S. Sinencio, "Linearization Techniques for CMOS Low Noise Amplifiers: A Tutorial," *IEEE Trans. on Circuits and Systems—I: Regular Papers,* vol. 58, no. 1, pp. 22-36, Jan. 2011.

[4] W. Sansen, " Distortion in elementary transistor circuits, "*IEEE Trans. Circuits Syst. II: Analog and digital Signal Processing,* vol. 46, pp. 315-325, Mar. 1999.

[5] K. Sanghoon, C. Byounggi, and B. Kim,"Linearity analysis of CMOS for RF application," *IEEE Trans. Microe. Theory Tech*., vol. 51, pp. 972-977, Mar. 2003.

[6] V. Aparin and C. Persico, "Effect of out-of-band terminations on intermodulations distortion in common-emitter circuits," *IEEE MTT-S Int. Microw.Symp. Dig*. pp. 977-980, Jun., 1999.

[7] V. Aparin and L. E. Larson, "Linearization of monolithic LNAs using low-frequency low-impedance input termination," in *Proc. Eur. Solid-State Circuits Conf*. pp. 137-140, 2003.

[8] T. W. Kim, " A Common-Gate Amplifier With transconductance Nonlinearity Cancellation and Its High-Frequency Analysis Using the Volterra Series," *IEEE Trans. Microw. Theory Tech*., vol. 57, pp. 1461-1469, Jun. 2009.

[9] T. W. Kim, B. Kim, and K. Lee, "Highly linear receiver front-end adopting MOSFET transconductance linearization by multiple gated transistors," *IEEE J. Solid-State Circuits* vol. 39, pp. 223-229, Jan. 2004.

[10] B. Toole, C. Plett, and M. Cloutier, "RF circuit implications of moderate inversion enhanced linear region in MOSFETs," *IEEE Trans. Circuits Syst. I:Reg. Papers,* vol. 51, pp. 319-328, Feb. 2004.

[11] V. Aparin, G. Brown, and L.E. Larson," Linearization of CMOS LNA via optimum gate biasing," *Proc. Int. Circuits Syst. Symp*. pp. IV-748-51 vol.4, May., 2004.

[12] H. M. Geddada, J. W. Park, and J. Silva-Martinez," Robust derivative superposition method for linearising broadband LNAs," *Electronics Letters,* vol. 45, pp. 435-436, 2009.

[13] B. Kim, J.-S. Ko, and K. Lee,"Highly linear CMOS RF MMIC amplifier using multiple gated transistors and its Volterra series analysis," *IEEE MTT-S Int. Microw. Symp. Dig*. pp. 515-518, May., 2001.

[14] S. Lou and H. C. Luong,“ A Linearization Technique for RF Receiver Front-End Using Second-Order-Intermodulation Injection,” *IEEE J. Solid-State Circuits,* vol. 43, pp. 2404-2412,2008.

[15] Y. Ding and R. Harjani, “ A +18 dBm IIP3 LNA in 0.35μm CMOS,” *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers* pp. 162-163, Feb., 2001.

[16] H. Zhang, X. Fan, and E. S. Sinencio, “ A low-power, linearized, ultra-wideband LNA design technique, ”*IEEE J. Solid-State Circuits,* vol. 42, pp. 320-330, Feb., 2009.

[17] Y. W. Ali-Ahmad, “RF System Issues Related to CDMA Reciever Specifications,” *RF Design,* Sep., 1999.

[18] T. Werth, C. Schmits, R. Wunderlich, and S. Heinen. “An active feedback interference cancellation technique for blocker filtering in RF receiver front-ends,” *IEEE Journal of Solid-State Circuits,* vol. 45, no. 5, pp. 989–997, 2010.

[19] A. Safarian, A. Shameli, A. Rofougaran, M. Rofougaran, and F. D. Flaviis.“Integrated blocker filtering RF front ends,” *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium,* 2007.

[20] H. Darabi. “A blocker filtering technique for SAW-less wireless receivers.”*IEEE Journal of Solid-State Circuits,* vol. 42, no. 12, pp. 2766–2773, 2007.

[21] L. Franks and I. Sandberg. “An alternative approach to the realizations of network functions: *N*-path filter.” *Bell Systems Technology Journal*, 1960, pp. 1321–1350.

[22] D. V. Grunigen, R. Sigg, J. Schmid, G. Moschytz, and H. Melchior. “An integrated CMOS switched-capacitor bandpass filter based on *N*-path and frequency sampling principles.” *IEEE Journal of Solid-State Circuits*, vol. SC-18, no. 6, pp. 753–761, 1983.

[23] A. Mirzaei, H. Darabi, J. Leete, and Y. Chang.“Analysis and optimization of directconversion receivers with %25 duty-cycle current-driven passive mixers.”*IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 9, pp. 2353–2366, 2010.

[24] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, “ Wide-band CMOS low-noise amplifier exploiting thermal noise canceling, ” IEEE J. Solid-State Circuits, vol. 39, pp. 275-282, Feb. 2004.

[25] P. Heydari, “Design and analysis of a performance- optimized CMOS UWB distributed LNA, ”*IEEE J. Solid-State Circuits,* vol. 42, pp. 1892-1905, Sept. 2007.

[26] F. Zhang and P. R. Kinget, “ Low-power programmable gain CMOS distributed LNA, ”*IEEE J. Solid-State Circuits,* vol. 41, pp. 1333-1343, May. 2006.

[27] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe,” Distributed amplification, ”*Proceedings of the IRE,* vol. 36, pp. 956-969, Aug.1984.

[28] W. Zhuo, X. Li, S.Shekhar, S. Embabi, J. P. De Gyvez, D. Allstot, and E. Sanchez-Sinencio, " A capacitor cross-coupled common-gate low noise amplifier, " *IEEE Trans. Circuit Syst. II*: Exp. Briefs, vol.52, pp. 875-879, Dec. 2005.

[29] J. S. Walling, S. Shekhar, and D. J. Allstot, " A gm-Boosted Current-Reuse LNA in 0.18μm CMOS, " in *IEEE Radio Frequency Integrated Circuits Symp. (RFIC)* pp. 613-616, Jun., 2007.

[30] H.-C. Lee, C.-S.Wang, and C.-K. Wang, " A 0.2-2.6 GHz Wideband Noise-Reduction Gm-Boosted LNA, "*IEEE Microw. And Wireless Compon. Lett*., vol. 22, pp. 269-271, Apr. 2012.

[31] D. J. Allstot, L. Xiaoyoung, and S.Shekhar, " Design considerations for CMOS low-noise amplifiers, "*IEEE Radio Frequency Integrated Circuits (RFIC) Symp*. pp. 97-100, Jun., 2004.

[32] K. Bhatia, S. Hyvonen, and E. Rosenbaum, " An 8-mW, ESD-protected, CMOS LNA for Ultra-Wideband Applications, "*IEEE Custom Integrated Circuits Conference*,pp. 385-388, Sept., 2006.

[33] F. Belmas, F. Hameau, and J. Fournier, " A Low Power Inductorless LNA With Double Gm Enhancement in 130 nm CMOS, "*IEEE J. Solid-State Circuits*, vol. 47, pp. 1094-1103, Feb. 2012.

[34] G. Sapone and G. Palmisano, " A 3-10-GHz low-power CMOS low-noise amplifier for ultra-wideband communication, "*IEEE Trans. Microw. Theory Tech*., vol. 59, pp. 678-686, 2011.

[35] C.-W. Kim, M.-S.Kang, P. T. Anh, H.-T.Kim, and S.-G. Lee, " An ultra-wideband CMOS low noise amplifier for 3-5-GHz UWB system, "*IEEE J. Solid-State Circuits*, vol. 40, pp. 544-547, Feb. 2005

[36] Z. Wei, S. Embabi, J. P. de Gyvez, and E. Sanchez-Sinencio, " Using capacitive cross-coupling technigue in RF low noise amplifiers and down-conversion mixer design, " in *Proceedings of the 26rd European Solid-State Circuits Conference* pp. 77-80, Sept., 2000.

[37] L. Xiaoyong, S. Shekhar, and D. J. Allstot, " Gm-boosted common-gate LNA and differential colpitts VCO/QVCO in 0.18μm CMOS, " IEEE J. Solid-State Circuits, vol. 40, pp. 2609-2619, 2005.

[38] X. Fan, H. Zhang, and E. Sanchez-Sinencio, " A Noise Reduction and Linearity Improvement Techniques for a Differential Cascode LNA, " IEEE J. Solid-State Circuits, vol. 43, pp. 588-599, Mar. 2008.

[39] M. S. Mehrjoo and M. Yavari, " A low power UWB very low noise amplifier usin an improved noise reduction techniques, " *IEEE Int. Circuits and Syst. Symp. (ISCAS)* pp.277-280, May., 2011.

[40] J. W. Park and B. Razavi, "A Harmonic-Rejecting CMOS LNA for Broadband Radios" *IEEE Journal of Solid-State Circuits*, vol. 48, no.4, pp. 1072-1084, Apr. 2013.

[41] M. M.Reja, I. Filanovsky and K. Moez, "A Compact CMOS UWB LNA Tunable Active Inductors for WLAN Interference Rejection,"*IEEE Int. Circuits and Syst. Symp. (ISCAS),* pp. 281-284, May, 2011.

[42] A. Bevilacqua and A. M. Niknejad, "An ultrawideband CMOS low-noise amplifier for 3.1-10.6-GHz wireless receiver,"*IEEE J. Solid-State Circuits*, vol. 39, pp. 2259-2268, Feb. 2004.

[43] M. Battista, J. Gaubert, M. Egels, S. Bourdel, and H. Barthelemy, " 6-10 GHz ultra-wideband CMOS LNA, "*Electronics Letters*, vol. 44, pp. 343-344, Feb. 2008.

[44] B. G. Perumana, J. C. Zhan, S. S. Taylor, "A 5 GHz, 21dB dBm Output-IP3 Resistive Feedback LNA in 90-nm CMOS," *IEEE, 33rd European Solid State Circuits Conference*, pp. 372-375, Sep., 2007.

[45] K.-H. Chen, J.-H.Lu, B.-J.Chen, and S.-I. Liu, "An Ultra-Wide-Band 0.4-10-GHZ LNA in 0.18-μm CMOS, "*IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, pp. 217-221, Mar.2007.

[46] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, " Wide-band CMOS low-noise amplifier exploiting thermal noise canceling, " IEEE J. Solid-State Circuits, vol. 39, pp. 275-282, Feb. 2004.

[47] J. F. Chang and Y. S. Lin, "0.99 mW 3-10 GHz common-gate CMOS UWB LNA Using T-match input network and self-body-biastechnique," *Electronic Letters*, vol. 47, pp. 658-659, Jan., 2007.

[48] R. F. Ye, T. S. Homg, and J. M. Wu, "Two CMOS Dual-Feedback Common-Gate Low-Noise AmplifiersWith Wideband Input and Noise Matching," *IEEE Trans. Microw. Theory Tech.,*vol.61, pp. 3690-3699, July.2013.

[49] G. Sapone and G. Palmisano, "A 3-10 GHz low power CMOS low noise amplifier for ultra wideband communication," *IEEE Trans. Microw. Theory Tech.* ,vol. 59, pp. 678-686, Mar. 2011.

[50] A. Nakhlestani, A. Hakimi and M. Movahhedi, "A novel configuration for UWB LNA suitable for low power and low voltage applications," *Microelectronics Journal.*,vol. 43, pp. 444-451, July. 2012.

[51] M. S. Mehrjoo and M. Yavari, " A low power UWB very low noise amplifier usin an improved noise reduction techniques, " IEEE Int. Circuits and Syst. Symp. (ISCAS) pp.277-280, May., 2011.

[52] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts and B. Nauta, " Wideband balun-LNA simultaneous output balancing, noise-canceling and distortion-canceling," *IEEE Journal of Solid-State Circuits*, vol. 43, no.6, pp.444-451, June. 2008.

[53] B. M. Jafari, M. Yavari, " A UWB Low- Noise Amplifier With Noise Reduction and Linearity Improvement Techniques" *Microelectronic Journal*, vol. 46, no. 2, pp. 198-206, Feb. 2015.

Abstract

Low Noise Amplifiers are the special type of electronic amplifiers used in communication systems to amplify signal from the antenna. There are at little distance from the antenna to minimize the reduction of signal amplitude in lines. Since LNA is the first block of receiver circuit, it's performance affect the overall performance of the receiver. A LNA is evaluated with parameters such as noise figure, gain, linearity, input and output matching and power consumption. These parameters are the most important challenge for the design of LNA. A major challenge in the design of LNA is the problemLO harmonics that has attracted the attention of many researchers, that causes corruption of the original signal in the presence of a strong blocker. This issue increases the power and complexity of the receiver. In this thesis, a low-noise amplifier in the 1-2 GHz frequency range with harmonic rejection is presented. The technique is used in the design of the amplifier is based on adding a degree of freedom in circuit by using the feedforward technique. In this way, a notch filter is created and blocks third-orderand higher order harmonics. The created filter is tunable and blocks the harmonics of frequency band. The circuit attenuated harmonics approximately 35 dB and it'snoise figure is between 3.1-3.6 dB. The proposed circuit is simulated in the worst corners and temperature technology and confirms the good performance of the proposed circuit.

Key Words:

Low Noise Amplifier, Linearity, Noise Figure, Harmonic Rejection, Tunable filter.

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc. Thesis

Title

Highly Linear Low Noise Amplifier with Harmonic Rejection

By
Farzaneh Jalali Bidgoli

Supervisor
Dr.Mohammad Yavari

January 2016