Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial Fulfillment of the requirements for the degree of Master of Science in Electrical Engineering

Title

Ultra Low-Power Baseband CMOS Interface Circuits for Wireless Acquisition of Human EEG Signals

By
Elham Rahimi Takami

Supervisor
Dr. Mohammad Yavari

Jan. 2014

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده برق

پایان‌نامه کارشناسی‌ارشد

گرایش میکروالکترونیک

عنوان

مدارهای واسط CMOS باند پایه با توان بسیار پایین برای دریافت بدون سیم سیگنال‌های عصبی مغز انسان

نگارش

الهام رحیمی تاکامی

استاد راهنما

دکتر محمد یاوری

بهمن ۱۳۹۲

بسم الله الرحمن الرحیم

صفحه فرم ارزیابی یا تصویب پایان نامه- اعضاء کمیته دفاع

در این صفحه برگه تایید و تصویب پایان نامه موسوم به فرم کمیته دفاع را قراردهید.

نکته مهم:

نگارش پایان نامه باید به زبان فارسی و بر اساس آخرین نسخه دستورالعمل و راهنمـای نگارش پایان نامه های دانشگاه صنعتی امیرکبیر باشد.(دستورالعمل وراهنمای حاضر)

اینجانب الهام رحیمی تاکامی متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

الهام رحیمی تاکامی

امضا

این پایان‌نامه را تقدیم میکنم ...

به پدر عزیز و مادر مهربانم

که در همه مراحل زندگی حامی و پشتیبان من بوده‌اند...

تشکر و قدردانی

از استاد ارجمند، جناب آقای دکتر محمد یاوری به عنوان استاد راهنما که بستر انجام هر چه دقیق‌تر این پژوهش را فراهم آورده‌اند، کمال تشکر و قدردانی را دارم. همچنین، از زحمات دوستانم در آزمایشگاه مدار مجتمع تشکر می‌نمایم که از تجربیاتشان، بنده را بهره‌مند ساختند. ضمن آنکه از جناب آقای دکتر سوداگر و جناب آقای دکتر کاتوزیان که زحمت داوری این پایان‌نامه را متقبل شدند، سپاسگزاری می‌کنم.

خداوند را به خاطر توفیق استفاده از محضر این اساتید و دوستان گرانقدر شاکرم و سربلندی و توفیق روزافزون آنان را از خداوند منان مسئلت می‌نمایم.

الهام رحیمی تاکامی

بهمن ۱۳۹۲

چکیده

تحقیق‌های اخیر نشان می‌دهد که به منظور جلوگیری از بیماری‌ها، یک سیستم پزشکی لازم است که نظارت پیوسته را ممکن سازد تا به طور پیوسته سیگنال‌های حیاتی از جمله فشارخون، EEG، ECG و غیره نظارت و بازبینی شوند. مدار واسط باند پایه با نویز و توان کم به منظور دریافت سیگنال EEG، نقش حیاتی در چنین سیستمی دارد. بدین ترتیب که سیگنال‌های EEG را از طریق الکترودهای قرار داده شده روی جمجمه، دریافت، تقویت و سپس به کد دیجیتال تبدیل کند. یکی از مهمترین ملاحظات در طراحی مدار واسط برای دریافت سیگنال EEG، توان مصرفی و نویز ارجاع داده شده به ورودی کوچک می‌باشد. مصالحه بین نویز و توان مصرفی، بسیار مهم می‌باشد. توان مصرفی مبدل آنالوگ به دیجیتال SAR بهتر است تا حد امکان کوچک باشد تا کل سیستم از لحاظ توان مصرفی بهینه شود. چالش دیگر این است که بهره مدار در حدی باشد که ضمن اینکه از رزولوشن مبدل حداکثر استفاده می‌شود، خروجی مدار آنالوگ نیز اشباع نشود.

بر این اساس در این پایان‌نامه، ساختاری بر پایه تکنیک CHS ارائه شده تا نویز ارجاع داده شده به ورودی حداقل شود و توان مصرفی نیز بهبود داده شود. همچنین در این طرح، کنترل‌کننده‌ای پیشنهاد شده تا خروجی مدار آنالوگ اشباع نشود و بتوان ورودی با دامنه بزرگ را نیز دریافت کرد، ضمن اینکه بهره مدار در حالت ماکزیمم مقدار خود باشد تا از رزولوشن مبدل پیاده‌سازی شده حداکثر استفاده شود. توان مصرفی بخش Analog front-end، نویز ارجاع داده شده به ورودی و CMRR به ترتیب برابر با ۴۵۵ نانو وات، $0.76\mu V_{rms}$ و 125 dB می‌باشند که مقادیر خیلی خوبی در مقایسه با سایر کارهای انجام شده می‌باشند. همچنین مبدل SARای پیشنهاد شده‌است که انرژی کلیدزنی و تعداد خازن‌های آن نسبت به مبدل SAR معمولی به ترتیب ۹۳/۷٪ و ۷۵٪ کاهش یافته اند. پارامترهای SNDR، SFDR، توان مصرفی، به ترتیب دارای مقادیری برابر با 56.01 dB، 71.17 dB و 21 nW می‌باشند. شبیه-سازی‌ها در تکنولوژی ۱۸۰ نانومتر CMOS به کمک نرم‌افزار Cadence صورت گرفته‌اند.

کلمات کلیدی: مدار واسط برای دریافت سیگنال EEG، تکنیک CHS، کنترل‌کننده، SAR ADC

فهرست مطالب **صفحه**

اختصار نامه ..... ز

فصل اول: مقدمه ۱

۱-۱ انگیزه ۱

۱-۲ اهداف تحقیق ۴

۱-۳ ساختار پایان نامه ۵

فصل دوم: مدار واسط باندپایه برای دریافت سیگنال EEG ۶

۲-۱ آشنایی با چگونگی دریافت سیگنال های Biopotential و EEG ۶

۲-۱-۱ معرفی سیگنال های Biopotential و EEG ۶

۲-۱-۲ معرفی الکترود های Biopotential ۱۱

۲-۲ ساختار مدار واسط باندپایه برای سنجش سیگنال EEG ۱۲

۲-۲-۱ ملاحظات طراحی مدار ۱۴

۲-۲-۲ ساختار مدارتقویت کننده با نویز کم ۱۵

۲-۲-۲-۱ ساختارهای تقویت کننده بدون چاپر ۱۶

۲-۲-۲-۲ ساختارهای تقویت کننده بر پایه چاپر ۱۷

۲-۲-۳ مبدل آنالوگ به دیجیتال SAR ۱۹

۲-۲-۳-۱ اجزای تشکیل دهنده مبدل های SAR ۲۰

فصل سوم: مروری بر کارهای انجام شده ۲۳

۳-۱ کارهای انجام شده برای بهبود عملکرد مدارات تقویت کننده با نویزکم ۲۳

۳-۲ کارهای انجام شده برای بهبود عملکرد مبدل SAR ۲۷

۳-۲-۱ مبدل دیجیتال به آنالوگ خازنی باینری وزن دار معمولی (CBWDAC) ۲۸

۳-۲-۲ مبدل دیجیتال به آنالوگ خازنی باینری وزن دار با خازن‌های تفکیک شده (SBWDAC) ۲۹

۳-۲-۲-۱ ساختار Split معمولی ۲۹

۳-۲-۲-۲ ساختار Split با خازن تضعیف کننده ۳۰

۳-۲-۳ مبدل دیجیتال به آنالوگ خازنی با الگوریتم سوییچینگ یکنوا ۳۱

۳-۲-۴ مبدل دیجیتال به آنالوگ خازنی با الگوریتم سوییچینگ یکنوای بر اساس ولتاژ V_{cm} ۳۲

۳-۲-۵ مبدل دیجیتال به آنالوگ خازنی با الگوریتم سوییچینگ نمونه‌بردار دوگانه ۳۴

۳-۲-۶ مبدل دیجیتال به آنالوگ خازنی با روش تسهیم بار ۳۴

فصل چهارم: ساختار تقویت کننده با نویز پایین پیشنهادی ۳۶

۴-۱ ساختار پیشنهادی تقویت کننده CHS ۳۸

۴-۱-۱ تقویت کننده عملیاتی ۴۰

۴-۲ بلوک فیلتر پایین گذر ۴۴

۴-۳ بلوک پیشنهادی بافر ولتاژ به همراه تقویت کننده با بهره متغیر ۴۷
۴-۴ بلوک پیشنهادی کنترل کننده ۵۳

فصل پنجم: ساختار مبدل SAR پیشنهادی ۵۸

۵-۱ اصول در نظر گرفته شده به منظور کاهش توان در ساختار پیشنهادی ۵۸
۵-۲ الگوریتم سوییچینگ پیشنهادی در مبدل SAR ۵۹
۵-۳ تحلیل وابستگی به دقت ولتاژ مرجع V_{CM} ۶۲
۵-۴ پیاده سازی مداری مبدل SAR ۶۳
۵-۴-۱ مقایسه گر ۶۳
۵-۴-۲ کنترل کننده دیجیتال ۶۵
۵-۴-۳ مدار نمونه بردار به همراه DAC ۷۰
۵-۴-۴ نتایج شبیه سازی ۷۳

فصل ششم: نتایج شبیه سازی، نتیجه گیری و پیشنهادات ۷۶

۶-۱ نتایج کلی ۷۶
۶-۲ نتیجه گیری ۷۸
۶-۳ ارائه پیشنهادات ۷۹

مراجع ۸۰

فهرست شکل‌ها

صفحه

شکل (۱-۱): نمای کلی ساختار سیستم نظارت سلامتی بدون سیم [4]..... ۳
شکل (۲-۱): محدوده فرکانس و دامنه برخی ازسیگنال های فیزیولوژیکی [5]..... ۷
شکل (۲-۲): مدل مداری الکترود دریافت کننده سیگنال ورودی EEG..... ۱۲
شکل (۲-۳): ساختار کلی مدار واسط باندپایه [7]..... ۱۳
شکل (۲-۴): ساختار ارائه شده توسط .H. Wu [9]..... ۱۶
شکل (۲-۶): قاعده کلی تکنیک Chopper Stabilization. سیگنال ورودی توسط m(t) مدوله، توسط A(f) تقویت و توسط m(t) دمدوله می شود [4]..... ۱۸
شکل (۲-۷): بلوک دیاگرام یک مبدل SAR در حالت پایه..... ۱۹
شکل (۳-۱): نمای کلی ساختار ارائه شده در مرجع [24]..... ۲۳
شکل (۳-۲): نمای کلی ساختار ارائه شده در مرجع [8]..... ۲۵
شکل (۳-۳): نمای کلی ساختار ارائه شده بر پایه تکنیک چاپر در مرجع [6]..... ۲۶
شکل (۳-۴): ساختار DAC خازنی باینری وزن دار معمولی..... ۲۸
شکل (۳-۵): ساختار DAC با روش Split معمولی..... ۲۹
شکل (۳-۷): ساختار DAC خازنی با الگوریتم سوییچینگ یکنوا [22]..... ۳۱
شکل (۳-۸): ساختار DAC خازنی با روش سوییچینگ یکنوای بر اساس ولتاژ مرجع V_{cm} [34]..... ۳۳
شکل (۴-۱): نمای کلی ساختار مدار تقویت کننده با نویز پایین پیشنهادی..... ۳۷
شکل (۴-۲): ساختار تقویت کننده CHS طراحی شده..... ۳۹
شکل (۴-۳): مقاومت بزرگ طراحی شده با استفاده از ترانزیستورهای بایاس شده در ناحیه زیرآستانه..... ۳۹
شکل (۴-۴): آپ امپ تمام تفاضلی کسکود تاشده[17]..... ۴۱
شکل (۴-۵): ساختار مداری چاپر..... ۴۲
شکل (۴-۶): تابع تبدیل تقویت کننده حلقه بسته CHS..... ۴۳
شکل (۴-۷): ساختار طبقه فیلتر پایین گذر طراحی شده..... ۴۴
شکل (۴-۸): آپ امپ تمام تفاضلی آینه جریانی ساده طراحی شده برای طبقه فیلتر پایین گذر..... ۴۵
شکل (۴-۹): تابع تبدیل فیلتر پایین گذر..... ۴۶
شکل (۴-۱۰): ساختار بافر تمام تفاضلی طراحی شده..... ۴۸
شکل (۴-۱۱): آپ‌امپ کلاس AB طراحی شده برای طبقه بافر [5]..... ۴۹
شکل (۴-۱۲): تابع تبدیل حلقه بسته طبقه بافر با بهره حلقه بسته ثابت برابر با ۱۰..... ۵۰
شکل (۴-۱۳): پاسخ فرکانسی سیستم متشکل از سه طبقه مختلف..... ۵۱
شکل (۴-۱۴): پاسخ حالت‌گذرای سیستم متشکل از سه طبقه مختلف با فرکانس ورودی ۱۰۰هرتز..... ۵۱
شکل (۴-۱۵): پاسخ حالت‌گذرای سیستم متشکل از سه طبقه مختلف با فرکانس ورودی ۱۰هرتز..... ۵۲
شکل (۴-۱۶): طیف نویز ارجاع داده شده به ورودی سیستم متشکل از سه طبقه مختلف..... ۵۲

شکل (۴-۱۷): ساختار بلوک کنترل کننده..... ۵۳
شکل (۴-۱۸): مدار داخلی شمارنده سه بیتی..... ۵۴
شکل (۴-۱۹): مدار داخلی D-FF..... ۵۵
شکل (۴-۲۰): مدار مقایسه کننده..... ۵۵
شکل (۴-۲۱): نتیجه شبیه سازی کنترل کننده به ازای ورودی با فرکانس ۱۰۰ هرتز و دامنه ورودی ۳۰۰میکروولت..... ۵۶
شکل (۴-۲۲): نتیجه شبیه سازی کنترل کننده به ازای ورودی با فرکانس ۱۰۰ هرتز و دامنه ورودی ۹۰میکروولت..... ۵۷
شکل (۵-۱): روش سوییچینگ پیشنهادی برای مبدل SAR سه بیتی..... ۶۰
شکل (۵-۲): فلوچارت پروسه استخراج بیت ها برای مبدل SAR تفاضلی پیشنهادی..... ۶۱
شکل (۵-۳): شکل تغییرات ولتاژ خروجی های دو آرایه خازنی برای مبدل SAR شش بیتی نمونه..... ۶۲
شکل (۵-۴): مقایسه کننده دینامیک طراحی شده..... ۶۴
شکل (۵-۵): ساختار کنترل کننده دیجیتال طراحی شده..... ۶۶
شکل (۵-۶): مدار ثبت کننده بیت های خروجی و سوییچ کننده صفحه پایین خازن ها در دو آرایه خازنی و $1 \le i \le 8$، الف. آرایه خازنی بالایی، ب. آرایه خازنی پایینی..... ۶۸
شکل (۵-۷): مدار ثبت کننده بیت B_9 و سوییچکننده صفحه پایین خازن ها در دو آرایه خازنی جهت تولید B_{10} ، الف. آرایه خازنی بالایی، ب. آرایه خازنی پایینی..... ۶۹
شکل (۵-۸): مدار سوییچ نمونه بردار ورودی..... ۷۲
شکل (۵-۹): طیف خروجی مبدل SAR ۱۰بیتی طراحی شده..... ۷۳
شکل (۵-۱۰): مقایسه انرژی سوییچینگ طرح پیشنهادی با دو طرح دیگر..... ۷۴
شکل (۶-۱): ساختار کلی سیستم..... ۷۶

فهرست جدول‌ها

صفحه

جدول (۴-۱): ابعاد ترانزیستورهای چاپر. ۴۳
جدول (۴-۲): خلاصه ای از عملکرد تقویت کننده حلقه بسته CHS. ۴۳
جدول (۴-۳): ابعاد ترانزیستورهای آپ امپ آینه جریانی ساده. ۴۵
جدول (۴-۴): خلاصه ای از عملکرد فیلتر پایین گذر. ۴۶
جدول (۴-۵): مقادیر خازن های مربوط به VGA. ۴۸
جدول (۴-۶): ابعاد ترانزیستورهای مدار کلاس AB. ۴۹
جدول (۴-۷): خلاصه ای از عملکرد بافر با بهره حلقه بسته ثابت برابر با ۱۰. ۵۰
جدول (۴-۸): خلاصه ای از عملکرد سیستم متشکل از سه طبقه بدون VGA و کنترل کننده. ۵۳
جدول (۴-۹): ابعاد ترانزیستورهای مدار مقایسه کننده. ۵۶
جدول (۵-۱): ابعاد ترانزیستورهای مدار مقایسه کننده. ۶۵
جدول (۵-۲): ابعاد سوییچ های صفحه پایین خازن ها. ۶۸
جدول (۵-۳): ابعاد سوییچ های صفحه پایین خازن های واحد. ۶۹
جدول (۵-۴): ابعاد ترانزیستورهای سوییچ نمونه‌بردار. ۶۹
جدول (۵-۵): خلاصه ای از عملکرد مبدل SAR در گوشه های تکنولوژی. ۷۴
جدول (۶-۱): مقایسه مدار واسط پیشنهادی با برخی از مدار واسط های استفاده کننده از ADC. ۷۷
جدول (۶-۲): مقایسه مبدل SAR پیشنهادی با طرح های دیگر در زمینه مبدل SAR. ۷۸

اختصارنامه

AAP	Axon Action Potential
ADC	Analog-to-Digital Converter
CHS	Chopper Stablilization
CMRR	Common Mode Rejection Ratio
DAC	Digital to Analog Converter
DNL	Differential Nonlinearity
DR	Dynamic Range
EEG	Electroencephalograph
ECG	Electrocardiograph
EMG	Electromyography
ENOB	Effective Number of Bit
EOG	Electrooculography
FoM	Figure of Merit
HPF	High Pass Filter
INL	Integral Nonlinearity
LPF	Low Pass Filter
LSB	Least Significant Bit
MIM	Metal-Insulator-Metal
MSB	Most Significant Bit
NEF	Noise Efficiency Factor
OTA	Operational Transconductance Amplifier
SAR	Successive Approximation Register
SFDR	Spurious Free Dynamic Range

S/H	Sample and Hold
SNDR	Signal-to-Noise and Distortion Ratio
VGA	Variable Gain Amplifier
WBAN	Wireless Body Area Network

مراجع

[1] A. Lymberis and D. D. Rossi, "Wearable eHealth Systems for Personalised Health Management," *IOS Press*, 2004.

[2] R. F. Yazicioglu et al., "Ultra-Low-Power Biopotential Interfaces and Their Applications in Wearable and Implantable Systems," *Microelectronics Journal*, vol. 40, pp. 1313-1321, Sep. 2009.

[3] E. Jovanov, A. Milenkovic, C. Otto, and P. C. d. Groen, "A Wireless Body Area Network of Intelligent Motion Sensors for Computer Assisted Physical Rehabilitation," *Journal of NeuroEngineering and rehabilitation*, vol. 2, Mar. 2005.

[4] R. F. Yazicioglu, C. V. Hoof, and R. Puers, *Biopotential Readout Circuits for Portable Acquisition Systems*, Springer, 2009.

[5] Z. Xiaodan, *Low Power Low Noise Analog Frent-end IC Design for Biomedical Sensor Interface*, Phd Thesis, National University of Singapore, 2010.

[6] N. Verma, A. Shoeb, J. Bohorquez, J. Dawson, J. Guttag, and A. P. Chandrakasan, "A Micro-Power EEG Acquisition SoC With Integrated Feature Extraction Processor for a Chronic Seizure Detection System," *IEEE Journal of Solid-State Circuits,* vol. 45, pp.804-816, April 2010.

[7] R. R. Harrison "The Design of Integrated Circuits to Observe Brain Activity," *IEEE Proceedings,* vol. 96, pp. 1203-1216, July 2008.

[8] H. Rezaee-Dehsorkh, N. Ravanshad, R. Lotfi, K. Mafinezhad, and A. M. Sodagar, "Analysis and Design of Amplifiers for Implantable Neural Recording Applications," *IEEE J. Emerging and Selected Topics in Circuits and Systems,* vol. 1, no. 4, pp. 546-556, April 2011.

[9] H. Wu and Y. P. Xu, "A 1V 2.3μw Biomedical Signal Acquisition IC," *IEEE ISSCC Dig. Tech. Papers*, pp. 58-59, Feb. 2006.

[10] R. R. Harrison, P. T. Watkins, R. J. Kier, R. O. Lovejoy, D. J. Black, B. Greger, and F. Solzbacher, "A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 123-133, Jan. 2007.

[11] M. Yin and M. Ghovanloo, "A Flexible Clockless 32-Ch Simultaneous Wireless Neural Recording System with Adjustable Resolution," *ISSCC Dig. Tech. Papers,* pp. 432-433, Feb. 2009.

[12] M. Yin and M. Ghovanloo, "A Low-Noise Preamplifier with Adjustable Gain and Bandwidth for Biopotential Recording Applications," *IEEE International Symposium on Circuits and Systems*, pp. 321-324, May 2007.

[13] R. F. Yazicioglu, P. Merken, R. Puers, and C. V. Hoof, "A 200 μW Eight-Channel EEG Acquisition ASIC for Ambulatory EEG Systems," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 3025-3038, Dec. 2008.
[14] R. F. Yazicioglu, P. Merken, R. Puers, and C. Van Hoof, "A 60 μW 60 nV/rtHz Readout Front-End for Portable Biopotential Acquisition Systems," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1100-1110, May 2007.
[15] R. F. Yazicioglu, P. Merken, R. Puers, and C. V. Hoof, "A 60 μW 60 nV/rtHz Readout Front-End for Portable Biopotential Acquisition Systems," *ISSCC Dig. Tech. Papers*, pp. 56-57, Feb. 2006.

[16] J. Yoo et al., "An 8-Channel Scalable EEG Acquisition SoC With Patient-Specific Seizure Classification and Recording Processor," *IEEE Journal of Solid-State Circuits*, pp. 214-228, Jan. 2013.

[17] Yuhwai Tseng et al., "A 0.09 μW Low Power Front-End Biopotential Amplifier for Biosignal Recording," *IEEE Transactions on Biomedical Circuit and Systems*, pp. 508-516, Oct. 2012.
[18] B. Jang, P. Cao, A. Chevalier, A. Ellington, and A. Hassibi, "A CMOS Fluorescent-Based Biosensor Microarray," *ISSCC Dig. Tech.* Papers, pp. 436-437, Feb. 2009.
[19] T. Denison, K. Consoer, W. Santa, A. T. Avestruz, J. Cooley, and A. Kelly, "A 2 μW 100 nV/rtHz Chopper-Stabilized Instrumentation Amplifier for Chronic BibliographyMeasurement of Neural Field Potentials," *IEEE Journal of Solid-State Circuits,* vol. 42, pp. 2934-2945, Dec. 2007.
[20] J. H. Nielsen and E. Bruun, "A CMOS Low-Noise Instrumentation Amplifier Using Chopper Modulation," *Analog Integrated Circuits and Signal Processing*, vol. 42, pp. 65-76, Jan. 2005.
[21] J. A. McNeill, K. Y. Chan, M. C. W. Coln, C. L. David, and C. Brenneman, "All-digital background calibration of a successive approximation ADC using the Split ADC Architecture," *IEEE Trans. Circuits Syst. I, Reg. papers,* vol. 58, no. 10, pp. 2355-2365, Oct. 2011.
[22] Chun-Cheng Liu, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," *IEEE Journal of Solid-State Circuits,* vol. 45, pp. 731-740, Apr. 2010.
[23] S. Chen and R. Brodersen, "A 6b 600-MS/s 5.3 mW asynchronous ADC in 0.13 μm CMOS," *IEEE Journal of Solid-State Circuits,* vol. 41, pp. 2669-2680, Dec. 2006.

[24] X. Zou, X. Xu, L. Yao, and Y. Lian, "A 1V 22μW 32-channel Implantable EEG Recording IC," *ISSCC Dig. Tech. Papers*, pp. 126-127, Feb. 2010.

[25] X. Zou, X. Xu, L. Yao, and Y. Lian, "A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip," *IEEE J. Solid-State Circuits,* vol. 44, no. 4, pp. 1067-1077, April 2009.

[26] X. Zou, X. Xu, J. Tan, L. Yao, and Y. Lian, "A 1-V 1.1μW Sensor Interface for Wearable Biomedical Devices," *IEEE International Symposium on Circuits and Systems,* pp. 2725-2728, May 2008.

[27] X. Zou, X. Xu, L. Yao, and Y. Lian, "A 1-V 450-nW Fully Integrated Biomedical Sensor Interface System," *Symp. VLSI Circuits Dig. Tech. Papers,* pp. 78-79, June 2008.

[28] H. Zhang, Y. Qin, and Z. Hong, "A 1.8-V 770-nW Biopotential Acquistion System for Portable Applications," *IEEE Biomedical Circuits & Systems Conference,* pp. 93-96, Nov. 2009.

[29] T. Zarifi, Peng. Chung-Ching, and M.H. Zarifi, "Low-Power Amplifier for In-vivo EEG Signal Recording," *IEEE Middle East Conference on Biomedical Engineering,* pp. 19-22, Feb. 2011.

[30] F. Shahrokhi, K. Abdelhalim, D. Serletis, P. L. Carlin, and R. Genov, "The 128-Channel Fully Differential Digital Integrated Neural Recording and Simulation Interface," *IEEE Trans. Biomed. Circuits Syst.,* vol. 4, no. 3, pp. 149-161, May 2010.

[31] Z. Hui, Q. Yajie, Y. Siyu, and H. Zhiliang, "Design of an Ultra-low Power SAR ADC for Biomedical Applications," *IEEE Int. Conference on Solid-State and Integrated Circuits Technology*, pp. 460-462, Nov. 2011.

[32] S. K. Lee, S. J. Park, H. J. Park, and J. Y. Sim, "A 21 fJ/Conversion-Step 100KS/s 10-Bit ADC with a Low-Noise Time-Domain Comparator for Low-Power Sensor Interface," *IEEE J. Solid-State Circuits,* vol. 46, no. 3, pp. 651-659, March. 2011.

[33] Zhu Z., Xiao, Y., and Song, X., "V_{CM}-based monotonic capacitor switching scheme for SAR ADC," *IEEE Electronics Letters*, 49, (5), pp.327-329, Feb. 2013.

[34] Zhangming Zhu et al., "A 1.33 μW 10-bit 200KS/s SAR ADC with a tri-level based capacitor switching procedure," *Microelectronics Journal,* vol. 32, no. 1, pp. 69-73, Jan. 2001.

[35] J. A. McNeill, K. Y. Chan, M. C. W. Coln, C. L. David, and C. Brenneman, "An 8-bit Single-ended Ultra-Low-Power SAR ADC with a Novel DAC Switching Method and a Counter-Based Digital Control Circuitry," *IEEE Trans. Circuits Syst. I, Reg. papers,* vol. 60, no. 7, pp. 1726-1739, July 2013.

[36] C. Yuan and Y. Lam, "Low-energy and area-efficient tri-level switching scheme for SAR ADC," *IEEE Electronics Letters,* vol. 48, pp. 482-483, April 2012.

[37] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques-part I," *IEEE J. Solid-State Circuits,* vol. 10, no.6, pp. 371-379, Dec. 1975.

[38] B. P. Ginsburg and A. P. Chandrakasan,"Dual time-interleaved successive approximation register ADCs for an Ultra-wideband receiver," *IEEE J. Solid-State Circuits,* vol. 42, no. 2, pp. 247-257, Feb. 2007.

[39] M. Saberi, R. Lotfi, K. Mafinezhad, and W. A. Serdijn, "Analyis of power consumption and linearity in capacitive digital-to-analog converters used in successive approximation ADCs," *IEEE Trans. Circuits Syst. I, Reg. papers,* vol. 58, no. 8, pp. 1736-1748, Aug. 2011.

[40] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout and Simulation, New York: IEEE Press,* 1998.

[41] J. H. Cheong, K. L. Chan, P. B. Khannur, K. T. Tiew, and M. Je, "A 400-nW 19.5 fJ/Conversion-Step 8-ENOB 80-KS/s SAR ADC in 0.18-μm CMOS," *IEEE Trans. Circuits Syst. II, Express Briefs,* vol. 58, no. 7, pp. 407-411, July 2011.

[42] B. Kim, L. Yan, J. Yoo and H. J. Yoo, "A 40fJ/c-s 1V 10 bit SAR ADC with Dual Sampling Capacitive DAC Topology," *Journal of Semiconductor Technology and Science,* vol. 11, no. 1, March. 2011.

[43] F. Chen et al., "A Low-powerarea-efficient switching scheme for charge-sharing DACs in SAR ADCs," *Custom Integrated Circuits Conference (CICC*), pp. 1-4, Sept. 2010.

[44] P. R. Gray, R. G. Meyer, P. J. Hurst and S. H. Lewis, *Analysis and Design of Analog Integrated Circuits*, Hoboken, NJ: John Wiley and Sons, 2001.

[45] P. K. Chan, L. S. Ng, L. Siek, and K. T. Lau, "Designing CMOS folded-cascode operational amplifier with flicker noise minimization," *Microelectronics Journal*, vol. 32, no. 1, pp. 69-73, Jan. 2001.

[46] D. Zhang, A. Bhide, and A. Alvandpour, "A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13-μm CMOS for Medical Implant Devices," *IEEE J. Solid-State Circuits,* vol. 47, no. 7, pp. 1585-1593, July 2012.

[47] M. Yavari, *Data Converters*, Class Notes, Amirkabir University of Technology, Spring 2012.

[48] F. Maloberti, *Data Converters*, Springer-Verlag, 2007.

[49] B. Razavi, *Principals of Data Conversion System Design*, IEEE Press, 1995.

[50] M. Khoshakhlagh, *Design and Simulation of Low Power SAR Converters,* Amirkabir University of Technology, June 2012.

[51] Zhu, Y., Chan, C.-H., Chiu, U.-F., Sin, C.-W., U, S.-P., Martins, R. P., and Maloberti, F., "A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS," *IEEE J. Solid-State Circuits,* vol. 45, no. 6, pp. 1111-1121, June 2010.

[52] J. Xu, R. F. Yazicioglu, P. Harpe, K. A. A. Makinwa, and C. V. Hoof, "A 160 μW 8-Channel Active Electrode System for EEG Monitoring," *IEEE ISSCC Dig. Tech. Papers*, pp. 300–301, Feb. 2011.

[53] R. Lotfi, R. Majidi, M. Meymandi-Nejad, and W. A. Serdijn, "An ultra-low-power 10-bit 100-KS/s successive-approximation analog-to-digital converter," *IEEE ISCAS*, pp. 1117-1120, May 2009.

[54] A. Agnes, E. Bonizzoni, P. Malcovati, and F. Maloberti, "A 9.4-ENOB 1V 3.8 μW 100 KS/s SAR ADC with time-domain comparator," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 64, no. 2, pp. 183-190, Feb. 2010.

[55] S. U. Ay, "A sub-1 Volt 10-bit supply boosted SAR ADC design in standard CMOS," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 66, no. 2, pp. 213-221, Feb. 2011.

[56] S-I. Chang, K. Al-Ashmouny, and E. Yoon, "A 0.5 V 20 fJ/Conversion-Step rail-to-rail SAR ADC with programmable time-delayed control units for low-power biomedical application," *European Solid-State Circuits (ESSCIRC)*, pp. 339-342, Sept. 2011.

[57] S.-K. Lee, S.-J. Park, and J.-Y. Sim, "A 21 fJ/Conversion-Step 100 KS/s 10-bit ADC with a low-noise time-domain comparator for low power sensor interface," *IEEE J. Solid-State Circuits,* vol. 46, no. 3, pp. 651-659, Mar. 2010.

[58] M. Yip, and A. P. Chandrakasan, "A resolution-reconfigurable 5-to-10b 0.4-to-1V power scalable SAR ADC," *IEEE ISSCC Dig. Tech. Papers*, pp. 190-192, Feb. 2011.

[59] A. Rodriguez.-Perez, M. Delgado.-Restituto, and F. Medeiro, "Impact of parasitic on even symmetric split-capacitor arrays," *International Journal of Circuit Theory and Applications*, 2012.

[60] A. T. Do, C. K. Lam, Y. S. Tan, K. S. Yeo, J. H. Cheong, X. Z. , L. Yao, K. W. Cheng, and M. Je, "A 160 nW 25 KS/s 9-bit SAR ADC for neural signal recording applications," *IEEE Int. New Circuits and Systems Conference (NEWCAS)*, pp. 525-528, June 2012.

[61] A. Wiessflecker, G. Hofer, G. Holweg, and W. Pribyl, "An 11 bit SAR ADC combining a split capacitor array with a resistive ladder and a configurable noise time domain comparator," *IEEE Int. Midwest Symposium on Circuits and Systems Conference (MWSCAS)*, pp. 101-104, Aug. 2012.

[62] G.-Y. Huang, S.-J. Chang, C.-C. Liu, and Y.-Z. Lin, "A 1-μW 10-bit 200-KS/s SAR ADC with a bypass window for biomedical applications," *IEEE J. Solid-State Circuits,* vol. 47, no. 11, pp. 2783-2795, Nov. 2012.

[63] M. Khoshakhlagh and M. Yavari, "An efficient threshold voltage generation for SAR ADCs," *Journal of Analog Integrated Circuits and Signal Processing*, Jan. 2013.

[64] H. Fan, X. Han, Q. Wei, H. Yang, "A 12-bit self calibrating SAR ADC achieving a Nyquist 90.4-dB SFDR," *Journal of Analog Integrated Circuits and Signal Processing*, vol. 74, no. 1, pp. 239-254, Jan. 2013.

[65] R. Inanlou, M. Shahghasemi, and M. Yavari, "A noise-shaping SAR ADC for energy limited applications in 90 nm CMOS technology," *Journal of Analog Integrated Circuits and Signal Processing*, Sep. 10, 2013.

Abstract

To prevent illnesses, a medical system is required to make continuous monitoring possible and observe vital signals such as: EEG, ECG and blood pressure. To capture EEG, the low-power low-noise baseband interface circuit plays vital role in this system. This circuit captures and amplifies EEG signals through electrodes placed on skull, then digitizes the amplified signal. To design interface circuit, important considerations are power consumption and input referred noise. Trade-off between these two mentioned parameters is so important. The power consumption of SAR ADC should be as low as possible to minimize total power consumption. Another challenge is that system gain should be enough to use the resolution of ADC efficiently and also prevent the saturation of analog circuit output.

In this thesis, the structure based on chopper technique is presented to minimize input referred noise and reduce power consumption. Also, a controller is proposed to prevent saturation of circuit output and be able to acquire large amplitude of input. In addition, the system gain is in its maximum value to use the resolution of designed ADC efficiently. Power consumption of Analog front-end, input referred noise and CMRR are 455nW, $0.76\mu V_{rms}$ and 125dB, respectively. These values are good achievements compared to other ones. Also, SAR ADC is proposed that compared to the conventional structure, its switching energy and number of capacitors are reduced by 93.7% and 75%, respectively. SNDR, SFDR and power consumption for this ADC have the values of 56.01 dB, 71.17 dB and 21nW, respectively. All Simulations were performed in 180nm CMOS technology by Cadence software.

Key Words: Interface circuit for acquisition of EEG, Controller, Chopper technique and SAR ADC.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial Fulfillment of the requirements for the degree of Master of Science in Electrical Engineering

Title

Ultra Low-Power Baseband CMOS Interface Circuits for Wireless Acquisition of Human EEG Signals

By
Elham Rahimi Takami

Supervisor
Dr. Mohammad Yavari

Jan. 2014