Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Digital Background Correction of Circuits Nonlinearity in Pipelined A/D Converters

By:
Behzad Zeinali

Under Supervision of:
Dr. Mohammad Yavari

Jan. 2012

دانشگاه صنعتی امیرکبیر
(پلی‌تکنیک تهران)
دانشکده مهندسی برق

پایان‌نامه کارشناسی ارشد
(گرایش الکترونیک-میکروالکترونیک)

تصحیح دیجیتال پس‌زمینه اثرات غیرخطی مدارهای آنالوگ به دیجیتال با معماری Pipeline

نگارش:
بهزاد زینلی

استاد راهنما:
دکتر محمد یاوری

بهمن ۱۳۹۰

بسم الله الرحمن الرحيم

تقدیم به

مادر مهربانم و پدر عزیزم

تشکر و قدردانی

در آغاز لازم می‌دانم از زحمات استاد بزرگوارم جناب آقای دکتر محمد یاوری که در طول انجام این پایان‌نامه از راهنمایی‌هایشان بهره‌مند شده‌ام، کمال تشکر و قدردانی را داشته باشم. همچنین از زحمات دوست عزیزم، آقای توحید موسی‌زاده تشکر می‌نمایم که از تجربیاتشان، بنده را بهره‌مند ساختند و از خداوند متعال، موفقیت و سعادتشان را خواستارم. ضمن آنکه از آقای دکتر جعفرآبادی آشتیانی و آقای دکتر کاتوزیان که اساتید دفاع این پایان‌نامه بودند، سپاسگزاری می‌کنم.

درنهایت از کمیته نانو به‌دلیل حمایت مالی در انجام این پایان‌نامه سپاسگزارم و پیشرفت روزافزون این کمیته را آرزومندم.

چکیده

امروزه تقاضا برای استفاده از مزیت‌های سیگنال‌های دیجیتال رو به افزایش است. بدین‌جهت استفاده از مبدل‌هایی که سیگنال‌های آنالوگ موجود در طبیعت را تبدیل به سیگنال‌های دیجیتال نمایند، اجتناب‌ناپذیر است. مبدل‌های آنالوگ به دیجیتال[۱] Pipeline به‌صورت وسیع در کاربردهایی که نیاز به دقتی در محدوده ۱۰ تا ۱۴ بیت و سرعتی در بازه چند ده تا چند صد مگاهرتز را دربردارد، مورد استفاده قرار می‌گیرد. متاسفانه توان مصرفی در مبدل‌های Pipeline با دقت بالا، افزایش می‌یابد که این امر ناشی از نیاز به تقویت‌کننده‌هایی با عملکرد بسیار خطی در طبقات اولیه مبدل است. به‌منظور جبران این نقیصه از تقویت‌کننده‌هایی با عملکرد ضعیف‌تر شامل بهره DC و خطینگی کمتر استفاده می‌شود و با استفاده از تکنیک‌های تصحیح، که به دو دسته کلی پیش‌زمینه‌ای[۲] و پس‌زمینه‌ای[۳] تقسیم‌بندی می‌شوند، اثرات ناشی از عملکرد غیرایده‌آل تقویت‌کننده و همچنین عدم‌تطبیق خازن‌ها اندازه‌گیری و رفع می‌گردد.

براین اساس در این پایان‌نامه، ابتدا یک روش پیش‌زمینه‌ای جدید برای تصحیح خطاهای مبدل با استفاده از سیگنال‌های تصحیح غیردقیق پیشنهاد می‌شود. این روش یک روش تطبیقی[۴] می‌باشد که به‌صورت دیجیتال، خطاهای خطی ناشی از عدم‌تطبیق خازن‌ها و بهره DC محدود تقویت‌کننده و خطاهای غیرخطی ناشی از تغییرات بهره DC تقویت‌کننده را جبران‌سازی می‌کند اما لازمه آن توقف عملکرد عادی مبدل می‌باشد. سپس به‌منظور تبدیل روش پیش‌زمینه‌ای ارائه‌شده، به ساختار پس‌زمینه‌ای متناظر، که نیازی به متوقف‌کردن عملکرد عادی مبدل ندارد، دو روش جدید ارائه شده است. روش اول که با عنوان Split اصلاح‌شده نامیده شده است، برخی از مشکلات موجود در ساختارهای متداول تبدیل روش‌های پیش‌زمینه‌ای به پس‌زمینه‌ای را حل می‌کند و از دید سیستمی حاصل از آن، برای ارائه روش دوم با عنوان ساختار پیش‌بینی خطی تطبیقی، استفاده می‌گردد. پس از ارائه روش‌های تصحیح دیجیتال، ابتدا هریک از آنها برای تصحیح خطاها در سطح سیستمی در نرم‌افزار MATLAB پیاده‌سازی می‌شوند و کارایی آنها مورد مطالعه قرار می‌گیرد. سپس، به‌منظور اثبات عملکرد مناسب روش تصحیح پیش‌زمینه‌ای ارائه‌شده که با استفاده از روش دوم به متناظر پس‌زمینه‌ای آن تبدیل شده است، یک مبدل Pipeline در تکنولوژی ۹۰ نانومتر CMOS با ولتاژ تغذیه ۱/۲ ولت طراحی می‌گردد که به کمک نرم‌افزار HSPICE شبیه‌سازی می‌شود. بر اثر استفاده از الگوریتم تصحیح پیشنهادی، در مقادیر SNDR و SFDR مبدل به‌ترتیب بهبودی معادل 28 dB و 41 dB حاصل شده است.

کلمات کلیدی: مبدل آنالوگ به دیجیتال Pipeline، تصحیح دیجیتالی پیش‌زمینه‌ای، تخمین ضرایب خطا با استفاده از سیگنال‌های تصحیح غیردقیق، تصحیح دیجیتالی پس‌زمینه‌ای، پیش‌بینی خطی برمبنای روش‌های تطبیقی.

۱- Analog-to-Digital Converter (ADC)

۲- Foreground

۳- Background

۴- Adaptive

فهرست مطالب

چکیده I
فهرست مطالب II
فهرست شکل‌ها V
فهرست جدول‌ها VIII
فصل اول: مقدمه
۱-۱ مقدمه ۱
۱-۲ اهداف پایان‌نامه ۳
۱-۳ ساختار پایان‌نامه ۴
فصل دوم: مروری بر مبدل‌های آنالوگ به دیجیتال Pipeline و روش‌های تصحیح خطا
۲-۱ مقدمه ۵
۲-۲ اساس مبدل‌های آنالوگ به دیجیتال ۶
۲-۲-۱ فیلتر Anti-aliasing ۷
۲-۲-۲ مدار نمونه‌بردار ۷
۲-۲-۳ کوانتایزر ۹
۲-۲-۴ فیلتر دیجیتال ۱۲
۲-۳ معیارهای عملکردی مبدل‌های آنالوگ به دیجیتال ۱۲
۲-۴ انواع مبدل‌های آنالوگ به دیجیتال نرخ نایکوئیست ۱۴
۲-۴-۱ مبدل آنالوگ به دیجیتال Flash ۱۴
۲-۴-۲ مبدل آنالوگ به دیجیتال Two-Step ۱۵
۲-۵ اساس مبدل‌های آنالوگ به دیجیتال Pipeline ۱۶
۲-۶ بررسی اجزای سازنده مبدل Pipeline ۱۹
۲-۶-۱ مدار نمونه‌بردار ۱۹
۲-۶-۲ مدار MDAC ۲۰
۲-۶-۳ زیرمبدل آنالوگ به دیجیتال ۲۱
۲-۷ روش‌های تصحیح خطا در مبدل‌های Pipeline ۲۳
۲-۷-۱ روش‌های تصحیح آنالوگ ۲۴
۲-۷-۱-۱ روش تصحیح آنالوگ RIM ۲۴
۲-۷-۱-۲ روش تصحیح آنالوگ میانگین‌گیری خطاها ۲۵
۲-۷-۱-۳ روش تصحیح آنالوگ تنظیم ظرفیت خازن‌ها ۲۵
۲-۷-۱-۴ روش تصحیح آنالوگ بازتعریف ولتاژهای مرجع ۲۷
۲-۷-۱-۵ روش تصحیح آنالوگ CDS ۲۷
۲-۷-۲ روش‌های تصحیح دیجیتال ۲۸
۲-۷-۲-۱ روش‌های تصحیح دیجیتال برمبنای همبستگی ۲۹
۲-۷-۲-۲ روش‌های تصحیح دیجیتال برمبنای همسان‌سازی ۳۴

۲-۷-۲-۳ تبدیل روش‌های تصحیح پیش‌زمینه‌ای به پس‌زمینه‌ای ۳۶
۲-۸ خلاصه ۴۱

فصل سوم: الگوریتم پیشنهادی تصحیح خطاهای مبدل Pipeline در حالت پیش‌زمینه‌ای

۳-۱ مقدمه ۴۲
۳-۲ انتخاب ساختار مناسب برای MDAC ۴۳
۳-۳ مدل‌سازی MDAC ۴۵
۳-۴ الگوریتم تصحیح متداول ۴۷
۳-۵ الگوریتم تخمین خطا با استفاده از سیگنال‌های تصحیح غیردقیق ۵۰
۳-۶ استخراج ضرایب خطا با استفاده از الگوریتم LMS ۵۷
۳-۷ خلاصه ۵۸

فصل چهارم: الگوریتم پیشنهادی تصحیح خطاهای مبدل Pipeline در حالت پس‌زمینه‌ای

۴-۱ مقدمه ۵۹
۴-۲ ساختار Split اصلاح‌شده ۶۰
۴-۳ ساختار پیش‌بینی خطی تطبیقی ۶۳
۴-۴ خلاصه ۷۴

فصل پنجم: اعمال تصحیح پس‌زمینه‌ای دیجیتال به مبدل آنالوگ به دیجیتال Pipeline

۵-۱ مقدمه ۷۵
۵-۲ طراحی اجزای سازنده مبدل Pipeline ۷۶
۵-۲-۱ تعیین اندازه خازن‌های طبقات مبدل ۷۶
۵-۲-۲ نحوه حذف مدار نمونه‌بردار ورودی مبدل ۷۸
۵-۲-۳ طراحی تقویت‌کننده‌ها ۷۹
۵-۲-۴ طراحی مقایسه‌گرها ۸۴
۵-۲-۵ انتخاب نوع سوئیچ‌ها و طراحی آنها ۸۶
۵-۲-۶ طراحی Decoder و Multiplexer در زیرمبدل‌های طبقات با ساختار متعارف ۸۹
۵-۲-۷ Decoder تغییرشکل‌یافته برای زیرمبدل آنالوگ به دیجیتال طبقات ۹۱
۵-۲-۸ پیاده‌سازی دیجیتال ساختار پیش‌بینی خطی تطبیقی ۹۲
۵-۳ شبیه‌سازی سیستمی ۹۵
۵-۴ شبیه‌سازی مداری ۹۸
۵-۴-۱ بررسی عملکرد المان‌های مداری ۹۹
۵-۴-۱-۱ بررسی رفتار تقویت‌کننده ۹۹
۵-۴-۱-۲ بررسی رفتار مقایسه‌گر ۱۰۱
۵-۴-۱-۳ بررسی رفتار سوئیچ Bootstrapped ۱۰۲
۵-۴-۲ بررسی عملکرد مبدل آنالوگ به دیجیتال Pipeline ۱۰۳
۵-۵ مقایسه مبدل آنالوگ به دیجیتال Pipeline ۱۰۹
۵-۶ خلاصه ۱۱۱

فصل ششم: نتیجه‌گیری و پیشنهادات

۶-۱ نتیجه‌گیری ۱۱۲
۶-۲ پیشنهادات ۱۱۳
واژه‌نامه ۱۱۵
اختصارنامه ۱۱۹
مراجع ۱۲۱
Abstract ۱۲۶

فهرست شکل‌ها

شکل (۲-۱): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال ۷
شکل (۲-۲): ساده‌ترین مدار نمونه‌بردار ۹
شکل (۲-۳): منحنی انتقالی کوانتایزر n بیتی ۹
شکل (۲-۴): مدل کوانتایزر ۱۱
شکل (۲-۵): خطای کوانتیزاسیون بر حسب سیگنال ورودی ۱۱
شکل (۲-۶): (الف) منحنی انتقالی ایده‌آل مبدل، (ب) خطای آفست، (ج)خطای بهره، و (د) غیرخطینگی DNL و INL ۱۳
شکل (۲-۷): مبدل آنالوگ به دیجیتال Flash ۱۴
شکل (۲-۸): بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال Two-Step ۱۵
شکل (۲-۹): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال Pipeline ۱۷
شکل (۲-۱۰): مدل‌سازی سیگنال‌های موجود در مبدل Pipeline ایده‌آل ۱۸
شکل (۲-۱۱): نحوه ترکیب بیت‌ها برای مبدل ۱۲ بیتی با ۲ بیت در هر طبقه ۱۹
شکل (۲-۱۲): مدار MDAC با بهره ۲، (الف) CNFA و (ب) CFA ۲۱
شکل (۲-۱۳): مقایسه‌گر تزویج خازنی ۲۲
شکل (۲-۱۴): روش RIM، (الف) نمونه‌برداری از ورودی توسط خازن اول، (ب) انتقال سیگنال نمونه‌برداری‌شده به خازن دیگر، (ج) نمونه‌برداری مجدد از ورودی، و (د) دستیابی به بهره مستقل از نسبت خازن‌ها ۲۵
شکل (۲-۱۵): روش میانگین‌گیری خطاهای خازن، (الف) نمونه‌برداری از ورودی، (ب) تقویت سیگنال، و (ج) تقویت سیگنال پس از جابجایی خازن‌ها ۲۶
شکل (۲-۱۶): روش تنظیم ظرفیت خازن ۲۶
شکل (۲-۱۷): پیاده‌سازی روش CDS با مدار سوئیچ‌شونده خازنی برای یک MDAC با ساختار 1.5 bit/stage ۲۸
شکل (۲-۱۸): منحنی انتقالی طبقه ۱/۵ بیتی (منحنی ممتد) و منحنی انتقالی طبقه ۱/۵ بیتی حاصل از تغییر ولتاژ آستانه مقایسه‌گر از $V_{ref}/4-$ به 0 (منحنی خط‌چین) ۳۰
شکل (۲-۱۹): دیاگرام کلی روش HDC برای تصحیح اعوجاج مرتبه mام ۳۱
شکل (۲-۲۰): ساختار Split، (الف) برای تصحیح خطاها با روش همبستگی سیگنال‌ها، و (ب) اساس روش ۳۳
شکل (۲-۲۱): منحنی‌های انتقالی مورداستفاده در چندحالته‌کردن طبقات ۳۴
شکل (۲-۲۲): الگوریتم تصحیح ارائه‌شده در [42]، (الف) مشخصه ایده‌آل و واقعی مبدل و سیگنال‌های تصحیح اعمالی، و (ب) نحوه همگرایی با استفاده از الگوریتم ۳۵
شکل (۲-۲۳): روش تصحیح خطای عدم‌تطبیق دو کانال در ساختار Split ۳۷
شکل (۲-۲۴): روش Skip & Fill ۳۸
شکل (۲-۲۵): وزن مولفه‌های فیلتر درون‌یابی ۳۹
شکل (۲-۲۵): (الف) اساس روش تصحیح خطا با ساختار صف، و (ب) زمان‌بندی مدارهای نمونه‌بردار و مبدل Pipeline ۴۰
شکل (۳-۱): پیاده‌سازی MDAC با ۱/۵ بیت در هر طبقه با استفاده از ساختار CNFA ۴۴
شکل (۳-۲): (الف)مدل تقویت‌کننده در حالت حلقه باز، و (ب) مدل معکوس تقویت‌کننده در حالت حلقه بسته ۴۶
شکل (۳-۳): طبقه iام مبدل در حالت تصحیح با روش متداول ۴۸
شکل (۳-۴): تصحیح خطاهای موجود در طبقه iام مبدل به‌کمک الگوریتم تخمین خطا با استفاده از سیگنال‌های تصحیح غیردقیق ۵۱
شکل (۳-۵): روند پیشنهادی برای تصحیح طبقه iام مبدل برای (الف) PN=00، و (ب) PN=10 ..... ۵۵

شکل (۳-۶): پیاده‌سازی مداری مبدل دیجیتال به آنالوگ تک‌بیتی اضافی در ساختار CNFA MDAC ۵۶
شکل (۴-۱): تصحیح پس‌زمینه‌ای با استفاده از روش Split اصلاح‌شده ۶۱
شکل (۴-۲): مقدار MSE خروجی دیجیتال بر حسب فرکانس های ورودی و فازهای عملکردی مختلف ۶۲
شکل (۴-۳): فیلتر شبکه‌ای با طول L ۶۳
شکل (۴-۴): کاربرد فیلترهای تطبیقی در مبحث پیش‌بینی خطی ۶۵
شکل (۴-۵): ساختار تصحیح پس‌زمینه‌ای پیشنهادی با استفاده از مبحث پیش‌بینی ۶۵
شکل (۴-۶): ترجمه هندسی الگوریتم LMS ۶۷
شکل (۴-۷): ترجمه هندسی الگوریتم AP ۶۹
شکل (۴-۸): مقایسه مقادیر MSE برای الگوریتم‌های LMS و GS-PAP برای ورودی‌های (الف) DC، (ب) دو سینوسی، و (ج) شیب ۷۲
شکل (۴-۹): مقادیر MSE برای فرکانس‌های ورودی و نرخ‌های حذف مختلف ۷۳
شکل (۴-۱۰): مقادیر MSE برای فرکانس‌های ورودی و طول فیلتر پیش‌بینی‌کننده مختلف ۷۳
شکل (۵-۱): مدل نویز حرارتی مدار MDAC (الف) در فاز نمونه‌برداری ۷۸
شکل (۵-۲): دو مسیر موجود در طبقه اول در فاز نمونه‌برداری ۷۹
شکل (۵-۳): تقویت‌کننده مورداستفاده در طبقات مبدل ۸۱
شکل (۵-۴): مدار معادل سیگنال کوچک حلقه باز تقویت‌کننده ۸۲
شکل (۵-۵): مدار بایاس استفاده‌شده برای تقویت‌کننده موردنظر ۸۴
شکل (۵-۶): مدار فیدبک مد مشترک مورداستفاده در طبقه دوم تقویت‌کننده ۸۴
شکل (۵-۷): (الف) ساختار مقایسه‌گر استفاده‌شده و (ب) نحوه تولید ولتاژ آستانه در مقایسه‌گر توزیع بار ۸۵
شکل (۵-۸): پیاده‌سازی سوئیچ‌های Bootstrapped ۸۷
شکل (۵-۹): سوئیچ‌های مورداستفاده در ساختار طبقات ۸۸
شکل (۵-۱۰): سوئیچ‌های مورداستفاده در ساختار پیشنهادی برای طبقه $(i+1)$ام در زمان تصحیح طبقه iام ۸۹
شکل (۵-۱۱): (الف) Decoder مورداستفاده در زیرمبدل‌های آنالوگ به دیجیتال طبقات ۱/۵ بیتی و مبدل Flash، (ب) Multiplexer استفاده‌شده در زیرمبدل دیجیتال به آنالوگ، (ج) گیت NAND سه ورودی، و (د) گیت NOT ۹۰
شکل (۵-۱۲): (الف) Decoder تغییرشکل‌یافته مورداستفاده در زیرمبدل‌های آنالوگ به دیجیتال طبقات ۱/۵ در طبقه $(i+1)$ام، (ب) گیت منطقی NOR دو ورودی، و (ج) مدار Shifter به‌منظور ایجاد Shift به‌میزان نیم‌سیکل نمونه‌برداری ۹۲
شکل (۵-۱۳): پیاده‌سازی پیش‌بینی‌کننده خطی تطبیقی با استفاده از دقت Fixed-Point ۹۴
شکل (۵-۱۴): طیف خروجی ناشی از شبیه‌سازی سیستمی مبدل آنالوگ به دیجیتال Pipeline بدون اعمال تصحیح ۹۶
شکل (۵-۱۵): طیف خروجی ناشی از شبیه‌سازی سیستمی مبدل آنالوگ به دیجیتال Pipeline همراه با اعمال روش تصحیح متداول ایده‌آل ۹۷
شکل (۵-۱۶): طیف خروجی ناشی از شبیه‌سازی سیستمی مبدل آنالوگ به دیجیتال Pipeline همراه با اعمال روش تصحیح متداول واقعی ۹۷
شکل (۵-۱۷): طیف خروجی ناشی از شبیه‌سازی سیستمی مبدل آنالوگ به دیجیتال Pipeline همراه با اعمال روش تصحیح پیشنهادی و ساختار Split اصلاح‌شده ۹۸
شکل (۵-۱۸): طیف خروجی ناشی از شبیه‌سازی سیستمی مبدل تصحیح شده با روش پیشنهادی و ساختار پس‌زمینه‌ای پیش‌بینی خطی تطبیقی ۹۹
شکل (۵-۱۹): پاسخ فرکانسی تقویت‌کننده طبقه اول در گوشه‌های مختلف تکنولوژی، (الف) پاسخ دامنه، و (ب) پاسخ فاز ۱۰۰
شکل (۵-۲۰): منحنی پاسخ پله تقویت‌کننده طبقه اول در گوشه‌های مختلف تکنولوژی ۱۰۰

شکل (۵-۲۱): طیف خروجی تقویت‌کننده طبقه اول، ۱۰۱
شکل (۵-۲۲): منحنی زمانی (الف) ورودی، و (ب) خروجی مقایسه‌گر در تست Overdrive، ۱۰۲
شکل (۵-۲۳): طیف خروجی مدار Track & Hold با استفاده از سوئیچ Bootstrapped طراحی‌شده، ۱۰۳
شکل (۵-۲۴): طیف خروجی مبدل آنالوگ به دیجیتال Pipeline قبل از اعمال تصحیح، ۱۰۴
شکل (۵-۲۵): طیف خروجی مبدل آنالوگ به دیجیتال Pipeline پس از اعمال الگوریتم تصحیح متداول، ۱۰۵
شکل (۵-۲۶): طیف خروجی مبدل آنالوگ به دیجیتال Pipeline پس از اعمال الگوریتم تصحیح پیشنهادی، ۱۰۵
شکل (۵-۲۷): مقادیر DNL و INL برای کدهای دیجیتال مبدل آنالوگ به دیجیتال Pipeline قبل از تصحیح، ۱۰۶
شکل (۵-۲۸): مقادیر DNL و INL برای کدهای دیجیتال مبدل آنالوگ به دیجیتال Pipeline بعد از تصحیح، ۱۰۶
شکل (۵-۲۹): تغییرات (الف) SNDR، و (ب) SFDR برحسب فرکانس ورودی بدون اعمال تصحیح، بعد از تصحیح متداول و بعد از تصحیح پیشنهادی، ۱۰۷
شکل (۵-۳۰): رفتار همگرایی α_1 و خطای تخمین در مبدل تصحیح‌شده با الگوریتم (الف) متداول، و (ب) پیشنهادی، ۱۰۸
شکل (۶-۱): طبقه iام مبدل در حالت تصحیح به‌کمک روش تخمین ضرایب خطا با استفاده از سیگنال‌های تصحیح غیردقیق در ساختار CFA، ۱۱۴

فهرست جدول‌ها

جدول (۱-۱): مشخصات عملکردی تعیین‌شده برای مبدل Pipeline با دقت ۱۲ بیت، ۳
جدول (۱-۴): الگوریتم تکراری GS-PAP، ۷۱
جدول (۱-۵): اندازه خازن‌های نمونه‌برداری طبقات مبدل، ۷۸
جدول (۲-۵): اندازه المان‌های بکاررفته در تقویت‌کننده طبقه اول، ۸۳
جدول (۳-۵): ابعاد ترانزیستورهای مقایسه‌گر، ۸۶
جدول (۴-۵): اندازه ترانزیستورهای سوئیچ Bootstrapped، ۸۷
جدول (۵-۵): حالت‌های مختلف خروجی مقایسه‌گرها، Decoder و Multiplexer در طبقه ۱/۵ بیتی، ۹۰
جدول (۶-۵): حالت‌های مختلف خروجی مقایسه‌گرها و Decoder در مبدل Flash، ۹۰
جدول (۷-۵): مشخصات تقویت‌کننده طبقه اول ۱۰۱
جدول (۸-۵): مشخصات مبدل طراحی‌شده در گوشه‌های مختلف تکنولوژی، ۱۰۹
جدول (۹-۵): مقایسه مبدل طراحی‌شده با کارهای انجام‌شده قبلی، ۱۱۰

واژه‌نامه

آستانه	Threshold
ابرصفحه	Hyper Plane
اعوجاج	Distortion
افزایش بهره	Gain-boosting
الگوریتمی	Algorithmic
انباشتگر	Accumulator
انتهایی	Backend
ایستان	Stationary
بازتعریف مرجع	Reference refreshing
باند گذار	Transition band
برمبنای صف	Queue-Based
برمبنای همسان‌سازی	Equalization-Based
برون‌خطی	Offline
بستر	Substrate
بیت پرارزش	Most Significant bit (MSB)
بیت زائد	Redundancy bit
بیت کم‌ارزش	Least Significant Bit (LSB)
بیش‌نمونه‌برداری	Oversampling
بیکار	Idle
پارازیتی	Parasitic
پاسخ ضربه با طول محدود	Finite Duration Impulse Response (FIR)
پس‌زمینه‌ای	Background
پیش‌بینی خطی تطبیقی	Adaptive linear prediction
پیش‌بینی‌کننده	Predictor
پیش‌بینی‌شده	Predictive
پیش‌زمینه‌ای	Foreground
تابع ارزش	Cost function
تاخیر	Latency, delay

تازه‌کردن مرجع	Reference refreshing
تاشدن	Folding
تجدید	Update
تحلیل‌کننده طیف	Spectrum Analyzer
تراشه	Chip
ترانهاده	Hermitian Transpose
تزریق بار کانال	Channel charge injection
تزویج خازنی	Capacitive coupling
تصحیح آنالوگ	Analog trimming
تصویر دیجیتال	Digital Video
تطبیقی	Adaptive
تعداد بیت موثر	Effective Number Of bits (ENOB)
تفکیک‌پذیری	Resolution
تقویت‌کننده تلسکوپی	Telescopic Amplifier
تقویت‌کننده کسکود تاشده	Folded cascade Amplifier
تقویت‌کننده نمونه‌بردار و نگه‌دار	Sample & Hold Amplifier (SHA)
تک‌سر	Single-ended
توزیع بار	Charge distribution
ثبّات	Register
جابجاکننده سطح	Level shifter
جابجایی	Shift
چندرسانه‌ای	Multimedia
حالت انتظار	Stand by
حد فاز	Phase margin
خطای روزنه‌ای	Aperture error
خطینگی	Linearity
درون‌خطی	Online
درون‌یابی	Interpolation
درون‌یابی چندجمله‌ای غیرخطی	Nonlinear polynomial interpolation
دنبال‌کننده و نگه‌دار	Track & Hold
راه‌انداز	Driver
رتبه کامل	Full rank
زمان نشست	Settling time

زیرمبدل	Sub-converter
ساختار Split اصلاح‌شده	Modified Split structure
سازگار	Consistent
سرریز	Overload
سرعت چرخش	Slew rate (SR)
سیستم دیجیتال سوئیچینگ تلفن	Digital Telephone Switching
سیستم‌های مخابراتی بی‌سیم	Wireless Local Area Network (WLAN)
شبه درون‌خطی	Pseudo-online
شکاف	Slot
شناور	Float
شیب	Ramp
صف	Queue
صوت دیجیتال	Digital Audio
عددی	Scalar
عدم‌تطبیق	Mismatch
علی	Causal
غیرعلی	Non-causal
فرکانس بهره‌واحد	Unity gain frequency
فرکانس نمونه‌برداری	Sampling frequency
فیدبک مد مشترک	Common Mode Feedback
فیلتر شبکه‌ای	Lattice filter
قابلیت اطمینان	Reliability
قطار ضربه	Pulse train
کد حرارتی	Thermal noise
کد گمشده	Missing code
کدکننده	Encoder
کدگشا	Decoder
کم‌ثُباتی	Metastability
کوچک‌شدن	Scaling
گیرنده-فرستنده	Transceiver
لیتوگرافی	Lithography
مبدل آنالوگ به دیجیتال	Analog-to-Digital Converter (ADC)
مبدل دیجیتال به آنالوگ	Digital-to-Analog Converter (DAC)

محدوده دینامیکی	Dynamic range
مدار سوئیچ‌شونده خازنی	Switch Capacitor (SC) Circuit
مدار نمونه‌بردار	Sampling circuit
مدارهای مجتمع	Integrated circuits
وابسته به سیگنال	Signal dependent
مصالحه	Tradeoff
معیار شایستگی	Figure of Merit (FoM)
مقایسه‌گر	Comparator
مقایسه‌گر ایستا	Static comparator
مقایسه‌گر پویا	Dynamic comparator
امید ریاضی	Expected Value
منحنی انتقالی	Transfer curve
میانگین‌گیری خطای خازن	Capacitor error averaging
نرخ نایکوئیست	Nyquist rate
نردبان مقاومتی	Resistance ladder
نسبت حذف مد مشترک	Common Mode Rejection Ratio (CMRR)
نشت	Leakage
نویز شبه‌تصادفی	Pseudo random noise
نویز فلیکر	Flicker noise
واحد حسابگر	Arithmetic Logic Unit (ALU)
ولتاژ باقیمانده	Residue Voltage
همبستگی	Correlation

اختصارنامه

ADC	Analog to Digital Converter
ALU	Arithmetic Logic Unit
APA	Affine Projection Algorithm
CDS	Correlated double sampling
CFA	Capacitor Flip Around
CM	Common Mode
CMFB	Common Mode Feedback
CMOS	Complementary Metal-Oxide Semiconductor
CMRR	Common Mode Rejection Ratio
CNFA	Capacitor Non Flip Around
DAC	Digital to Analog Converter
DNC	DAC Noise Cancelation
DNL	Differential Non-Linearity
DR	Dynamic Range
ENOB	Effective Number of bits
FAPA	Fast Affaine Projection Algorithm
FFT	Fast Fourier Transform
FIR	Finite duration Impulse Response
FoM	Figure of Merit
FS	Full Scale
GS-PAP	Gauss- Seidel Psuedo Affine Projection
HDC	Harmonic Distortion Correction
INL	Integral Non-Linearity
LMS	Least Mean Squares
LSB	Least Significant bit
MDAC	Multiplying Digital to Analog Convereter
MOS	Metal-Oxide-Semiconductor
MSB	Most Significant bit

MSE	Mean Square Error
MUX	Multiplexer
OpAmp	Operational Amplifier
PAPA	Psuedo Affine Projection Algorithm
PN	Psuedo-random Noise
RIM	Ratio-independent multiplication
RLS	Recursive Least Squares
SAR	Successive Approximation Register
SC	Switched Capacitor
SFDR	Spurious Free Dynamic Range
SHA	Sample and Hold Amplifier
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SR	Slew Rate
THD	Total Harmonic Distortion
VLSI	Very Large Scale Integrated Circuits
WLAN	Wireless Local Area Network

مراجع

[1] W. Kester, *The Data Conversion Handbook*, Analog Devices, 2005.

[2] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu, and J. Barbolla, "Low-Power Pipeline ADC for Wireless LANs," *IEEE J. Solid-Sate Circuits*, vol. 39, no. 8, pp. 1338-1340, Aug. 2004.

[3] F. Maloberti, *Data converters*, Springer-Verlag, 2007.

[4] A. H. M. van Roermund, H. Casier, and M. Steyaert, *Analog Circuit Design-Smart Data Converters, Filters on Chip, Multimode Transmitters*, Springer, 2010.

[5] H. Lundin, *An Introduction to ADC Error Correction*, May. 2005.

[6] B. Razavi, *Principals of Data Conversion System Design*, IEEE Press, 1995.

[7] M. Yavari, *Data Converters*, Class Notes, Amirkabir University of Technology, Spring 2010.

[8] Maxim-IC, *Understanding Pipelined ADCs*, Application note 1023, Oct. 2001.

[9] D. A. Johns and K. Martin, *Design of Analog Integrated Circuits and Systems*, John Wiley & Sons, 1997.

[10] J. Li, *Accuracy Enhancement Techniques in Low-Voltage High-Speed Pipelined ADC*, Ph.D. dissertation, Oregon State University, 2003.

[11] L. Sumanen, *Pipeline Analog-to-Digital Converters for Wide-Band Wireless Communications*, Ph.D. dissertation, Helsinki University of Technology, 2002.

[12] A. M. Abo, *Design for Reliability of Low-Voltage, Switched-Capacitor Circuits*, Ph.D. dissertation, University of California, Berkeley, 1999.

[13] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang, and Y. Guo, "A 1.8-V 22-mW 10-bit 30-MS/s Subsampling Pipelined CMOS ADC," *IEEE Custom Intergrated Circuits Conference*, pp. 513-516, 2006.

[14] J. Li and U. Moon, "Background Calibration Technique for Multi-Stage Pipelined ADCs With Digital Redundancy," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol 50, pp. 531–538, Sep. 2003.

[15] B. Nejati, A. Khakifirooz, S.J. Ashtiani, and O. Shoaei, "Pipeline Analog-to-Digital Converters With Radix <2," *International Conference on Microelectronics*, pp. 39-42, Oct. 2000.

[16] U. Moon and G. Temes, "Digital Redundancy/Correction and Calibration," *IEEE Communication Magazine*, pp. 137-139, Oct. 1999.

[17] P. Li, M. Chin, and P. Gray, "A Ratio Independent Algorithmic Analog-to-Digital Conversion Technique," *IEEE J. Solid-State Circuits*, vol. sc-19, pp. 828-836, Dec. 1984.

[18] B. Song, M. Tompsett, and K. Lakshmikumar, "A 12-b 1-Msample/s Capacitor Error-Averaging Pipelined A/D Converter," *IEEE J. Solid-State Circuits*, vol. sc-23, pp. 1324-1333, Dec. 1988.

[19] Y. Lin, B. Kim, and P. Gray, "A 13-b 2.5-MHz Self-Calibrated Pipelined A/D Converter in 3um CMOS," *IEEE J. Solid-State Circuits*, vol. sc-26, pp. 628-636, Apr. 1991.

[20] C. Shih and P. Gray, "Reference Refreshing Cyclic Analog-to-Digital and Digital-to-Analog Converters," *IEEE J. Solid-State Circuits*, vol. sc-21, pp. 544-554, Aug. 1986.

[21] C. Enz and G. Ternes, "Circuit Techniques for Reducing the Effects of Opamp Imperfections: Audozeroing, Correlated Double Sampling and Chopper Stabalization," *Proc. of IEEE*, pp. 1584-1614, Nov. 1996.

[22] S. Lee and B. Song, "Digital-Domain Calibration of Multi-Step Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.

[23] A. Karanicolas and H. Lee, "A 15-b 1-Msample/s Digitally Self-Calibrated Pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1207-1215, Dec. 1993.

[24] S. Lee and B. Song, "Interstage Gain Proration Technique for Digital-Domain Multi-Step ADC Calibration," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 41, pp. 12-18, Jan. 1994.

[25] R. Jewett, K. Poulton, K. Hsieh, and J. Doemberg, "A 12-b 128Msamples/s ADC With 0.05LSB DNL," *Proc Int. Solid-State Circuits Conference*, pp. 138-139, Feb. 1997.

[26] J. Ming and S. Lewis, "An 8-bit 80-Msample/s Pipelined Analog-to-Digital Converter With Background Calibration," *IEEE J. Solid-Sate Circuits*, vol. 36, pp. 1489- 497, Oct. 2001.

[27] I. Galton, "Digital Cancellation of D/A Converter Noise in Pipelined A/D Converters," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 47, no. 3, pp. 185–196, Mar. 2000.

[28] A. Panigada and I. Galton, "Digital Background Correction of Harmonic Distortion in Pipelined ADCs," *Trans. Circuits Syst. I: Reg. papers*, vol. 53, no. 9, pp. 1885–1895, Sep. 2006.

[29] B. Murmann and B. Boser, "A 12-b 75MS/s Pipelined ADC Using Open-Loop Residue Amplifier," *International Solid-State Circuits Conference Digest of Tech. papers*, pp. 330-331, Feb. 2003.

[30] B. Murmann and B.E. Boser, "A 12-bit 75-MS/s Pipelined ADC Using Open-Loop Residue Amplification," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 2040-2050, Dec. 2003.

[31] E. Iroaga and B. Murmann, "A 12b, 75MS/s Pipelined ADC Using Incomplete Settling," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 748-756, April 2007.

[32] Y.S. Shu and B.S. Song, "A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 342-350, Feb. 2008.

[33] A. Panigada and I. Galton, "A 130 mW 100 MS/s Pipelined ADC With 69dB SNDR Enabled by Digital Harmonic Distortion Correction," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3314-3328, Dec. 2009.

[34] E. Siragusa, and I. Galton, "A Digitally Enhanced 1.8-V 15-bit 40-MSample/s CMOS Pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126-2138, Dec. 2004.

[35] K. L. Chan, N. Rakuljic, and I. Galton, "Segmented Dynamic Element Matching for High Resolution Digital-to-Analog Conversion," *Trans. Circuits Syst. I: Reg. papers*, vol. 55, no. 11, pp. 3383–3392, Dec. 2008.

[36] K. L. Chan, J. Zhu, and I. Galton, "Dynamic Element Matching to Prevent Nonlinear Distortion From Pulse-Shape Mismatches in High-Resolution DACs," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2067-2078, Sep. 2008.

[37] N. Rakuljic and I. Galton, "Tree-Structured DEM DACs With Arbitrary Numbers of Levels," *Trans. Circuits Syst. I: Reg. papers*, vol. 57, no. 2, pp. 313–322, Feb. 2010.

[38] D. Y. Chang, J. Li, and U.-K. Moon, "Radix-Based Digital Calibration Techniques for Multi-Stage Recycling Pipelined ADCs," *Trans. Circuits Syst. I: Reg. papers*, vol. 51, no. 11, pp. 2133-2140, Nov. 2004.

[39] J. McNeill, M. C. W. Coln, and B. J. Larivee, "Split ADC Architecture for Deterministic Digital Background Calibration of a 16-bit 1-MS/s ADC," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2437–2445, Dec. 2005.

[40] M. Taherzadeh-Sani and A. Hamoui, "Digital Background Calibration of a 0.4-pJ/step 10-bit Pipelined ADC Without PN Generator in 90-nm Digital CMOS," *IEEE Asian Solid-State Circuits Conference*, pp. 53–56, Nov. 2008.

[41] C. R. Grace, P. J. Hurst, and S. H. Lewis, "A 12-bit 80-Msample/s Pipelined ADC With Bootstrapped Digital Calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1038–1046, May 2005.

[42] B. D. Sahoo and B. Razavi, "A 12-bit 200-MHz CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2366–2380, Sep. 2009.

[43] A.Verma and B. Razavi, "A 10-Bit 500-MS/s 55-mW CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3039-3050, Nov. 2009.

[44] J. Ingino and B. Wooley, "A Continuously Calibrated 12-b l0-Ms/s 3.3-V A/D Converter," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1920-1931, Dec. 1998.

[45] U. Moon and B. Song, "Background Digital Calibration Techniques for Pipelined ADCs," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 44, pp. 102-109, Feb. 1997.

[46] O. Erdogan, P. J. Hurst, and S. H. Lewis, "A 12-b Digital-Background-Calibrated Algorithmic ADC With -90-dB THD," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1812-1820, Dec. 1999.

[47] R. G. Massolini, G. Cesura, and R. Castello, "A Fully Digital Fast Convergence Algorithm for Nonlinearity Correction in Multistage ADC," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 53, no. 5, pp. 389-393, May 2006.

[48] T. Shu, B. Song, and K. Bacrania, "A 13-b, 10-Msample/s ADC Digitally Calibrated With Oversampling Delta-Sigma Converter," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1866-1875, Dec. 1997.

[49] C. R. Grace, P. J. Hurst, and S. H. Lewis, "A 12-bit 80-MSample/s Pipelined ADC With Bootstrapped Digital Calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1038–1046, May 2005.

[50] H. Wang, X. Wang, P. J. Hurst, and S. H. Lewis, "Nested Digital Background Calibration of a 12-bit Pipelined ADC Without an Input SHA," *IEEE J. Solid-State Circuits*, vol. 44, no. 10, pp. 2780-2789, Oct. 2009.

[51] M. H. Hayes, *Statistical Digital Signal Processing and Modeling*, John Wiley & Sons, 1996.

[52] M. Yukawa, *Adaptive Filtering Based on Projection Method*, Block Seminar in Elite Master Study Course SIM, 2010.

[53] S. Weiss, *On Adaptive Filtering in Oversampled Subbands*, Ph.D. dissertation, University of Strathclyde, 1998.

[54] S. Gay and S. Tavathia, "The Fast Affine Projection Algorithm," *IEEE International Conference on Acoustics, Speech, and Signal Processing* (ICASSP), pp. 3023–3026, 1995.

[55] Q.G. Liu, B. Champagne, and K. C. Ho, "On the Use of a Modified FAP Algorithm in Subbands for Acoustic Echo Cancellation," *In Proc. 7th IEEE DSP Workshop*, pp. 2570-2573, Loen, Norway, 1996.

[56] M. Ghanassi and B. Champagne, "On the Fixed-Point Implementation of a Subband Acoustic Echo Canceler Based on a Modified FAP Algorithm," *IEEE Workshop on Acoustic Echo and Noise Control*, pp. 128-131, Pocono Manor, Pennsylvania, USA, 1999.

[57] H. Ding, "A Stable Fast Affine Projection Adaptation Algorithm Suitable for Low-Cost Processors," *IEEE International Conference on Acoustics, Speech, and Signal Processing* (ICASSP), pp. 360-363, Turkey, 2000.

[58] H. Sheikhzadeh, K. R. L. Whyte, and R. L. Brennan "Partial Update Subband Implementation of Complex Pseudo-Affine Projection Algorithm on Oversampled Filterbanks," *IEEE International Conference on Acoustics, Speech, and Signal Processing* (ICASSP), vol. 4, pp. 373-376, Jan. 2005.

[59] M. Rupp, "Pseudo Affine Projection Algorithms Revisited: Robustness and Stability Analysis," *IEEE Trans. on signal processing*, vol. 59, no. 5, pp. 2017–2023, May 2011.

[60] W. Yin and A. S. Mehr, "A Variable Regularization Method for Affine Projection Algorithm," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 57, no. 6, pp. 476-480, Jun. 2010.

[61] S. J. M. de Almeida, J. C. M. Bermudez, N. J. Bershad, and M. H. Costa, "A Statistical Analysis of the Affine Projection Algorithm for Unity Step Size and Autoregressive Inputs," *Trans. Circuits Syst. I: Reg. papers*, vol. 52, no. 7, pp. 1394-1405, Jul. 2005.

[62] P. Prandoni and M. Vetterli, "An FIR Cascade Structure for Adaptive Linear Prediction," *IEEE Trans. Signal Processing*, vol. 46, no. 9, pp. 2566-2571, Sep. 1998.

[63] B. G. Lee, B. M. Min Manganaro, and G. Valvano, "A 14-b 100-MS/s Pipelined ADC With a Merged SHA and First MDAC," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2613-2619, Dec. 2008.

[64] D. Cline, *Noise, Apeed, and Power Trade-Offs in Pipelined Analog to Digital Converters*, Ph.D. dissertation, University of California, Berkeley, 1995.

[65] A. M. A. Ali, C. Dillon, R. Sneed, A. S. Morgan, S. Bardsley, J. Kornblum, and L. Wu, "A 14-bit 125 MS/s IF/RF Sampling Pipelined ADC with 100 dB SFDR and 50 f_s Jitter," *IEEE J. Solid-Sate Circuits*, vol. 41, no. 8, pp. 1846-1855, Aug. 2006.

[66] D. Y. Chang, "Design Techniques for a Pipelined ADC Without Using a Front-End Sample-and-Hold Amplifier," *Trans. Circuits Syst. I: Reg. papers*, vol. 51, no. 11, pp. 2123-2132, Apr. 2004.

[67] L. Sumanen, M. Waltari, V. Hakkarainen, and K. Halonen, "CMOS Dynamic Comparators for Pipeline A/D Converters," *IEEE International Symp. on Circuits and Syst.*, vol. 5, pp. 157-160, 2002.

[68] T. Moosazadeh, *Design and Simulation of a Low Power High Resolution Pipelined Analog-to-Digital Converter in 90-nm CMOS*, M.Sc. dissertation, Amirkabir University of Technology (Tehran polytechnic), 2010.

[69] M. Dessouky and A. Kaiser, "Very Low-Voltage Digital-Audio Sigma-Delta Modulator With 88-dB Dynamic Range Using Local Switch Bootstrapping," *IEEE J. SolidSate Circuits*, vol. 36, no. 3, pp. 349-355, Mar. 2001.

[70] Maxim-IC, *Histogram Testing Determines DNL and INL Errors*, Application note 2085, Jun 2003.

[71] H. Van de Vel, B. A. J. Buter, H. van der Ploeg, M. Vertregt, G. J. G. M. Geelen, and E. J. F. Paulus, "A 1.2-V 250-mW 14-b 100-MS/s Digitally Calibrated Pipeline ADC in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1047-1056, April 2009.

[72] J. Yuan, S. W. Fung, K. Y. Chan, and R. Xu, "A 12-bit 20 MS/s 56.3 mW Pipelined ADC With Interpolation-Based Nonlinear Calibration," *IEEE Trans. Circuits Syst. I: Reg. papers*, accepted for inclusion.

[73] P. Huang, S. Hsien, V. Lu, P. Wan, S. C. Lee, W. Liu, B. W. Chen, Y. P. Lee, W. T. Chen, T. Y. Yang, G. K. Ma, and Y. Chiu, "SHA-Less Pipelined ADC With In Situ Background Clock-Skew Calibration," *IEEE J. Solid-State Circuits*, vol. 46, no. 8, pp. 1893-1903, Aug. 2011.

[74] J. Yuan, N. H. Farhat, and J. Van der Spiegel," Background Calibration With Piecewise Linearized Error Model for CMOS Pipeline A/D Converter," *IEEE Trans. Circuits Sys. I: Reg. papers*, vol. 55, no. 1, pp. 311–321, Feb. 2008.

[75] M. Y. Kim, J. Kim, T. Lee, and C. Kim, "10-bit 100-MS/s Pipelined ADC Using Input-Swapped Opamp Sharing and Self-Calibrated V/I Converter," *IEEE Trans. VLSI Syst.*, vol. 19, no. 8, pp. 1438–1447, Aug. 2011.

[76] M. Daito, H. Matsui, M. Ueda, and K. Iizuka, "A 14-bit 20-MS/s Pipelined ADC With Digital Distortion Calibration," *IEEE J. Solid-State Circuits*, vol. 41, no. 11, pp. 2417-2423, Nov. 2006.

[77] I. Ahmed and D. A. Johns, "An 11-Bit 45 MS/s Pipelined ADC With Rapid Calibration of DAC Errors in a Multibit Pipeline Stage," *IEEE J. Solid-State Circuits*, vol. 43, no. 7, pp. 1626-1637, Jul. 2008.

[78] S. Ray and B. S. Song, "A 13-b Linear, 40-MS/s Pipelined ADC With Self-Configured Capacitor Matching," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 463-474, Mar. 2007.

[79] K. Iizuka, H. Matsui, M. Ueda, and M. Daito, "A 14-bit Digitally Self-Calibrated Pipelined ADC With Adaptive Bias Optimization for Arbitrary Speeds Up to 40 MS/s," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 883-890, April 2006.

[80] S. T. Ryu, S. Ray, B. S. Song, G. H. Cho, and K. Bacrania, "A 14-b Linear Capacitor Self-Trimming Pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 2046-2051, Nov. 2004.

[81] S. Y. Chuang and T. L. Sculley, "A Digitally Self-Calibrating 14-bit 10-MHz CMOS Pipelined A/D Converter," *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 674-683, Jun. 2002.

[82] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15-b 40-MS/s CMOS Pipelined Analog-to-Digital Converter With Digital Background Calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1047-1056, May. 2005.

[83] B. Zeinali and M. Yavari, "A New Digital Background Correction Algorithm with Non-Precision Calibration Signals for Pipelined ADCs," *IEEE International Conference on Electronics, Circuits and Syst.* (ICECS), pp. 418-421, Dec. 2011.

Abstract

There are vast demands to utilize the advantages of digital signals. Using of data converters is inevitable for the analog nature signals which must be converted to digital ones for further processing or for the processed digital signals to reutilize in nature environment.

Pipelined analog-to-digital converters (ADCs) are one of important categories of data converters. Pipelined ADCs are widely used in applications with resolution requirements in the range of 10 to 14 bits and signal bandwidths in the range of tens to several hundred MHz. Unfortunately, the power consumption of high-resolution pipelined ADCs tends to be large, mainly because of the high performance amplifiers required in the early pipeline stages. So, much lower performance amplifiers with lower DC gain and linearity could be used in pipelined ADCs to significantly reduce the power consumption and use digital calibration techniques classified to foreground and background structures that measure and cancel the pipelined ADC errors arising from the distortion introduced by the residue amplifiers and capacitor mismatches.

In this thesis, a new digital foreground calibration technique is proposed to correct the ADC's errors by non-precision calibration signals. This adaptive technique compensates linear error due to capacitor mismatch and limited amplifier DC gain and nonlinear one due to variable amplifier DC gain, while it interrupts the ADC's conventional operation. So, converting the foreground structure to the corresponding background one is done by introducing two new methods that do not stop the ADC's operation for calibration. The first method, called the modified split structure, solves some of problems in the conventional methods and the second method, called the adaptive linear prediction structure, is proposed by signal processing view extracted from the modified split structure.

The proposed calibration methods are investigated in system level by MATLAB platform and then a pipelined ADC is designed in a 90-nm CMOS technology with 1.2 V power supply and is simulated with HSPICE to investigate the performance of the proposed digital background calibration algorithm implemented by adaptive linear prediction structure in the circuit level. Utilizing of these calibration algorithms result in 28 dB and 41 dB improvements in the values of SNDR and SFDR, respectively.

***Index Terms*—** Pipelined analog-to-digital converter, digital foreground calibration, error estimation with non-precision calibration signals, digital background calibration, linear prediction based on adaptive algorithms.

Amirkabir University of Technology
(Tehran Polytechnic)
Faculty of Electrical Engineering

A dissertation submitted to the Graduate Studies Office in partial
Fulfillment of the requirements for the degree of
Master of Science in
Electrical Engineering

Digital Background Correction of Circuits Nonlinearity in Pipelined A/D Converters

By:
Behzad Zeinali

Under Supervision of:
Dr. Mohammad Yavari

Jan. 2012