



Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc Thesis

**Linearity and noise figure improvement of wideband CMOS LNAs with
inherent balun**

By

Bahareh Shirmohammadi

Supervisor

Dr. Mohammad Yavari

October 2020



دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی برق

پایان نامه کارشناسی ارشد مهندسی برق
(گرایش الکترونیک-مدارهای مجتمع آنالوگ)

عنوان

بهبود خطینگی و عدد نویز تقویت کننده‌های کم نویز CMOS باند وسیع
با قابلیت بالون ذاتی

نگارش

بهاره شیرمحمدی

استاد راهنما

جناب آقای دکتر محمد یآوری

پاییز ۱۳۹۹

اینجانب بهاره شیرمحمدی متعهد می‌شوم که مطالب مندرج در این پژوهش حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پژوهش قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه برداری، ترجمه و اقتباس از این پایان نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

بهاره شیرمحمدی

امضا

تقدیم به

پدر و مادرم

که از نگاهشان صلابت

از رفتارشان محبت

و از صبرشان ایستادگی را آموختم.

آن دو فرشته ای که از خواسته‌هایشان گذشتند، سختی‌ها را به جان خریدند و خود را سپر بلای مشکلات و ناملایمات کردند تا من به جایگاهی که اکنون در آن ایستاده‌ام برسم.

و به آنانکه عزت و سربلندی ایران به رفتنشان گره خورده است.

تقدیر و تشکر

صمیمانه‌ترین سپاس خود را به استاد فرزانه جناب آقای دکتر محمد یآوری تقدیم می‌نمایم که در این راه پرمشقت روشنگر مسیرم بوده‌اند و بدون راهنمایی‌های گرانقدر ایشان تامین این پایان نامه بسیار مشکل می‌نمود. از دوستان عزیزم در آزمایشگاه طراحی مدارهای مجتمع خانم‌ها مهندس فاطمه انصاری، عطیه کریملو و منصوره یوسفی و آقایان مهندس حسام عباسی، عطاالله مهسافر، فرشاد گزل پور و علیرضا احرار که محیطی آرام و دوستانه را فراهم نموده و از راهنمایی‌هایشان بسیار بهره‌بردم صمیمانه قدردانی می‌نمایم. همچنین از اساتید ارجمند جناب آقای دکتر عبدالعلی عبدی پور و جناب آقای دکتر محسن معزی که داوری این پایان نامه را برعهده گرفتند، بی‌نهایت سپاسگزارم.

چکیده

تقویت کننده‌های کم نویز پهن باند تکنولوژی CMOS به عنوان اولین بلوک در گیرنده‌های مخابراتی از جذابیت زیادی برای فعالیتهای تحقیقاتی برخوردار هستند. از این میان، تقویت کننده‌های کم نویز با قابلیت بالون ذاتی به دلیل عدم نیاز به بالون خارج از تراشه اهمیت زیادی دارند. در این پایان نامه دو ساختار جدید برای تقویت کننده‌های کم نویز پهن باند CMOS برای استفاده در گیرنده‌های مخابراتی پهن باند شامل رادیو نرم افزارها بر پایه ساختار رایج گیت-مشترک سورس-مشترک معرفی شده است که علاوه بر داشتن عملکرد بالون ذاتی، مقاومت های بار یکسان نیز دارا بوده که از به وجود آمدن هر گونه عدم تطابق از نظر بهره یا فاز در خروجی‌های تفاضلی جلوگیری می‌کنند. به علاوه تکنیک‌هایی به منظور بهبود IIP3 و عدد نویز این دو ساختار به کار گرفته شده است که آنها را نسبت به ساختارهای پیشین بهبود داده است. در ساختار اول، مدار بهبودیافته ریزش جریان به منظور یکسان کردن جریان خروجی‌های تفاضلی و در نتیجه برابر بودن بارهای خروجی معرفی شده است و همچنین از یک فیدبک محلی برای افزایش ترانسانایی ترانزیستور گیت-مشترک به منظور کاهش چشمگیر توان مصرفی تا کمتر از ۵۰٪ و همچنین بهبود بهره و عدد نویز استفاده شده است. همچنین با به کارگیری دو ترانزیستور کمکی به عنوان بهبود خطینگی با ایجاد اعوجاج، IIP3 مدار ۳/۵۷ دسیبل بهبود داده شده است و این ساختار فرکانس های ۸-۰/۶۵ گیگاهرتز را پوشش می‌دهد که این پهنای باند، میانگین پهنای باند تطبیق ورودی، نویز و پهنای باند سه دسیبل خروجی است. در ساختار دوم، با به کارگیری فیدبک مثبت به منظور جبران تطبیق ورودی، ترانسانایی ترانزیستورهای گیت-مشترک و سورس-مشترک یکسان در نظر گرفته شده تا بدون نیاز به مدار ریزش جریان، جریان خروجی‌های تفاضلی و مقاومت‌های بار یکسان باشد تا به IIP2 بسیار بالا دست یابیم و همزمان خروجی‌های تفاضلی کاملاً متوازن باشند. در این ساختار همچنین یک تکنیک نوین برای بهبود همزمان خطینگی، پهنای باند و بهره ولتاژ تفاضلی بر پایه ترکیب دو روش جمع آثار مشتقات و ایجاد اعوجاج معرفی گردیده است که با مصرف جریان تنها ۳۵ میکروآمپر منجر به بهبود IIP3 به میزان ۵/۵۳ دسیبل، پهنای باند سه دسیبل به میزان ۵۰۰ مگاهرتز در رنج فرکانس کاری ۳-۰/۱۳ گیگاهرتز و بهره ولتاژ تفاضلی به میزان ۱۱ دسیبل می‌گردد. در نهایت شبیه-سازی در بدترین گوشه‌های تکنولوژی، ولتاژ تغذیه و دما صحت عملکرد ساختارهای پیشنهادی را اثبات کرده و نشان می‌دهد که پارامترهای ساختارهای پیشنهادی بهبود چشمگیری نسبت به ساختارهای قبل دارا هستند و به ضریب شایستگی بالاتری (ساختار اول به ضریب شایستگی ۵/۱ و ساختار دوم به ضریب شایستگی ۲/۴) دست یافته‌اند.

واژه‌های کلیدی: تقویت کننده کم نویز پهن باند CMOS، بالون ذاتی، بارهای متقارن، اعوجاج مرتبه دوم، خطینگی، عدد نویز، فیدبک محلی، افزایش ترانسانایی، فیدبک مثبت، توان مصرفی.

فهرست مطالب

صفحه

۱	فصل اول مقدمه.....	۱
۱-۱	پیش گفتار.....	۱
۲-۱	هدف.....	۲
۳-۱	ساختار پایان نامه.....	۳
۴	فصل دوم پارامترهای سنجش عملکرد تقویت کننده‌های کم نویز.....	۴
۱-۲	پارامترهای پراکندگی.....	۵
۲-۲	تطبیق ورودی.....	۶
۳-۲	تطبیق خروجی.....	۶
۴-۲	بهره.....	۷
۵-۲	پایداری.....	۷
۶-۲	عدد نویز.....	۸
۷-۲	خطینگی.....	۱۰
۸-۲	پهنای باند.....	۱۰
۹-۲	توان مصرفی.....	۱۱
۳	فصل سوم روش‌های طراحی، بهبود نویز و افزایش خطینگی تقویت کننده‌های کم نویز و ساختارهای بالون فعال.....	۱۲
۱-۳	ساختارهای رایج تقویت کننده‌های کم نویز.....	۱۲
۲-۳	تکنیک افزایش ترانسانایی.....	۱۴
۳-۳	تکنیک فیدبک.....	۱۵
۱-۳-۳	استفاده از فیدبک منفی.....	۱۶
۲-۳-۳	استفاده از فیدبک مثبت.....	۱۷
۴-۳	تکنیک حذف نویز.....	۱۸
۱-۴-۳	حذف نویز مدار گیت-مشترک توسط ترانس.....	۱۸
۲-۴-۳	حذف نویز مدار گیت-مشترک توسط ترانزیستور سورس-مشترک.....	۲۰
۵-۳	تکنیک‌های بهبود خطینگی.....	۲۱
۱-۵-۳	حذف هارمونیک.....	۲۳
۲-۵-۳	تکنیک بایاس بهینه.....	۲۴
۳-۵-۳	تکنیک جمع آثار مشتقات.....	۲۵
۴-۵-۳	تکنیک جمع آثار مشتقات بهبود یافته.....	۲۷
۵-۵-۳	تکنیک فیدفوروارد.....	۲۹
۶-۵-۳	تکنیک تزریق IM2.....	۳۰

- ۳-۵-۷- تکنیک فیدبک ۳۲
- ۳-۵-۸- تکنیک حذف نویز و اعوجاج ۳۲
- ۳-۵-۹- تکنیک خطی سازی با ایجاد اعوجاج ۳۲
- ۳-۶- انواع ساختار و تکنیک‌های بالون فعال ۳۴
- ۳-۷- نتیجه گیری ۴۰

۴ فصل چهارم ساختارهای پیشنهادی ۴۱

- ۴-۱- ساختار پیشنهادی اول با به کارگیری فیدبک محلی، تکنیک ریزش جریان بهبود یافته و بارهای متقارن برای کاربردهای کم توان ۴۱
- ۴-۱-۱-۱- تطبیق ورودی ۴۴
- ۴-۱-۱-۲- بهره ولتاژ ۴۴
- ۴-۱-۱-۳- نویز ۴۵
- ۴-۱-۱-۴- خطینگی ۴۸
- ۴-۱-۱-۵- مدار بایاس ۴۹
- ۴-۲- ساختار پیشنهادی دوم با به کارگیری فیدبک مثبت و بارهای متقارن بدون نیاز به مدار ریزش جریان ۵۰
- ۴-۲-۱- تطبیق ورودی ۵۳
- ۴-۲-۲- بهره ولتاژ ۵۳
- ۴-۲-۳- نویز ۵۵
- ۴-۲-۴- خطینگی ۵۷

۵ فصل پنجم نتایج شبیه‌سازی، نتیجه گیری و پیشنهادات ۶۰

- ۵-۱- نتایج شبیه‌سازی ساختار پیشنهادی اول ۶۰
- ۵-۲- نتایج شبیه‌سازی ساختار پیشنهادی دوم ۶۸
- ۵-۳- شبیه‌سازی پس از جانمایی ۷۸
- ۵-۴- مقایسه عملکرد تقویت کننده‌های کم نویز پیشنهادی این پایان نامه با تعدادی از ساختارهای پیشین ۸۳
- ۵-۵- نتیجه گیری ۸۵
- ۵-۶- پیشنهادات ۸۷
- مراجع ۸۸

فهرست شکل‌ها

- شکل (۱-۲): تصویر موج‌های تابشی و بازگشتی در ورودی و خروجی یک شبکه دوقطبی [۱] ۵
- شکل (۱-۳): طبقه ورودی الف) ساختار سورس-مشترک، ب) ساختار گیت-مشترک [۵] ۱۳
- شکل (۲-۳): تقویت‌کننده کم‌نویز با تکنیک افزایش ترانسانایی از طریق فیدبک فعال خازنهای زوج متقاطع [۸] ۱۵
- شکل (۳-۳): استفاده از فیدبک منفی مقاومتی در ساختار سورس-مشترک [۱۰] ۱۶
- شکل (۴-۳): استفاده از فیدبک مثبت فعال در ساختار گیت-مشترک [۱۱] ۱۸
- شکل (۵-۳): ساختار تقویت‌کننده کم‌نویز گیت-مشترک با تکنیک حذف نویز توسط ترانس [۱۲] ۱۹
- شکل (۶-۳): مکانیزم حذف نویز توسط ترانس [۱۲] ۱۹
- شکل (۷-۳): ساختار حذف نویز ترانزیستور گیت-مشترک توسط ترانزیستور سورس-مشترک [۱۳] ۲۰
- شکل (۸-۳): ساختار معرفی شده در [۱۴] جهت حذف نویز ترانزیستور گیت-مشترک ۲۱
- شکل (۹-۳): استفاده از تکنیک حذف هارمونیک در تقویت‌کننده کم‌نویز [۱۵] ۲۳
- شکل (۱۰-۳): نمودار g_3 بر حسب V_{gs} [۱۵] ۲۴
- شکل (۱۱-۳): پیاده‌سازی تکنیک جمع آثار مشتقات [۱۵] ۲۶
- شکل (۱۲-۳): اعوجاج مرتبه سوم ترانزیستورهای اصلی (g_{3A})، کمکی (g_{3B}) و خروجی (g_3) در روش جمع آثار مشتقات با دو ترانزیستور NMOS [۱۵] ۲۷
- شکل (۱۳-۳): استفاده از تکنیک جمع آثار مشتقات در مدارات دارای سلف تبهگن [۲۷] ۲۸
- شکل (۱۴-۳): تکنیک جمع آثار مشتقات بهبود یافته [۲۷] ۲۸
- شکل (۱۵-۳): دیاگرام برداری مولفه IM_3 در تکنیک الف) جمع آثار مشتقات ب) جمع آثار مشتقات بهبود یافته [۲۷] ۲۸
- شکل (۱۶-۳): ساختار تکنیک فیدفوروارد [۱۵] ۲۹
- شکل (۱۷-۳): ساختار مدار تقویت‌کننده کم‌نویز معرفی شده در [۲۸] با به‌کارگیری تکنیک فیدفوروارد ۳۰
- شکل (۱۸-۳): نمای سیستمی و پیاده‌سازی تکنیک تزریق IM_2 [۲۹] ۳۱
- شکل (۱۹-۳): تقویت‌کننده غیرخطی با فیدبک منفی [۱۵] ۳۲
- شکل (۲۰-۳): تکنیک خطی سازی با ایجاد اعوجاج [۵] ۳۳
- شکل (۲۱-۳): توپولوژیهای بالون فعال الف) توپولوژی تک ترانزیستور. ب) توپولوژی تفاضلی با ورودی تک سر زمین شده از نظر ac. ج) توپولوژی گیت-مشترک سورس-مشترک [۳۷] ۳۶
- شکل (۲۲-۳): ساختار پیشنهادی در مرجع [۳۸] ۳۷
- شکل (۲۳-۳): ساختار پیشنهادی در مرجع [۳۶] ۳۸
- شکل (۲۴-۳): ساختار گیت-مشترک سورس-مشترک با به‌کارگیری فیدبک محلی [۳۹] ۳۹
- شکل (۲۵-۳): ساختار معرفی شده در مرجع [۴۰] ۳۹
- شکل (۱-۴): مدار ساختار پیشنهادی اول ۴۲

شکل (۴-۲): رابطه عدد نویز بر حسب نسبت ابعاد ترانزیستور سورس-م مشترک به گیت-م مشترک در فرکانس ۱ GHz	۴۷
شکل (۴-۳): بهبود خطینگی با روش خطی سازی با ایجاد اعوجاج	۴۸
شکل (۴-۴): مدار بایاس پیشنهادی ساختار اول	۵۰
شکل (۴-۵): مدار ساختار پیشنهادی دوم	۵۱
شکل (۵-۱): پارامترهای S ساختار پیشنهادی اول	۶۲
شکل (۵-۲): نتایج شبیه سازی عدد نویز ساختار پیشنهادی اول در بدترین گوشه های تکنولوژی، ولتاژ تغذیه و دما	۶۴
شکل (۵-۳): نتایج شبیه سازی S_{21} ساختار پیشنهادی اول در بدترین گوشه های تکنولوژی، ولتاژ تغذیه و دما	۶۴
شکل (۵-۴): ضریب پایداری K_f	۶۵
شکل (۵-۵): اندازه پارامتر دلتا	۶۵
شکل (۵-۶): IIP3 ساختار پیشنهادی اول قبل از اضافه کردن ترانزیستورهای کمکی M_a با فاصله فرکانسی ۱۰۰ MHz	۶۶
شکل (۵-۷): IIP3 ساختار پیشنهادی اول بعد از اضافه کردن ترانزیستورهای کمکی M_a با فاصله فرکانسی ۱۰۰ MHz	۶۷
شکل (۵-۸): IIP2 ساختار پیشنهادی دوم	۶۷
شکل (۵-۹): نتایج شبیه سازی پارامترهای S ساختار پیشنهادی دوم	۷۱
شکل (۵-۱۰): نتایج شبیه سازی عدد نویز ساختار پیشنهادی دوم در بدترین گوشه های تکنولوژی، ولتاژ تغذیه و دما	۷۲
شکل (۵-۱۱): نتایج شبیه سازی S_{21} ساختار پیشنهادی دوم در بدترین گوشه های تکنولوژی، ولتاژ تغذیه و دما	۷۳
شکل (۵-۱۲): ضریب پایداری K_f	۷۳
شکل (۵-۱۳): اندازه پارامتر دلتا	۷۴
شکل (۵-۱۴): IIP3 ساختار پیشنهادی دوم قبل از اضافه کردن ترانزیستورهای کمکی M_a با فاصله فرکانسی ۱۰ MHz	۷۵
شکل (۵-۱۵): IIP3 ساختار پیشنهادی دوم بعد از اضافه کردن ترانزیستورهای کمکی M_a با فاصله فرکانسی ۱۰ MHz	۷۵
شکل (۵-۱۶): بهره ولتاژ تفاضلی ساختار پیشنهادی دوم قبل و بعد از اضافه نمودن ترانزیستورهای کمکی M_a	۷۶
شکل (۵-۱۷): IIP2 ساختار پیشنهادی دوم	۷۷
شکل (۵-۱۸): جانمایی ساختار پیشنهادی دوم	۷۸
شکل (۵-۱۹): نتیجه شبیه سازی پس از جانمایی S11 ساختار پیشنهادی دوم	۷۹
شکل (۵-۲۰): نتیجه شبیه سازی پس از جانمایی عدد نویز ساختار پیشنهادی دوم	۸۰

- شکل (۵-۲۱): نتیجه شبیه‌سازی پس از جانمایی S_{21} ساختار پیشنهادی دوم..... ۸۰
- شکل (۵-۲۲): نتیجه شبیه‌سازی پس از جانمایی IIP3 ساختار پیشنهادی دوم..... ۸۱
- شکل (۵-۲۳): نتیجه شبیه‌سازی پس از جانمایی IIP2 ساختار پیشنهادی دوم..... ۸۱
- شکل (۵-۲۴): نتیجه شبیه‌سازی پس از جانمایی ضریب K_f ساختار پیشنهادی دوم..... ۸۲
- شکل (۵-۲۵): نتیجه شبیه‌سازی پس از جانمایی اندازه پارامتر دلتا ساختار پیشنهادی دوم..... ۸۲

فهرست جدول‌ها

- جدول (۱-۵): مقادیر المان‌های ساختار پیشنهادی اول..... ۶۱
- جدول (۲-۵): نتایج شبیه‌سازی ساختار پیشنهادی اول در بدترین گوشه‌های تکنولوژی، دما و ولتاژ تغذیه..... ۶۸
- جدول (۳-۵): مقادیر المان‌های ساختار پیشنهادی دوم..... ۷۰
- جدول (۴-۵): نتایج شبیه‌سازی ساختار پیشنهادی دوم در بدترین گوشه‌های تکنولوژی، دما و ولتاژ تغذیه..... ۷۷
- جدول (۵-۵): نتایج شبیه‌سازی پس از جانمایی ساختار پیشنهادی دوم در بدترین گوشه‌های تکنولوژی، دما و ولتاژ تغذیه..... ۸۳
- جدول (۶-۵): مقایسه ساختارهای پیشنهادی این پایان‌نامه با ساختارهای تقویت‌کننده‌های کم‌نویز پهن‌بند پیشین..... ۸۵

واژه نامه

Parasitic Extraction	استخراج المان های پارازیتی
gm boosting	افزایش ترانسانایی
Post Distortion	ایجاد اعوجاج
Active Balun	بالون فعال
Narrow Band	باند باریک
Worst Corner Cases	بدترین گوشه های تکنولوژی
Bulk	بدنه
Design Rule Check	بررسی قوانین طراحی مدار مجتمع
S- Parameters	پارامترهای S
Scattering Parameters	پارامترهای پراکندگی
Degeneration	تبهگن
Transconductance	ترانسانایی
Bipolar Transistor	ترانزیستور دو قطبی
IM2 Injection	تزریق IM2
Layout Versus Schematic	تطبیق مدار شماتیک و مدار جانمایی
Single- Ended	تک سر
Noise Cancellation Technique	تکنیک حذف نویز
Layout	جانمایی
dc Block	جدا کننده dc
Derivative Superposition	جمع آثار مشتقات
Multidisciplinary	چند تخصصی
Multi-LNA	چند تقویت کننده کم نویز
Harmonic Termination	حذف هارمونیک
Metal- Insulator- Metal Capacitor	خازن فلز- عایق- فلز
Dual Capacitor Cross Couple	خازن های زوج متقاطع دوگانه
On Chip	درون تراشه
Common Mode Rejection	رد مد مشترک
Double Resonator	رزونانس دوگانه
Current- Bleeding	ریزش جریان
Post Layout Simulation	شبیه سازی پس از جانمایی

Output Reflection Coefficient	ضریب انعکاس خروجی
Input Reflection Coefficient	ضریب انعکاس ورودی
Stern Stability Factor	ضریب پایداری اشترن
Noise Figure	عدد نویز
Radio Frequency	فرکانس رادیویی
Friis	فریس
Global Feedback	فیدبک سراسری
Balanced	متوازن
Scale	مقیاس
Double- Balanced Mixer	میکسر متوازن
Signal to Noise Ratio	نسبت سیگنال به نویز
Second Order Input Referred Intercept Point	نقطه تقاطع مرتبه دوم
Third Order Input Referred Intercept Point	نقطه تقاطع مرتبه سوم
Smit Chart	نمودارهای اسمیت
Wide-Swing	نوسان گسترده
Voltage Headroom	هدروم ولتاژ
Weak Inversion	وارونگی ضعیف
Threshold Voltage	ولتاژ آستانه

فهرست اختصارات

خازن‌های فلز-عایق-فلز	MIM
ترانزیستورهای فلز-اکسید-نیمه هادی	MOS
نقطه تقاطع مرتبه دوم	IIP2
نقطه تقاطع مرتبه سوم	IIP3
اینترمدولاسیون	IM
اینترمدولاسیون مرتبه دوم	IM2
اینترمدولاسیون مرتبه سوم	IM3

مراجع

- [1] B. Razavi, *RF microelectronics*, 2nd Edition, Prentic Hall, 2012.
- [2] A. Abdipour, *Telecommunication Circuits: Nonlinear Analysis, Design and Simulation*, 1st Edition, Nas Scientific and Cultural Press, 2013.
- [3] T. H. Lee, *The design pf CMOS radio-frequency integrated circuits*, 2nd Edition, Cambridge University Press, 2005.
- [4] M. S. Mehrjoo, *Design and Simulation of high-Linearity Wideband LNAs in Nano-meter CMOS Technologies*, M.Sc. Dissertation, Amirkabir University of Technology, Tehran, 2011.
- [5] H. Zhang, X. Fan, and E. S. Sinencio, "A low-power, linearized, ultra-wideband LNA design technique," *IEEE J. Solid-State Circuits*, vol. 44, pp. 329-339, Feb. 2007.
- [6] W. Zhuo, X. Li, A. Shekhar, S. Embabi, J. P. De Gyvez, D. Allstot, and E. Sanchez-Sinencio, "A capacitor cross-coupled common-gate low-noise amplifier," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 52, pp. 875-879, Dec. 2005.
- [7] J. S. Walling, S. Shekhar, D. J. Allstot, "A gm-Boosted Current-Reuse LNA in 0.18um CMOS," in *IEEE Radio Frequency IntegrateC circuits Symp. (RFIC)*, pp. 613-616, Jun. 2007.
- [8] B. Guo, J. Chen, and H. Jin "A linearized common-gate low-noise amplifier using active cross coupled feedback technique," *Springer Science+Business Media New York*, pp. 239-248, July. 2016.
- [9] H.-C. Lee, C.-S. Wang, and C.-K. Wang, "A 0.2-2.6 GHz Wideband Noise-Reduction Gm-Boosted LNA," *IEEE Microw. And Wireless Compon. Lett.*, vol. 22, pp. 269-271, Apr. 2012.
- [10] J. C. Zhan and S. S. Taylor, "A 5 GHz resistive-feedback CMOS LNA for low-cost multi-standard applications," in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, pp. 200–201, Feb. 2006.
- [11] M. S. Mehrjoo and M. Yavari, "A low power UWB very low noise amplifier using an improved noise reduction technique," in *IEEE Int. Circuits and Syst. Symp. (ISCAS)* pp. 277-280, May. 2011.
- [12] T. Kihara, T. Matsuaka, and K. Taniguchi, "A 1.0 V, 2.5 mW, transformer noise-canceling UWB CMOS LNA," in *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 493-496, 2008.

-
- [13] F. Brucoleri, E. A. M. Klumperink, and B. Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling," *IEEE J. Solid-State Circuits*, vol. 39, pp. 275-282, Feb. 2004.
- [14] M. Rafati, S.R. Qasemi, and P. Amiri, "A gm-booster highly linear fully differential 3–5 GHz UWB LNA employing noise and distortion canceling technique". *Analog Integr Circ Sig Process*, pp. 201–218, Aug. 2019.
- [15] H. Zhang and E. Sanchez-Sinencio, "Linearization Techniques for CMOS Low Noise Amplifiers: A Tutorial," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 58, pp. 22-36, Jan. 2011.
- [16] M. Asghari and M. Yavari, "Using the Gate–Bulk Interaction and a Fundamental Current Injection to Attenuate IM3 and IM2 Currents in RF Transconductors," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 1, pp. 223-232, Jan. 2016.
- [17] P. Solati and M. Yavari, "A Wideband High Linearity and Low-Noise CMOS Active Mixer Using the Derivative Superposition and Noise Cancellation Techniques," *Circuits Syst Signal Process* 38, pp. 2910–2930, Jan. 2019.
- [18] P. Solati and M. Yavari, "A wide-band CMOS active mixer with linearity improvement technique," *Iranian Conference on Electrical Engineering (ICEE)*, pp. 271-275, May. 2017.
- [19] W. Sansen, "Distortion in elementary transistor circuits," *IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing*, vol. 46, pp. 315-325, Mar. 1999.
- [20] K. Sanghoon, C. Byounggi, and B. Kim, "Linearity analysis of CMOS for RF application," *IEEE Trans. Microw. Theory Tech.*, vol. 51, pp. 972-977, Mar. 2003.
- [21] V. Aparin and C. Persico, "Effect of out-of-band terminations on intermodulation distortion in common-emitter circuits," in *IEEE MTT-S Int. Microw. Symp. Dig.* pp. 977-980, Jun, 1999.
- [22] T. W. Kim, "A Common-Gate Amplifier with Transconductance Nonlinearity cancellation And Its High Frequency Analysis Using the Volterra series," *IEEE Trans. Microw. Theory Tech.* vol. 57, pp. 1461-1469, Jun. 2009.
- [23] B. Toole, C. Plett, and M. Cloutier, "RF circuit implications of moderate inversion enhanced linear region in MOSFETs," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 51, pp. 319-328, Feb. 2004.
- [24] V. Aparin, G. Brown and L. E. Larson, "Linearization of CMOS LNA's via optimum gate biasing," *2004 IEEE International Symposium on Circuits and Systems*, Vancouver, BC, pp. IV-748, May. 2004.
- [25] H. M. Geddada, J. W. Park, and J. Silva-Martinez, "Robust derivative superposition method for linearizing broadband LNAs," *Electronic Letters*, vol. 45, pp. 435-436, Apr. 2009.
- [26] B. Kim, J.-S. Ko, and K. Lee, "Highly linear CMOS RF MMIC amplifier using multiple gated transistors and its Volterra series analysis," in *IEEE MTT_S Int. Microw. Symp. Dig.* pp. 515-518, May. 2001.

-
- [27] H. M. Geddada, J. W. Park, and J. Silva-Martinez, "Robust derivative superposition method for linearizing broadband LNAs," *Electronic Letters*, vol. 45, pp. 435-436, Apr. 2009.
- [28] B. Kim, J.-S. Ko, and K. Lee, "Highly linear CMOS RF MMIC amplifier using multiple gated transistors and its Volterra series analysis," in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 515-518, May. 2001.
- [29] V. Aparin and L.E. Larson, "Modified derivative superposition method for linearizing FET low-noise amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol.53, pp. 571-581, Feb.2005.
- [30] Y. Wu, J. Jin and K. El-Sankary, "A linearized wideband low noise amplifier in 65nm CMOS for multi-standard RF communication applications," *2017 3rd IEEE International Conference on Computer and Communications (ICCC)*, Chengdu, pp. 812-815, Dec. 2017.
- [31] S. Lou and H. C. Luong, "A Linearization Technique for RF Receiver Front-End Using Second-Order-Intermodulation Injection," *IEEE J. Solid-State Circuits*, vol. 43, pp. 2404-2412, Jan. 2008.
- [32] K. Kwon and J. Han, "A 2G/3G/4G SAW-less receiver front-end adopting switchable front-end architecture," *IEEE Trans. Microw. Theory Techn.*, vol. 62, no. 8, pp. 1716-1723, Aug. 2014.
- [33] J. Borremans et al., "A 40 nm CMOS 0.4-6 GHz receiver resilient to out-of-band blockers," *IEEE J. Solid-State Circuits*, vol. 46, no. 7, pp. 1659-1671, Jul. 2011.
- [34] M. Ingels et al., "A5mm² 40 nm LP CMOS 0.1-to-3 GHz multistandard transceiver," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, San Francisco, CA, USA, pp. 458-459, Feb. 2010.
- [35] J. Han and K. Kwon, "A SAW-less receiver front-end employing bodyeffect control IIP2 calibration," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 61, no. 9, pp. 2691-2698, Sep. 2014.
- [36] Ru, N. A. Moseley, E. A. M. Klumperink, and B. Nauta, "Digitally enhanced software-defined radio receiver robust to out-of-band interference," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3359-3375, Dec. 2009
- [37] K. Kwon, J. Han, and I. Nam, "A wideband receiver front-end employing new fine RF gain control driven by frequency-translated impedance property," *IEEE Microw. Wireless Compon. Lett.*, vol. 25, no. 4, pp. 247-249, Apr. 2015.
- [38] S. Kim and K. Kwon, "A 50-MHz-1-GHz 2.3-dB NF Noise-Cancelling Balun-LNA Employing a Modified Current-Bleeding Technique and Balanced Loads", *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 66, pp. 546 - 554, Feb. 2019.
- [39] J. Kim and J. Silva-Martinez, "Wideband Inductorless Balun-LNA employing feedback for low-power low-voltage applications," *IEEE Trans. Microw. Theory Techn.*, vol. 60, no. 9, pp. 2833-2842, Sep. 2012.

-
- [40] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts, and B. Nauta, "Wideband balun-LNA with simultaneous output balancing, noise canceling and distortion-canceling," *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1341–1350, Jun. 2008.
- [41] H. Wang, L. Zhang, and Z. Yu, "Wideband Inductorless LNA With Local Feedback and Noise Cancelling for Low-Power Low-Voltage Applications", *IEEE Trans. Circuits Syst. I*, vol. 57, no. 8, Aug. 2010
- [42] S. Kim and K. Kwon, "Broadband Balun-LNA Employing Local Feedback gm-Boosting Technique and Balanced Loads for Low-Power Low-Voltage Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, doi: 10.1109/TCSI.2020.3014194, Aug.2020.
- [43] B. Shirmohammadi and M. Yavari, "A Low Power Wideband Balun-LNA Employing Local Feedback, Modified Current-Bleeding Technique, and Balanced Loads," *2020 28th Iranian Conference on Electrical Engineering (ICEE)*, Tabriz, Aug.2020.
- [44] H. Zhang, X. Fan, and E. Sanchez-Sinencio, "A Low-Power, Linearized, Ultra-Wideband LNA Design Technique," *IEEE J. Solid-State Circuits*, vol. 44, no. 2, pp. 320–330, Feb. 2009.
- [45] R. Bagheri et al., "An 800-MHz–6-GHz software defined wireless receiver in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2860–2876, Dec. 2006.
- [46] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts and Bram Nauta, "A wideband noise-canceling CMOS LNA exploiting a transformer," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2006*, San Francisco, CA, June. 2006.
- [47] B. Mazhabjafari and M. Yavari, "A 2.6–13.7 GHz highly linear CMOS low noise amplifier for UWB applications," *2014 22nd Iranian Conference on Electrical Engineering (ICEE)*, Tehran, pp. 296-299, May. 2014.
- [48] B. Mazhabjafari, *NF and Linearity Improvement of LNAs for UWB Applications in Nanometer CMOS Technologies*, M.Sc. Dissertation, Amirkabir University of Technology, Tehran, 2013.
- [49] A. Mirvakili and M. Yavari, "A noise-canceling CMOS LNA design for the upper band of UWB DS-CDMA receivers," *2009 IEEE International Symposium on Circuits and Systems*, Taipei, pp. 217-220, May. 2009.
- [50] D. Im, I. Nam, and K. Lee, "A CMOS active feedback balun-LNA with high IIP2 for wideband digital TV receivers," *IEEE Trans. Microw. Theory Techn.*, vol. 58, no. 12, pp. 3566–3579, Dec. 2010.
- [51] J. Y.-C. Liu, J.-S. Chen, C. Hsia, P.-Y. Yin, and C.-W. Lu, "A wideband inductorless single-to-differential LNA in 0.18 μm CMOS technology for digital TV receivers," *IEEE Microw. Wireless Compon. Lett.*, vol. 24, no. 7, pp. 472–474, Jul. 2014.

-
- [52] J. Kim and J. Silva-Martinez, "Wideband inductorless balun-LNA employing feedback for low-power low-voltage applications," *IEEE Trans. Microw. Theory Techn.*, vol. 60, no. 9, pp. 2833–2842, Sep. 2012.
- [53] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling," *IEEE J. Solid- State Circuits*, vol. 39, no. 2, pp. 275–282, Feb. 2004.
- [54] M. Yaghoobi and M. Yavari, and H. Ghafoorifard, "A 17-to-24 GHz Low-Power Variable-Gain Low-Noise Amplifier in 65-nm CMOS for Phased-Array Receivers," *Circuits Syst Signal Process* vol.38, pp. 5448–5466, Jun. 2019.
- [55] M. Yaghoobi, M. Yavari, M. Haghi Kashani, H. Ghafoorifard, and S. Mirabbasi, "A 55-to-64 GHz Low-Power Small-Area LNA in 65-nm CMOS with 3.8 dB Average NF and ~12.8 dB Power Gain," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 2, pp. 128-130, Feb. 2019.
- [56] B. Mazhabjafari and M. Yavari, "A UWB CMOS Low-Noise Amplifier with Noise Reduction and Linearity Improvement Techniques," *Microelectronics Journal*, vol. 46, no. 2, pp. 198-206, Feb. 2015.
- [57] M. S. Mehrjoo and M. Yavari, "A New Input Matching Technique for Ultra Wideband LNAs," *IEICE Electron. Express*, vol. 7, no.18, pp. 1376-1381, Sep. 2010.
- [58] A. Mirvakili, M. Yavari, and F. Raissi, "A Linear Current-Reused LNA for 3.1-10.6 GHz UWB Receivers," *IEICE Electron. Express*, vol. 5, no. 21, pp. 908-914, Nov. 2008.
- [59] A. Ansari and M. Yavari, "A Very Wideband Low Noise Amplifier for Cognitive Radios," *IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Beirut, pp. 623-626, Dec. 2011.

Abstract

Wideband CMOS low noise amplifiers (LNAs) has always been very attractive for research activities, as the first block in telecommunication receivers. Among different LNAs, the ones with inherent balun are of high importance for not requiring an off-chip balun, which has loss and increases area and cost. In this dissertation, two new structures for CMOS balun-LNAs are introduced based on the common-gate (CG) common-source (CS) structure for use in multi-band transceivers supporting software-defined radios, which not only have the balun function but also have balanced load resistances, preventing any gain or phase mismatch in differential outputs. In the first structure, a modified current-bleeding circuit is introduced for having the same current in differential outputs, which let the LNA have balanced loads. Local feedback is also utilized to reduce power consumption by 50% and also improve noise and voltage gain. Besides, by using two auxiliary transistors as the post distortion technique, the IIP3 of the LNA has been improved by 3.57dB. It is also noteworthy to mention that the first structure covers the frequency range of 0.65-8 GHz. In the second structure, the transconductance of the CG and CS transistors are considered to be the same so that the differential output currents and load resistors are the same to achieve very high IIP2 and completely balanced outputs without any need for a current-bleeding circuit, and a positive feedback is utilized to compensate for the input matching. In this structure, a new technique for simultaneously improvement of linearity, bandwidth, and differential voltage gain is introduced based on the combination of two linearity methods of derivative superposition and post distortion techniques, which consumes only 35 uA to improve IIP3 by 5.53 dB, 3dB bandwidth by 500 MHz (in the frequency range of 0.13-3 GHz), and the differential voltage gain by 1dB. Finally, simulation in the worst corners of technology, supply voltage, and temperature proves the correctness of the proposed structures' performance and shows that the parameters of the proposed structures have a significant improvement over previous structures and have achieved a higher FoM (FoM of 5.1 in the first structure and FoM of 2.4 in the second structure).

Key Words: CMOS wideband LNAs, intrinsic balun, symmetrical loads, second order distortion, linearity, noise figure, local feedback, linearity improvement, positive feedback, power consumption.



Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical Engineering

M.Sc Thesis

**Linearity and noise figure improvement of wideband CMOS LNAs with
inherent balun**

By

Bahareh Shirmohammadi

Supervisor

Dr. Mohammad Yavari

October 2020