Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical engineering

MSc Thesis

Digital Calibration of Analog Circuits Imperfections in Discrete-Time Sigma-Delta Modulators

By
Amin Nodsut

Supervisor
Dr.mohammad yavari

June-2018

بسم الله الرحمن الرحيم

دانشگاه صنعتی امیرکبیر

دانشکده مهندسی برق

کارشناسی ارشد الکترونیک- مدارهای مجتمع

کالیبراسیون دیجیتال اثرات غیر ایده آلی مدارهای آنالوگ در مدولاتورهای سیگما- دلتای زمان -گسسته

نگارش:

امین نوع دوست

استاد راهنما:

دکتر محمد یاوری

تیر ماه ۱۳۹۷

تقدیم به پدر عزیزم و مادرم مهربانم :

خدای را بسی شاکرم که از روی کرم، پدر و مادری فداکار نسبیم ساخته تا در سایه درخت پربار وجودشان بیاسایم و از ریشه آن‌ها شاخ و برگ گیرم و از سایه وجودشان در راه کسب علم و دانش تلاش نمایم. والدینی که بودنشان تاج افتخاری است بر سرم و نامشان دلیلی است بر بودنم، چرا که این دو وجود، پس از پروردگار، مایه هستی ام بوده اند دستم را گرفتند و راه رفتن را در این وادی زندگی پر از فراز و نشیب آموختند. آموزگارانی که برایم زندگی، بودن و انسان بودن را معنا کردند.

با تشکر:

از استاد با کمالات و شایسته؛ جناب آقای دکتر محمد یاوری که به‌عنوان استاد راهنما در کمال سعه صدر، با حسن خلق و فروتنی، از هیچ کمکی در این عرصه بر من دریغ ننمودند و زحمت راهنمایی این رساله را بر عهده گرفتند.

همچنین از اساتید محترم جناب آقای دکتر کاتوزیان و جناب آقای دکتر معزی که داوری این پایان نامه را پذیرفتند کمال تشکر وسپاس را دارم.

به نام خدا

تعهدنامه اصالت اثر

تاریخ:

اینجانب **امین نوعدوست** متعهد می‌شوم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب تحت نظارت و راهنمایی اساتید دانشگاه صنعتی امیرکبیر بوده و به دستاوردهای دیگران که در این پژوهش از آنها استفاده شده است مطابق مقررات و روال متعارف ارجاع و در فهرست منابع و مآخذ ذکر گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نگردیده است.

در صورت اثبات تخلف در هر زمان، مدرک تحصیلی صادر شده توسط دانشگاه از درجه اعتبار ساقط بوده و دانشگاه حق پیگیری قانونی خواهد داشت.

کلیه نتایج و حقوق حاصل از این پایان‌نامه متعلق به دانشگاه صنعتی امیرکبیر می‌باشد. هرگونه استفاده از نتایج علمی و عملی، واگذاری اطلاعات به دیگران یا چاپ و تکثیر، نسخه‌برداری، ترجمه و اقتباس از این پایان‌نامه بدون موافقت کتبی دانشگاه صنعتی امیرکبیر ممنوع است. نقل مطالب با ذکر مآخذ بلامانع است.

امین نوعدوست

امضا

چکیده

در مدولاتورهای سیگما-دلتا انتگرال‌گیرها مهم‌ترین بخش هستند که معمولا به دلیل پایین بودن بهره و پهنای باند تقویت‌کننده آن باعث افت شدید نسبت سیگنال به نویز در مقایسه با حالت ایده‌آل می‌شوند. بنابراین روش‌های تصحیح دیجیتال پس‌زمینه برای افزایش دقت این مدولاتورها پیشنهاد می‌شود. روش‌های پیشنهادی متداول بهره انتگرالگیر را جهت تصحیح خطا به صورت خطی مدل می‌کنند.

در این پایان‌نامه تصحیح خروجی مبدل‌های سیگما-دلتا با فرض محدودیت پهنای‌باند و بهره‌ی غیرخطی برای تقویت‌کننده انتگرال‌گیر انجام شده است. مدل‌سازی بهره غیرخطی بر خلاف روش‌های متداول که از مدل چندجمله‌ای مرتبه بالا استفاده می‌کنند ، به صورت کسری و جمع‌شونده در خروجی در نظرگرفته شده و نشان داده شده برای جبران سازی آن می‌توان از فیلتر های چند جمله‌ای تطبیقی استفاده کرد. روش ارائه‌شده از الگوریتم LMS به صورت پس زمینه برای تصحیح ضرایب فیلتر تطبیقی برای تخمین خطای انتگرال گیر استفاده می‌کند و با کسر تخمین خطا از خروجی آن را تصحیح می‌کند.

این روش بر روی سه ساختار مدولاتور مرتبه دوم تک‌حلقه و کسکید ۰-۲ با ساختار فیدفوروارد و فیدبک در نرم‌افزار MATLAB پیاده‌سازی شده و SNDR آن‌ها به‌طور متوسط ۳۰ دسی‌بل بهبود پیدا کرده است. و ساختار مرتبه دوم تک‌حلقه با استفاده از نرم افزار cadence و با تکنولوژی 90nm و با ولتاژ تغذیه ۱ ولت به‌صورت مداری پیاده‌سازی شده و خروجی آن ۲۳ دسی‌بل بهبود پیدا کرده است. و توان مدار شبیه سازی شده حدود ۰/۷۳ میلی‌وات است و توان مبدل برای دقت مشخص نسبت به مبدل با کالیبراسیون خطی [۲۵] بهبود پیداکرده است.

کلمات کلیدی: مدولاتورهای سیگما-دلتا، کالیبراسیون دیجیتال، غیره ایده‌آلی مدارهای آنالوگ، تحلیل و مدل‌سازی

فهرست مطالب

عنوان **صفحه**

۱- فصل اول مقدمه..... ۱

۱-۱- انگیزه ۲

۱-۲- ساختار پایان‌نامه ۳

۲-فصل دوم مفاهیم اساسی مبدل‌های سیگما-دلتا..... ۵

۲-۱- مبدل‌های نرخ نایکوئیست ۶

۲-۲- مبانی مدولاتورهای سیگما-دلتا..... ۸

۲-۲-۱- بیش نمونه‌برداری و شکل‌دهی نویز..... ۸

۲-۳-پارامترهای عملکرد مدولاتورهای سیگما-دلتا..... ۱۳

۲-۴- عملکرد ایده آل مدولاتورهای سیگما-دلتا..... ۱۵

۲-۵- انواع ساختارهای مدولاتورهای سیگما-دلتا..... ۱۶

۲-۶- ساختار تک حلقه ۱۷

۲-۶-۱- مدولاتور مرتبه دوم..... ۱۸

۲-۶-۲- مدولاتورهای مرتبه بالا.....۱۸
۲-۷-ساختار مدولاتورکسکید.....۱۹
۲-۷-۱- ساختار کسکید ۲-۲.....۲۱
۲-۷-۲- ساختار L-0.....۲۲
۳-فصل سوم مدل‌سازی و جبران سازی خطا در مدولاتورهای سیگما-دلتا . ۲۵
۳-۱- فیلترهای تطبیقی.....۲۶
۳-۱-۱- الگوریتم LMS.....۲۸
۳-۱-۲- ساختار LMS جهت حذف نویز.....۲۹
۳-۱-۳- تصحیح مبدل سیگما-دلتا با الگوریتم LMS.....۲۹
۳-۲-مدل بهره و زمان نشست.....۳۰
۳-۲-۱- مدل بهره محدود.....۳۱
۳-۲-۲- مدل زمان نشست.....۳۵
۳-۲-۳- ترکیب مدل زمان نشست و بهره‌ی محدود.....۳۷
۳-۳-مروری بر روش های جبران سازی خطا.....۳۸
۳-۳-۱- جبران سازی نویز نشتی بین طبقات.....۳۹
۳-۳-۲- جبران سازی با روش HDC در ساختار pipline.....۴۰
۳-۳-۳- جبران سازی با اضافه کردن خازن جبرانساز.....۴۱
۳-۳-۴- جبران سازی نرخ چرخش.....۴۲
۳-۳-۵- جبرانسازی بهرهی محدود و پهنای باند محدود انتگرالگیر.....۴۳
۳-۳-۶- مروری بر سایر روش های کالیبراسیون دیجیتال در مدولاتورهای سیگما-دلتا.....۴۴
۴-فصل چهارم روش کالیبراسیون پیشنهادی..... ۴۶
۴-۱- مدل‌سازی غیره ایده الی انتگرال گیر به‌صورت غیرخطی بدون حافظه.....۴۷
۴-۱-۱- مدل‌سازی بهره‌ی غیرخطی انتگرال گیر.....۴۷
۴-۱-۲- خطای جمع شونده.....۴۹
۴-۱-۳- جبران سازی پهنای باند محدود.....۵۳
۴-۲- روند کالیبراسیون.....۵۵
۴-۳-روند استخراج خطا در مدولاتور سیگما-دلتا.....۶۰
۴-۳-۱- مدولاتور مرتبه دوم.....۶۱
۴-۳-۲- کسکید ۲-۰ با ساختار فیدبک.....۶۲

۴-۳-۳- ساختار کسکید ۲-۰ با ساختار فیدفوروارد.....۶۴
۴-۴- روند تصحیح خطا.....۶۵
۴-۴-۱- مدولاتور مرتبه دوم.....۶۶
۴-۴-۲- کسکید ۲-۰ با ساختار فیدبک.....۶۸
۴-۴-۳- ساختار ۲-۰ با ساختار فیدفوروارد.....۶۹

۵-فصل پنجم پیاده‌سازی مداری مدولاتور سیگما-دلتای مرتبه دوم..... ۷۱

۵-۱- انتگرال گیر سوییچ شونده خازنی.....۷۲
۵-۱-۱- نویز تقویت کننده.....۷۳
۵-۲- سهم نویز انتگرالگیرها.....۷۴
۵-۳-محاسبه خازن‌های نمونه‌بردار انتگرالگیر اول و دوم.....۷۵
۵-۴-اجزای مداری.....۷۶
۵-۴-۱- تقویت کننده.....۷۷
۵-۴-۲- مدار بایاس.....۷۸
۵-۴-۳- مدار تنظیم سطح ولتاژ مد مشترک خروجی.....۷۹
۵-۴-۴- کوانتایزر و مدار DAC مسیر فیدبک.....۸۰
۵-۴-۵- سیگنال تست.....۸۱
۵-۴-۶- پیش‌تقویت کننده.....۸۱
۵-۴-۷- مقایسه‌گر.....۸۲
۵-۴-۸- فلیپ-فلاپ SR.....۸۵

۶-فصل ششم نتایج شبیه‌سازی‌ها، نتیجه‌گیری و ارائه پیشنهادات.....۸۵

۶-۱- نتایج شبیه‌سازی.....۸۶
۶-۱-۱- شبیه‌سازی سیستمی مبدل کسکید ۲-۰ با ساختار فیدبک.....۸۶
۶-۱-۲- شبیه‌سازی سیستمی مدولاتور با ساختار ۲-۰ فیدفوروارد.....۹۰
۶-۱-۳- ساختار مرتبه دوم تک حلقه.....۹۴
۶-۱-۴- شبیه‌سازی مداری مبدل مرتبه دوم.....۹۷
۶-۲- نتیجه‌گیری.....۱۰۰
۶-۳-پیشنهادات.....۱۰۱
مراجع.....۱۰۲

فهرست شکل‌ها

شکل (۲-۱): ساختار کلی مبدل‌های نرخ نایکوئیست [۲]..... ۶

شکل (۲-۲) گستردگی طیف نویز کوانتیزاسیون..... ۷

شکل (۲-۳): ساختار مبدل‌های بیش نمونه‌بردار از نوع سیگما-دلتا..... ۸

شکل (۲-۴): تاثیر بیش نمونه‌برداری در طراحی فیلتر آنتی الیاسینگ..... ۹

شکل (۲-۵): ساختار ساده‌شده مدولاتور مرتبه اول..... ۱۲

شکل (۲-۶): ساختار کلی مدولاتور مرتبه دوم تک حلقه..... ۱۷

شکل (۲-۷): ساختار سیستمی مدولاتور مرتبه L تک حلقه[۱]..... ۱۸

شکل (۲-۸): ساختار کلی مبدل‌های کسکید[۱]..... ۲۰

شکل (۲-۹): نمایی ساده از مبدل کسکید ۲-۲[۷]..... ۲۱

شکل (۲-۱۰): ساختار کلی مبدل کسکید ۰-۲ [۸]..... ۲۳

شکل (۳-۱): بلوک دیاگرام اولیه فیلتر تطبیقی. [۹]..... ۲۷

شکل (۳-۲): بلوک دیاگرام فیلتر تطبیقی برای پیش‌گویی کننده[۱۲]..... ۲۹

شکل (۳-۳): انتگرال گیر سوییچ شونده خازنی[۱۵]..... ۳۱

شکل (۳-۴): مقایسه بهرهی غیرخطی و بهرهی ثابت[۱۶]..... ۳۳

شکل (۳-۵): مدل‌سازی زمان نشست..... ۳۵

شکل (۳-۶): ترکیب مدل زمان نشست و بهره‌ی محدود..... ۳۹

شکل (۳-۷): تصحیح نویز نشتی در ساختار چندطبقه [۲۱و۲۰]..... ۴۰

شکل (۳-۸): بلوک دیاگرام تصحیح دیجیتال به روش HDC [۲۲]..... ۴۰

شکل (۳-۹): نحوه اضافه کردن خازن جبران ساز [۲۳]..... ۴۲

شکل (۳-۱۰): روش تصحیح مرجع [۲۴] در دو فاز تصحیح ضرایب (a) و عملکرد معمولی (b)..... ۴۳

شکل (۳-۱۱): ساختار کسکید تصحیح‌شده با محل تزریق سیگنال‌های تست. [۲۵]. ۴۴
شکل (۴-۱): مقایسه تخمین بهره به‌صورت چندجمله‌ای و کسری..... ۴۸
شکل (۴-۲): مدل‌سازی انتگرال گیر با بهرهی غیرخطی [۲۸]..... ۴۹
شکل (۴-۳): مدل خطای انتگرال با ضرایب خطای بهره و قطب غیره ایده آل..... ۴۹
شکل (۴-۴): مدل خطای انتگرال گیر به‌صورت جمع شونده..... ۵۰
شکل (۴-۵): ساختار مدار انتگرال گیر سوییچ شونده خازنی[۲۵]..... ۵۰
شکل (۴-۶): ساختار کلی تصحیح خطا به‌صورت بلوک دیاگرام..... ۵۶
شکل (۴-۷): ساختار فیلتر تطبیقی موردنظر..... ۵۷
شکل (۴-۸): روند تصحیح ضرایب با الگوریتم LMS..... ۵۹
شکل (۴-۹): مدولاتور مرتبه دوم تک حلقه همراه با بلوک‌های تصحیح..... ۶۱
شکل (۴-۱۰): ساختار مدولاتور فیدبک کسکید همراه با خطای جمع شونده..... ۶۲
شکل (۴-۱۱): ساختار مدولاتور فیدفوروارد..... ۶۴
شکل (۴-۱۲): روند تصحیح خطا در مدولاتور مرتبه دوم..... ۶۸
شکل (۴-۱۳): روند تصحیح خطا در مدولاتور ساختار کسکید فیدبک دار..... ۶۹
شکل (۴-۱۴): روند تصحیح خطا در مدولاتور با ساختار کسکید فیدفوروارد..... ۷۰
شکل (۵-۱): نویز تقویت‌کننده انتگرالگیر در فاز (الف) نمونه‌برداری (ب) انتگرالگیری..... ۷۴
شکل (۵-۲): مدار معادل انتگرال گیر با در نظر گرفتن نویز..... ۷۴
شکل (۵-۳): ساختار مداری اتگرالگیر اول..... ۷۶
شکل (۵-۴): ساختار مداری انتگرالگیر دوم..... ۷۶
شکل (۵-۵): مدار تقویتکننده کسکود تاشده..... ۷۷
شکل (۵-۶): مدار بایاس تقویتکننده کسکود تاشده..... ۷۸
شکل (۵-۷): مدار سوییچ شوندهی خازنی تنظیم مد مشترک خروجی..... ۸۰
شکل(۵-۸): مدارشیفترجیسترفیدبک دار خطی..... ۸۱

شکل(۵-۹): مدار پیش تقویت‌کننده..... ۸۲
شکل(۵-۱۰): مدار مقایسه‌گر..... ۸۳
شکل(۵-۱۱): سیگنال‌های به‌کاررفته در مبدل..... ۸۴
شکل(۵-۱۲): الف) ساختار لچ به همراه اینورتر ب) مدار گیت NAND..... ۸۵
شکل(۶-۱): نمودار همگرایی ضرایب فیلتر تطبیقی کسکید ۲-۰ با ساختار فیدبک..... ۸۸
شکل(۶-۲): محدوده دینامیکی مبدل برای هر سه حالت کسکید ۲-۰ با ساختار فیدبک..... ۸۸
شکل(۶-۳): طیف خروجی مدولاتور کسکید ۲-۰ با ساختار فیدبک..... ۹۰
شکل(۶-۴): نمودار محدوده دینامیکی برای هر سه حالت مدولاتور با ساختار ۲-۰ فیدفوروارد..... ۹۲
شکل(۶-۵): طیف خروجی مدولاتور با ساختار ۲-۰ فیدفوروارد..... ۹۴
شکل(۶-۶): نمودار همگرایی ضرایب فیلتر تطبیقی مدولاتور با ساختار ۲-۰ فیدفوروارد..... ۹۵
شکل(۶-۷): نمودار همگرایی ضرایب فیلتر تطبیقی مدولاتور مرتبه دوم تک حلقه..... ۹۶
شکل(۶-۸): نمودار محدوده دینامیکی مبدل برای هر سه حالت مدولاتور مرتبه دوم تک حلقه..... ۹۷
شکل(۶-۹): طیف فرکانسی خروجی مدولاتور مرتبه دوم تک حلقه ۹۸
شکل(۶-۱۰): طیف فرکانسی خروجی مداری در حالت غیره‌ایده‌آل..... ۹۹
شکل(۶-۱۱): طیف فرکانسی خروجی مداری تصحیح‌شده..... ۱۰۰

فهرست جدول‌ها

جدول (۵-۱): جدول اندازه پارامترهای تقویتکننده. ۷۸
جدول (۵-۲): جدول اندازه ترانزیستورهای مدار بایاس. ۷۹
جدول (۵-۳): جدول اندازه ترانزیتورهای پیشتقویتکننده. ۸۲
جدول (۵-۴): جدول اندازه ترانزیستورهای مدار مقایسه گر. ۸۴
جدول (۶-۱): جدول مقایسه پارامترهای مدولاتور کسکید با ساختار فیدبک. ۸۹
جدول (۶-۲): جدول مشخصات انتگرال گیرها ۹۰
جدول (۶-۳): جدول مشخصات انتگرال گیرها ۹۰
جدول (۶-۴): جدول مقایسه پارامترهای مدولاتور کسکید با ساختار فیدفوروارد. ۹۳
جدول (۶-۵): جدول مشخصات انتگرال گیرها ۹۴
جدول (۶-۶): جدول مقایسه پارامترهای مدولاتور مرتبه دوم ۹۷
جدول (۶-۷): جدول مقایسه با کارهای گذشته ۱۰۱

فهرست علائم

ADC	Analog to Digital Converter
CMFB	Common Mode Feedback
DAC	Digital to Analog Converter
DR	Dynamic Range
ENOB	Effective Number of Bits
ETF	Error Transfer Function
FIR	Finite Impulse Response
FOM	Figure Of Merit
GBW	Gain-Bandwith Product
HDC	Harmonic Distortion Cancelation
LMS	Least mean Squares
LSB	Least Signicant Bit
LFSR	Linear Feedback Shift Register
MSB	Most Significant Bit
MASH	MultistAge noise SHaping
NTF	Noise Transfer Function
OSR	OverSampling Ratio
PN	Psedou-random Noise
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SQNR	Signal to Quantization Noise Ratio
STF	Signal Transfer Function
SFDR	Spurios Free Dynamic Range
SAR	Successive Approximation Register
TTF	Test Transfer Function
ΣΔ	Sigma-Delta

واژه نامه

Adaptive filter	فیلتر تطبیقی
Anti-alising	ضد درهم روی
Casual	علی
Digital correction	تصحیح دیجیتال
jitter	لرزش
Noise cancelation	خنثی سازی نویز
Nonideality	غیرهایده‌آلی
Pesdou-random	شبه تصادفی
Pipline	خط لوله
Polyphase	چند فازی
power	توان
overflow	سرریز
oversampling	بیش نمونه برداری
Self-learnig	خودفراگیری
Transmission-gate	گیت انتقال

مراجع

[1] R. del Rio, F. Medeiro, B. Pérez-Verdú, J.M. de la Rosa ; *Cmos Sigma-delta Modulator for Sensors and Telecom* , Springer, 2006.

[2] Richard schreier, Gabor C.Temes ; *Understanding Sigma-delta converters* ,John Wiley & Sons,2005.

[3] G. Yin and Willy Sansen , "*A high-frequency and high-resolution fourth-order A/D Converter in BiCMOS Technology*", IEEE Journal of Solid-State Circuits,vol 29.8, pp. 857-865 , Aug 1994.

[4] Y. Geerts ; *Design of Multi-bit Sigma-delta Converters*, Kluwer Academic publisher , Dordrecht 2002.

[5] R.Shrierer ; " *An Empirical Study of High order Single-bit Sigma-delta Modulators*" , IEEE Trans on circuits and systems II, vol.40 , no.8 ,pp 461-466, August 1991.

[6] F.Grefers , M.ortmmans ; *Continuos time Sigma-delta A/D Conversion* , New York , Springer , 2005 .

[7] H A. Morgado, R. del Rio, and J.M. de La Rosa ; *Nanometer CMOS Sigma-Delta Modulators for Software Defined Radio*. Springer, 2011.

[8] G.T.C. Leslie and B. Singh , "*An Improved Sigma-delta Modulator Architecture*", IEEE International Symposium on Circuits and Systems, , 372-375 vol.1 , May 1990.

[9] Alexander D.poularikas; *Adaptive Filtering : fundamentals of least mean squers with matlab* , CRC press ,*2015.*

[10] Monson H. Hayes ; *Statistical Digital Signal Processing And Modeling* , John Wiley & Sons, Inc., 1996

[11] S. Haykin ; *Adaptive Filter Theory*, Prentice Hall, Englewood Cliffs, NJ, 4th edition, 2002.

[12] Paulo S.R.Diniz ; *Adaptive Filtering :algoritms and practical implementations*, Springer , second edition , 2008.

[13] Hamed Yaghoobian , Ali Akbar Khazaei , Mojtaba Salmani Zarchi , S.Javad Sayed Hosayni , "*Modeling of a Robust and Fast Noise Cancellation System*", UKSim 5th European Symposium on Computer Modeling and Simulation , 2011.

[14] Abdelghani Denduagha, Nour-Eddine Boughuechal, Samir barra ;"*Modeling of Second order Sigma-delta Converters with imperfections*", International Journal on Electrical Engineering and Informatics, volume3-number 2 ,2011.

[15] K. Abdelfattah and B. Razavi, "*Modeling Op-amp nonlinearity in Switched-capacitor Sigma-delta Modulators*", in Proc. IEEE Custom Integrated Circuits Conf., pp. 197-200,

Sep 2006 .

[16] Hashem Zare-Hoseini, Omid Shoaei , Izzet Kale ;"*Precise Behavioural Modelling of High-Resolution Switched-Capacitor Delta-Sigma Modulators*" , Instrumentation And Measurement Technology Conference , may 2004 .

[17] Fu-Chuang Chen and Chih-Lung Hsieh ;*" Modeling Harmonic Distortions Caused by Nonlinear Op-Amp DC Gain for Switched-Capacitor Sigma–Delta Modulators* " IEEE Transactions on Circuits and Systems: Express briefs, vol. 56, no. 9, September 2009.

[18] R. Del Rio, F.Medeiro ,J.M. de la Rosa , B. Pérez-Verdú , A. Rodríguez-Vázquez;"*Reliable Analysis of Settling Errors in SC integrators- Application to High Speed Low-power ΣΔ Modulators Design*", IEEE International on Circuits and Sytems ,vol.5 , 2000.

[19] F. Medeiro, B. PCrez-Verdd, A. Rodriguez-Vazquez and J.L. Huertas , " *Modeling OpAmp- Induced Harmonic Distortion for Switched-Capacitor sigma-delta Modulator Design*" Analog Integrated Circuits and Signal Processing, vol. 67, no. 2, pp. 157-168, Nov 2010.

[20] P. Kiss, J. Silva, A. Wiesbauer, T. Sun, U.-K. Moon, J. T. Stonick, and G. C. Temes, "*Adaptive digital correction of analog errors in MASH ADC's-Part II: Correction using test signal injection*" ,Transactions on Circuits and Systems-II, vol. 47, no.7, pp. 629-638, Jul 2000.

[21] Gert Cauwenberghs , Gabor C. Temes ," *Adaptive Digital Correction of Analag Errors in MASH ADC's-Part I: Off-Line and Blind On-Line Calibration*" Transactions on Circuits and Systems -II : Analog and Digital processing ,vol. 47, no.7, July 2000 .

[22] A.Panigada , I.Galton , "*Digital-Background-Correction-of-HarmonicDistortion-in-Pipelined-ADCs*" , IEEE Transactions on Circuits and Systems: Regular press, vol. 53, no. 9, September, 2006.

[23] Su-Hao Wu, Jieh-Tsorng ;" *A 81-dB Dynamic Range 16-MHz Bandwidth Modulator Using Background Calibration* ", IEEE Journal of Solid-state Circuits, vol. 48, no.9, September 2013

[24] Keith A. O'Donoghue, Paul J. Hurst, Stephen H. Lewis, "*A Digitally Corrected 5-mW 2-MS/s SC ADC in 0.25- m CMOS With 94-dB SFDR*" ", IEEE Journal of Solid state Circuits, vol. 46,no.11 ,November2011.

[25] Alireza Bafandeh ,Mohammad Yavari , "*Digital Calibration of Amplifier Finite DC Gain and Gain-Bandwidth in MASH ΣΔ Modulators*," IEEE Trans Circuits Syst. I, Reg. Papers, vol. 52, no. 7, pp. 1276-1291, Jul 2016.

[26] subhanshu Gubta, Ti Yang,Kuan Wey Cheng ,Jeyanandh paramesh ,David J.Allstot ;"*multi-rate polyphase schemes for oversampeled Data Conversion systems*",IEEE Conference on Acoustic , Speech and Signal Processing, sep 2011.

[27] Jun Peng , Jianhui Wang ," *Optimal FIR Filter Design for Uncertain 2-1 Sigma-delta modulator via curve fitting method* ",International Conference on image analysis and Signal Processing, Jun 2012.

[28] V. F. Dias, G. Palmisano, P. O'Leary and F. Maloberti: "*Fundamental Limitations of Switched-Capacitor Sigma-Delta Modulators*", IEEE Proceedings-G, 139, 27-32 1992.

[29] Ian J. Morrison and Peter J.W. Rayner, "*The Application of Volterra Series to Signal Estimation* ", International Conference on Acoustics, Speech, and Signal Processing , ICASSP-91, 14-17, pp: 1481-1484 vol.2 , April 1991.

[30] B. Murmann , B. Boser ,"*A 12-bit 75-MS/s pipelined ADC using open loop residue amplification*" ,IEEE J. Solid-State Circuits, vol. 38, no. 12, pp. 2040-2050, Dec 2003.

[31] K. A. O'Donoghue, P. J. Hurst, and S. H. Lewis, "*A digitally calibrated 5-mW 2-MS/ 4th-order ΔΣ ADC in 0.25-μm CMOS with 94 dB SFDR*" , European Solid-State Circuit Conf., pp. 422-425 , Sep. 2010.

[32] A. Panigada and I. Galton ; "*A 130mW 100MS/s pipeline ADC with 69dB SNDR enabled by digital harmonic distortion correction*", in Proc. IEEE Int.Solid-State Circuit Conf , pp. 162-163 , Feb 2009.

[33] A. Panigada and I. Galton ; "*Digital background correction of harmonic distortion in pipelined ADCs*" , IEEE Trans. Circuits Sys. I, vol. 53, no. 9 pp. 1885-1895, Sep 2006.

[34] Kutluyıl Do˘gançay ; "*Blind Compensation of Nonlinear Distortion for Bandlimited Signals*", Proc. Of IEEE Custom Integrated Circuits Conference, pp. 759-762, Sept 2005.

[35] J. M. de la Rosa ; "*Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey*", IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 58, pp. 1-21, January 2011.

[36] M.yavari ," *Low-Voltage High-Performance Sigma-Delta Modulators for Broadband Applications* " phd thesis, University of Tehran, Tehran, Iran, Sept. 2001-June 2006.

[37] J. Sauerbrey et al , "*A 0.7-V MOSFET-Only Switched-Opamp Modulator in Standard Digital CMOS Technology*" , IEEE Journal of Solid-State Circuits, vol. 37, pp. 1662-1669, December 2002.

[38] B. E. Jonsson , "*A Survey of A/D-Converter Performance Evolution*" Proc. of the IEEE Intl. Conf. on Electronics, Circuits, and Systems, pp. 766-769, December 2010.

[39] B. E. Jonsson , "*On CMOS Scaling and A/D-Converter Performance*", Proc. of the NORCHIP Conf., pp. 1-4, November 2010.

[40] R. C. Tausworthe , "*Random numbers generated by linear recurrence modulo two*" ,Math Comp., vol. 19, pp. 201-209, Apr 1965.

[41] M. C. Huang and S. I. Lu ; "*A Fully Differential Comparator-Based Switched Capacitor $\Sigma\Delta$ Modulator*", IEEE Journal of Solid-state Circuits, vol. 44, pp. 369-373, sep 2000.

[42] F. Medeiro *et al* , "*Quick Design of High-Performance $\Sigma\Delta$ Modulators using CAD Tools: A 16.4 b 1.71 mW CMOS for 9.6 ksample/s A/D Conversion*", Proc. of 2nd IEEE-CAS Region 8 Workshop on Analog and Mixed IC Design , pp. 22-27, 1997.

[43] Alireza Bafandeh ,“ *Digital Calibration of Analog Circuits Imperfections in Sigma-Delta Modulators*”, Msc Thesis ,Amir Kabir University of Technology ,Tehran,Iran ,June 2013-feb 2015.

Abstract:

In sigma-delta modulators are most important part of architecture and their low gain and frequency bandwidth can decrease the signal to noise ratio greatly. Therefor , recently background digital calibration methods are used for improve these modulators precision.conventional methods model the integrators error in linear way.

In this thesis calibration of sigma-delta modulators with assume of nonlinear gain of integrator and finite bandwidth is presented.conventional methods use polynominal function for estimation of nonlinear gain but in this work fractional function is used for estimation of integrator nonlinear gain and finaly the additive error calculation is presented for integrator error so we can use Fir adaptive filter for noise cancelation. LMS algorithm is used for update the adaptive filter continuously.

Integrators are the most important part in sigma-delta converters, which because of low gain and bandwidth, intensely decrease the signal to noise ratio in comparison to ideal circuit. In this thesis, the approach is correction of sigma-delta output under condition of limited bandwidth and nonlinear gain of integrator amplifier. By using LMS algorithm and nonlinear adaptive filter, the correction of modulator output is performed. At first, the procedure of formulated correction is performed for different topologies using MATLAB and we see at leat 30 dB increase in SNDR. And eventually second order modulator, is designed and simulated in 90 nm CMOS technology by 1 v supply voltage and we see 23 dB increase in SNDR parameter. Cadence sotware is used for circuit simulations. the circuit power consumption is 0.73 mw.

.

Keywords: sigma-delta modulators ,analog circuits nonidealities, digital correction

Amirkabir University of Technology
(Tehran Polytechnic)

Department of Electrical engineering

MSc Thesis

Digital Calibration of Analog Circuits Imperfections in Discrete-Time Sigma-Delta Modulators

By
Amin Nodsut

Supervisor
Dr.mohammad yavari

June-2018